

## 오프셋 보상된 A급 바이폴라 전류 콘베이어(CCII)

°이 주찬, 박 희종, 이 장혁, 차 형우, 정 원섭

청주대학교 전자·정보통신·반도체 공학부

360-764 충북 청주시 상당구 내덕동 36번지

### A offset compensated class A bipolar current conveyor(CCII)

°Ju-Chan Lee, Hee-Jong Park, Jang-Hyuck Lee, Hyeong-Woo Cha, and Won-Sup Chung

School of Electronic, Information & Communication, Semiconductor Eng., Chongju Univ.

36 Naedok-dong, Sangdang-gu, Chongju-shi, 360-764

Tel : (0431) 229-8441, E-mail : hwcha@chongju.ac.kr

#### Abstract

A offset compensated class A bipolar second-generation current conveyor (CCII) for high-accuracy current-mode signal processing was proposed. The CCII adopts two diode-connection transistor between voltage input and voltage output to reduce offset voltage. Experiments show that the proposed CCII has offset voltage of 0.05 mV, input impedance of  $2 \Omega$  and the 3-dB cutoff frequency of 30 MHz when used a voltage amplifier. The power dissipation is 6 mW.

#### I. 서 론

제 2세대 전류 콘베이어(second-generation current conveyor : CCII)는 전류-모드 신호 처리의 기본 구성 소자로서 잘 알려져 있다[1],[2]. 이 소자는 Y 단자의 전압을 폴로워(follower)하는 X 단자가 전압 폴로워의 기능을 하고, X 단자로 유입 및 유출되는 전류를 콘베이어(conveyor)하는 Z 단자가 전류 폴로워의 기능을 하고 있기 때문에, 전류-모드 신호 처리의 기본 구성 소자로서 CCII 자체 및 그것의 응용 회로의 연구가 활발히 진행되고 있다. 이상적인 CCII의 각각의 단자특성은 전압 입력 단자 Y는 무한대의 입력 임피던스, 전류 입력 단자 X는 영(zero)의 입력 임피던스, 그리고 전류 출력 단자 Z는 무한대의 출력 임피던스를 갖는다.

전류 콘베이어(CCII)를 IC로 실현하기 위해 여러 가지 회로 구성이 개발되었으나, 그 대부분은 연산 증폭기(op-amp)를 이용한 전압-전류 변환기와 전류 미러를 조합한 회로구성이었다. 이러한 CCII는 신호 처리 주파수 대역이 연산 증폭기의 주파수 특성에 의해 결정되기 때문에 전류-모드 특성이 없어지게 된다[3].

본 연구는 과학기술부 한국과학재단 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.

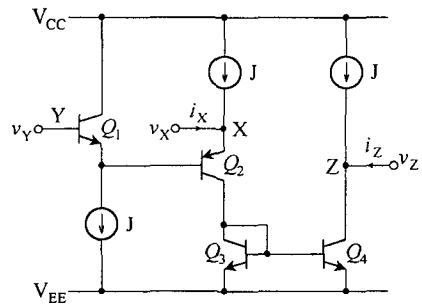


그림 1. 기본적인 A급 CCII+ 회로도

따라서 연산 증폭기를 사용하지 않고 트랜지스터만으로 구성되는 CCII가 필요하게 되었다.

연산 증폭기를 사용하지 않고 트랜지스터만으로 구성된 기본적인 A급 바이폴라 CCII[4]는 그림 1에 보인 것처럼, 회로 구성은 간단하지만 X 단자 임피던스가 크기 때문에 이상적인 전압 폴로워로서 동작을 하지 못하는 문제점과 이상적인 전류 폴로워의 동작을 하기 위해 X 단자에 공급되는 신호 전류원의 출력 임피던스가 무한대가 되어야만 한다는 문제점을 안고 있다.

이러한 문제점을 해결하기 위해 국부 전류 귀환 기법[5]-[7]을 적용한 A급 바이폴라 CCII가 발표된 바가 있다. 발표된 CCII의 회로를 그림 2에 나타냈다. 이 CCII는 이 기법에 의해 가상 접지에 가까운 X 단자 임피던스 특성을 얻을 수 있다[8]. 그러나 이 CCII는 npn과 pnp 트랜지스터들의 전류 스케일 인수(scale factor)에 의한 차이로 오프셋(offset)이 발생하게 된다. 이것은 공정상에서 접합 면적을 조절함으로써 줄일 수 있으나, 제작 공정이 복잡해진다는 단점을 갖는다.

본 논문에서는 종래의 A급 CCII의 문제점을 해결하기 위해, 새로운 회로 구성으로 오프셋을 보상하는



$$r_X \equiv \frac{v_i}{i_i} = \frac{1}{g_{m2}} - \frac{1}{g_{m12}} + \frac{1}{g_{m12}g_{m2}r_{\pi 2}} + \frac{1}{g_{m1}} \quad (3)$$

여기서,

$$\frac{1}{g_{m12}} = \frac{1}{g_{m1}} + \frac{1}{g_{m2}} \quad (4)$$

을 대입하여 정리하면

$$r_X = \frac{g_{m1} + g_{m2}}{g_{m1}g_{m2}r_{\pi 2}} \quad (5)$$

이다. 여기서 전류 미러  $Q_3$  과  $Q_4$  에 의해  $i_{C1} = i_{C2}$  가 되므로  $g_{m1} = g_{m2}$  가 된다. 따라서,  $r_X$  를 무시할 정도로 작게 할 수 있으므로 단자 X는 가상 접지가 형성되어질 것이다.

신호 전류  $i_X$  를 X 단자에 입력하였을 경우, 입력 신호 전류  $i_X$  는  $Q_3$  과  $Q_4$  로 형성된 전류미러를 통해  $Q_1$  의 컬렉터에 나타나게 되므로, 단자 Y에서의 입력 전류는  $i_Y = (1/\beta_1) i_X$  가 된다. 따라서, Y 단자의 입력 임피던스  $r_Y$  는 다음과 같이 나타낼 수 있다[4].

$$r_Y \equiv \frac{v_Y}{i_Y} = \beta_1 \frac{v_X}{i_X} = \beta_1 R_X \quad (6)$$

여기서,  $\beta_1$  는  $Q_1$  의 유한한 공통-이미터 전류 이득(common-emitter current gain)이다. X 단자 임피던스가 작기 때문에 적절한 외부 저항  $R_X$  값을 선택함으로써  $r_Y$  를 높일 수 있다.

Z 단자의 출력 임피던스는 전류 미러 구성(윌슨 또는 캐스코드 등)에 의해 높게 할 수 있기 때문에  $i_Z$  는 부하의 영향을 거의 받지 않는다. 따라서, 제안한 그림 3(a)의 회로에 대한 입-출력 관계는 위의 수식들에 근거하여 다음의 행렬식으로 표현할 수 있다.

$$\begin{bmatrix} i_Y \\ v_X \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_Y \\ i_X \\ v_Z \end{bmatrix} \quad (7)$$

또한, 교차-결합(cross-coupled) 전류 미러를 사용해  $i_Z$  를 반전시킴으로써 오프셋 보상된 부극성 전류 콘베이어(CCII-)도 실현할 수 있다.

### III. 실험 결과 및 고찰

제안한 그림 3(a)의 오프셋 보상된 A급 바이폴라 전류 콘베이어의 동작 원리와 성능을 트랜지스터 어레이(transistor array)를 사용해 브레드보드(breadboard) 실험으로 확인하였다. 실험에 사용된 모든 트랜지스터는 모토롤라(Motorola)사의 MPQ3904(npn)와 MPQ3906(pnp)이며, 전체 공급기 전압은  $V_{CC} = -V_{EE} = 3.5V$  이고, 바이어스 전류는  $J = 200 \mu A$  로 설정했다. 제안한

CCII의 성능을 비교하기 위해, 기본적인 CCII(그림 1)와 종래의 CCII(그림 2)의 회로에 대하여 실험을 하였다.

그림 4는 CCII의 Y 단자와 Z 단자를 접지시키고 X 단자에 직류 전류  $i_X$  를 입력했을 때 나타나는  $i_X$  에 대한  $v_X$  의 특성이다.

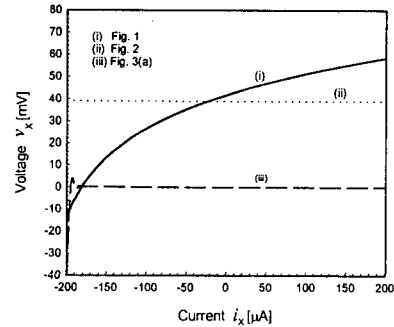


그림 4.  $i_X$  에 대한  $v_X$  의 특성

직류 전류는 직류 전류 발생기(RIKEN TR-6141)를 사용하여 입력하였으며, 입력 전류를  $-200 \mu A$  에서  $+200 \mu A$  까지 가변시키면서 단자 X의 직류 전압을 측정했다. 그림으로부터 그림 2와 그림 3(a)의 제안한 CCII에 대해 단자 X의 소신호 입력 임피던스  $r_X$  가 약  $2 \Omega$ 임을 알 수 있고, 이 값은 그림 1의 기본적인 CCII의 그것보다 90배 작은 값이다. 또한 그림 2의 CCII의 경우,  $Q_1$  과  $Q_2$  의  $v_{BE}$  의 부정합에 의해 40 mV의 오프셋 전압이 존재하지만 그림 3의 CCII의 경우 오프셋 보상 회로를 사용하여 오프셋이 없음을 알 수 있다.

그림 5는 단자 X를 부하 저항  $R_X = 10k\Omega$  으로 종단했을 때, 입력 전압  $v_Y$  에 대한  $v_X$  의 전압 폴로워 특성을 나타낸 것이다.

그림 1과 그림 2의 CCII는  $-2.75V$  부터  $+1.75V$  까지의 입력 범위에서, 그림 3의 CCII는  $-2V$  부터  $+2V$  까지의 입력 범위에서 선형적으로 전압 폴로워 동작을 하고 있다는 것을 알 수 있다.

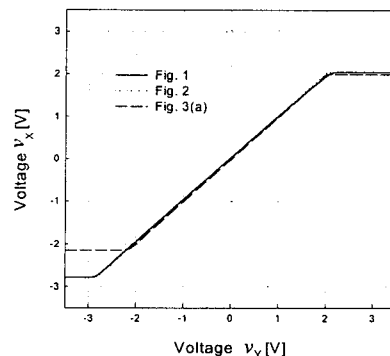


그림 5. 입력 전압  $v_Y$  에 대한  $v_X$  의 전압 폴로워 특성

그림 1, 2, 그리고 3(a)에 나타난 CCII를 전압 폴로 위로 구성할 때, X단자의 오프셋 전압은 각각 41 mV, 39 mV, 그리고 0 V 였다.

그림 6은 단자 Y를 접지시키고 단자 Z를 부하 저항  $R_Z=1k\Omega$ 으로 종단했을 때, 입력 전류  $i_X$ 를 콘베이어링(conveyoring)하는 출력 전류  $i_Z$ 의 특성을 나타낸 것이다.

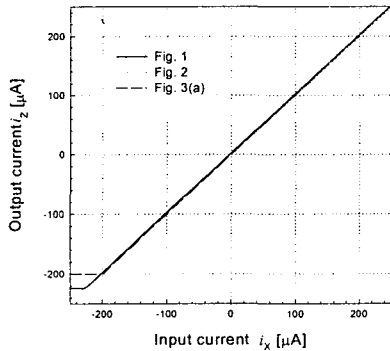


그림 6. 입력 전류  $i_X$ 에 대한 출력 전류  $i_Z$ 의 특성

그림 1, 그림 2 그리고 그림 3의 모든 CCII가  $-200 \mu A$ 부터  $+200 \mu A$ 까지의 입력 범위에서 CCII는 선형적으로 콘베이어링 동작을 하고 있다는 것을 알 수 있다. 또한, 그림 1, 2 그리고 3(a)에 나타난 CCII의 오프셋 전류가 각각  $3 \mu A$ ,  $1 \mu A$  그리고  $1 \mu A$  라는 것을 알 수 있다. 이들 오프셋 전류는 전류 미러들의 부정합과 유한한 공통-이미터 전류 이득  $\beta$ 에 기인한 것이다.

그림 7은 그림 1, 2 그리고 3(a)의 CCII를 비반전 전압 증폭기로 사용했을 경우, 각각의 전압 이득  $v_Z/v_Y$ 에 대한 주파수 특성이다.

단자 X와 Z를  $R_X$ 와  $R_Z$ 로 각각 종단할 경우 이상적인 이득은  $v_Z/v_Y = R_Z/R_X$ 이다. 그림으로부터,  $R_X = R_Z = 10 k\Omega$ 일 경우, 모든 CCII의 전압 이득이  $v_Z/v_Y = 1$ 로 같게 나오지만, 이득을 높이기 위해  $R_X = 500 \Omega$ ,  $R_Z = 12.5 k\Omega$ 으로 설정했을 경우, 본 논문에서 제안한 오프셋 보상된 CCII의  $v_Z/v_Y$ 의 이득은 이상적인 이득( $v_Z/v_Y = 25$ )에 가깝게 나타난다는 것을 알 수 있다. 또한, 제안한 CCII는 직류에서 100 kHz까지의 주파수 범위에서 평탄한 이득 특성을 갖고 있다는 것을 알 수 있다.

$v_X/v_Y$ 에 대한 전압 폴로워의 3-dB 차단 주파수는 각각 30 MHz이다. 제안한 CCII의 전력 소비는 6 mW이다.

#### IV. 결 론

오프셋 보상된 A급 바이폴라 CCII를 제안하였고 그 동작 원리를 컴퓨터 시뮬레이션과 브레드보드 실험을 통하여 확인하였다. 제안한 CCII에서는 단지 npn 트랜

지스터와 npn 트랜지스터 2개를 추가로 사용하여 오프셋 전압을 보상시켰기 때문에 회로 구성 역시 간단하고 이상적인 단자 특성을 갖고 있다. 따라서 제안한 CCII는 고정도의 전류-모드 신호 처리의 기본 빌딩블록으로 매우 유용하게 사용되리라 기대된다.

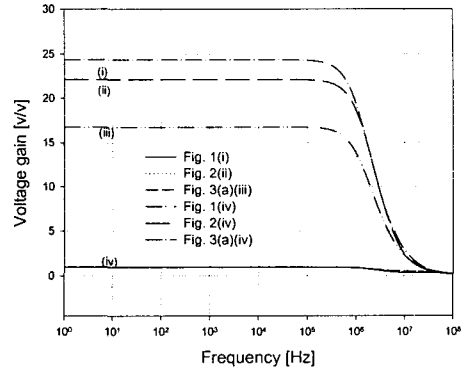


그림 7. CCII를 전압 증폭기로 응용하였을 경우 주파수 특성

- (i) Fig. 3( $R_X=500, R_Z=12.5 k\Omega$ 일 경우)
- (ii) Fig. 2( $R_X=500, R_Z=12.5 k\Omega$ 일 경우)
- (iii) Fig. 1( $R_X=500, R_Z=12.5 k\Omega$ 일 경우)
- (v) all( $R_X=R_Z=10 k\Omega$ 일 경우)

#### 참고 문헌

- [1] A. S. Sedra and K. C. Smith, "A second-generation current conveyor and its applications," *IEEE Transactions on Circuit Theory*, vol. CT-17, pp. 132-134, Feb. 1970.
- [2] A. S. Sedra, G. W. Roberts, and F. Gohh, "The current conveyor: history, process and new results," *IEE Proceeding*, vol. 137. Pt. G, no. 2, pp. 78-87, Apr. 1990.
- [3] C. Toumazou, F. J. Lidgey, and D. G. Haigh, "Analogue IC design: the current-mode approach", London; Peter Peregrinus, 1990, chap. 4
- [4] A. Payne and C. Toumaou, "Practical integrated current conveyors," in *IEEE ISCAS Tutorials*, pp. 632-641, 1994.
- [5] H.-W. Cha and K. Watanabe, "Wideband CMOS current conveyors," *Electron. Lett.*, vol. 32, no. 14, pp. 1245-1246, July 1996.
- [6] 車 炯雨, 渡辺 健藏, "광대역 CMOS 전류 콘베이어," *日本電子情報通信學會, 1996年基礎-境界 SOCIETY大會講演論文集*, pp. 22, 1996年 9월.
- [7] 차 형우, "A급 CMOS 전류 콘베이어(CCII)," *대한전자공학회, 34권 C편 9호*, pp. 1-9, 1997년 9월.
- [8] 차 형우, 김 종필, 박 상렬, 정 원섭, "A급 바이폴라 전류 콘베이어(CCII)," *1997년도 대한전자공학 회추계종합학술대회논문지 제20권 제2호*, pp. 731-734, 1997년 9월.