

유동 전하량 최소화를 통한 입력 오프셋 제거 CMOS 고속 비교기의 설계

이수형, 신경민, 이재형, 정강민
성균관 대학교 전기전자 및 컴퓨터공학부
TEL) 0331-290-7194

CMOS High Speed Input Offset Canceling Comparator Design with Minimization of Charges Transfer

Lee Soo Hyoung, Shin Kyoung Min, Lee Jae Hyoung, Jung Kang Min
SungKyunKwan Univ. Dept. of Electronics.
cesign@nature.skku.ac.kr

Abstract

This Paper describes the design of high speed and low power comparator based on the feedforward bias control. Major building blocks of this comparator are composed of input offset canceling circuit and feedforward bias control circuit. The usual offset canceling circuit cancels the offset voltages by storing them in capacitors using MOS switches. The comparator of this paper employs the bias control circuit which generates bias signal from the input signal. The bias signal is applied to the capacitors and keeps the transfer of charges in the capacitors in the minimal amount, therefore making the comparator operate in stable condition and reduce decision time. The comparator in this form has very small area and power dissipation. Maximum sampling rate is 200 Ms/sec. The comparator is designed in 0.65um technology and the offset is less than 0.5mV.

I. 서론

현재 디지털 신호처리 기술은 매우 발달되어 있다. 하지만 인간이 접하는 신호는 모두 아날로그인 점에 있어서 아날로그 신호의 디지털 신호로의 변환은 신호처리 효율면에서 필수적이다.

비교기는 이러한 ADC 에 있어서 매우 중요한 구성요소이다. 고속 ADC 에서는 매우 많은 수의 비교기가 병

렬로 집적되기 때문에 전달 지연, 해상능력, 입력 전압 범위 등 시스템의 성능을 좌우한다. 본 논문에서는 CMOS 공정을 이용하여 고집적 가능한 비교기를 설계하였다. CMOS 비교기의 설계에 있어서 문제가 되는 것은 바이폴라 공정에 비하여 소자간의 부정합(Mismatch)이 심하다는데 있다. 따라서 고해상도의 변환에 응용하려면 오프셋 전압을 줄일 수 있는 방법이 필요하다. 본 논문에서는 비교기의 해상도를 높이기 위하여 입력 오프셋 전압 제거 기법(Input Offset Voltage Cancellation Technique)을 적용하였다. 캐패시터와 스위치를 사용하는 입력 오프셋 상쇄 기법은 전체 비교기의 속도를 저하시킨다. 제안된 비교기는 입력 오프셋 전압 제거 기법을 적용할 때 캐패시터 양단의 유동 전하의 움직임 최소화하여 고속 충방전이 이루어 질 수 있는 피드포워드 바이어스 제어를 이용한 설계를 하였다. 피드포워드 바이어스 제어를 통해 전원 또는 접지를 사용한 캐패시터의 충방전보다 빠른 전압 복귀가 가능하게 하여 고속 동작을 이루고 스위치 부정합에 의한 오동작을 줄여 비교기가 안정된 동작을 하게 한다. 고속 비교기의 설계를 위하여 2단 Preamp 를 사용하여 높은 이득을 얻을 때 발생하는 지연을 최소화 하였다. 전원 전압을 단일 3.3V 를 사용하여 저전력 설계되었고 0.65um 공정변수를 사용하여 모의 실험하였다. 최대 샘플링 속도(Sampling rate) 200Ms/s 에서 평균 전력 소모 300uW 를 보이고 입력에 의한 오프셋은 0.5mV 이하로 줄였다.

본론에서는 비교기가 갖는 문제점을 살펴보고 이를 해결할 방안을 설명하며 제안된 비교기의 동작을 설명한다. 결론에서는 제안된 회로의 모의실험 결과를 요약한다.

II. 고속 비교기의 제한

비교기는 비선형 회로로서 ADC의 구성요소중 시스템의 성능을 좌우하는 중요한 회로이다. 비교기는 2가지의 정적 상태를 출력하도록 되어 있다. 즉, 입력신호의 차이를 구분하여 두가지 다른 값을 출력한다. 이상적인 비교기의 경우 이상적인 연산증폭기와 같은 특성을 보인다. 실제적인 비교기의 경우는 이들 특성에서 제한을 받게 된다. 그림 1은 비교기의 제한 특성을 나타낸다.

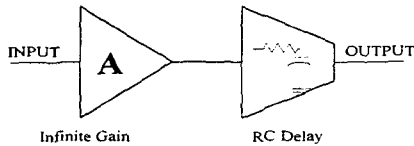


그림 1. Limited Factor of High Speed Comparator

비교기의 설계는 높은 이득을 얻게 설계 되지만 전달 지연을 고려하여 2단 구조를 많이 사용한다. 보통 Preamp와 동적 CMOS Latch를 이용한다. 동적 CMOS Latch는 높은 이득을 얻을 수 있는 반면 큰 입력 오프셋 전압을 갖고 있으므로 고해상도 구현을 위해서는 Preamp에서 동적 CMOS Latch의 입력 오프셋 전압보다 큰 이득을 얻어야 한다. 제한된 전력 소모 내에서 Preamp가 높은 이득을 얻으려면 전달지연시간이 길어지고 이를 줄이기 위해선 많은 전력소모가 필요하다. 따라서 단일 Preamp를 사용하지 않고 여러단의 Preamp를 사용하여 높은 이득을 얻고 전달지연을 줄인다.

비교기의 오프셋 전압은 해상 능력을 저해하는 요소이다. 입력 오프셋 전압은 비교기의 입력 MOS 소자간의 부정합에 의해 발생하게 된다. ADC의 설계에 있어서 비교기는 고집적되는 소자이므로 레이아웃에 의한 기법상의 부정합 감소에는 한계가 있다. 따라서 입력 오프셋 전압 제거 방법이 필요하다. 그림 2는 기존의 입력 오프셋 전압 제거 기법을 나타낸다.

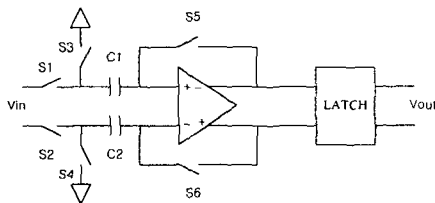


그림 2. Input Offset Cancellation Technique

아래 수식은 Latch 단을 제외한 입력 오프셋 전압 V_{OS} 을 나타낸다.

$$V_{OS} = \frac{V_{OSinput}}{1+A} + \frac{\Delta Q}{C} + A \cdot V_{\Delta R_{SW}} \quad (1)$$

여기서 $V_{OSinput}$ 은 입력 MOS 소자의 부정합에 의한 입력 오프셋 전압, ΔQ 는 스위치 S5, S6의 전하주입

(Charge Injection) 부정합에 의한 전하량, A는 Preamp의 이득, C는 오프셋 캐패시턴스를 그리고 $V_{\Delta R_{SW}}$ 는 스위치 S5, S6의 ON 저항성분의 부정합에 의한 C1, C2사이의 전압 차이를 나타낸다. 이 회로는 캐패시터 C1, C2에 오프셋 전압을 저장하여 다시 입력에 인가하는 방법이다. 하지만 이 기법에서도 스위치 S5, S6에 의한 공정상의 부정합이 발생한다. 따라서 전하 주입 효과 발생 때에도 부정합에 의한 오프셋이 발생되고 C1, C2에 존재하는 입력 오프셋의 방전 및 입력신호 재인가 등에 의한 지연이 발생되어 비교기의 속도를 저하가 불가피하다. 제안된 회로는 이러한 제한을 최소화 한다.

III. 고속 비교기의 설계

제안된 비교기는 입력 공통모드 피드포워드 바이어스 제어 회로를 이용한 유동 전하량 변화를 최소화하여 비교기의 속도를 향상시키고 스위치에 의한 부정합에 기인한 오동작을 줄여 안정성을 향상시킨다.

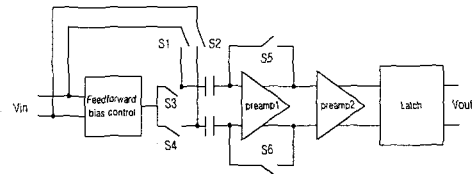


그림 3. Block Diagram of Proposed Comparator

그림 3은 제안된 비교기의 블록도이다. 지연을 최소화하고 충분한 이득을 얻기 위하여 2단 Preamp로 구성하였다. 첫번째 Preamp에서 입력 오프셋제거 기법을 사용하였고 첫번째 Preamp의 이득은 두번째 Preamp의 입력 오프셋보다 큰 이득을 얻도록 설계하여 두번째 Preamp에서는 오프셋 제거 기법을 사용하지 않았다. 두번째 Preamp에서는 동적 CMOS Latch의 입력 오프셋 전압보다 큰 이득을 얻게 설계하였다. Latch는 디지털 출력을 얻기 위하여 높은 이득을 필요로 하므로 2개의 피드포워드 이득단을 사용하였다. Latch는 감지 증폭기의 동작과 같은 방법이다. 제안된 비교기의 회로에서는

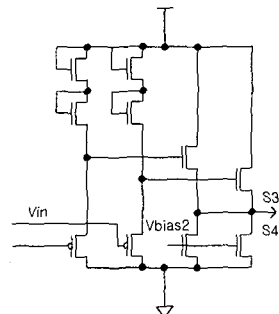


그림 4. Feedforward Bias Control Circuit

입력 공통모드 신호를 피드포워드하는 제어단이 사용된다. 그림 4는 피드포워드 바이어스 제어 회로도이다.

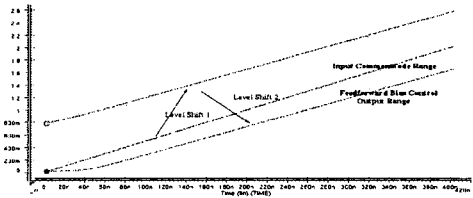


그림 5. Simulation result of feedforward bias control circuit

이 회로의 동작은 그림 5에서 보듯이 차동입력 신호를 받아서 pMOS source follower에 의한 level shift를 하게 되고 다시 nMOS source follower에 의한 level shift를 하게 된다. 두 번째 level shift에서는 전류원을 두 개의 입력 신호에 똑같은 크기로 만들어 차동 신호를 제거하는 역할을 하게 된다. 모의 결과에서 보면 입력 공통모드가 0에서 2V일 때 바이어스에 의한 제어 전압은 0에서 1.5V까지 변함을 알 수가 있다. 제안된 피드포워드 바이어스 제어에 의한 비교기의 성능은 입력 오프셋 전압의 감소와 속도의 향상에서 나타난다. 우선 입력 오프셋 전압 V_{OSP} 는 다음과 같다.

$$V_{OSP} = \frac{V_{OSinput}}{1+A} + \frac{\Delta Q_p}{C} + AV_{\Delta R_{Sw}} \quad (2)$$

ΔQ_p 는 입력 오프셋을 캐패시터에 저장할 때 캐패시터가 전원바이어스에 연결되었을 때보다 바이어스 제어 전압에 연결되었을 때 발생하는 전체 전하주입효과를 줄여 스위치의 부정합에 의한 전하주입효과도 또한 감소시킨 결과이다. MOS 스위치에서의 전압의 변화 ΔV 와 전하주입효과 ΔQ 의 관계는 다음과 같다.

$$\Delta V = \frac{\Delta Q_c}{C} \quad (3)$$

여기서 ΔQ_c 는 전하주입효과에 의한 전하량의 변화이다. ΔV 의 감소는 ΔQ_p 의 감소를 초래한다. 따라서 스위치 S5, S6에 의한 전하주입효과의 부정합도 줄어들게 된다. 제안된 비교기의 입력 오프셋 전압은 기존 비교기의 오프셋 전압보다 작게 된다. 스위치의 S5와 S6의 ON 저항의 부정합이 초래하는 입력 오프셋 전압 요인 $V_{\Delta R_{Sw}}$ 또한 같은 비율로 줄어들게 된다.

$$\Delta Q_p = \frac{\Delta Q}{\Delta V_{reduce}}, V_{\Delta R_{Sw}} = \frac{\Delta V_{R_{Sw}}}{\Delta V_{reduce}} \quad (4)$$

여기서 ΔV_{reduce} 는 피드포워드 바이어스 제어에 의한 전압변화의 감소량이다.

제안된 비교기의 속도 측면을 비교해 보면 피드포워드 바이어스를 사용하지 않은 비교기는 입력이 0V에서 2V 변화할 때 캐패시터의 전압변화는 3.3V에서 1.3V의 전압변화가 일어난다. 제안된 비교기에서는 0V에서 2V의 입력이 인가되면 캐패시터의 전압변화는 0V에서 0.5V의 변화가 일어난다. 따라서 캐패시터 양단의 유동 전하량의 움직임이 최소화 되고 전하의 충방전 시간이 최소가 된다. 오프셋 전압 충전 후 입력 신호의 recovery time은 줄어들게 된다.

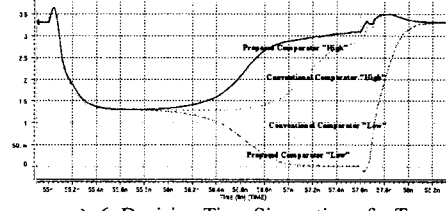


그림 6. Decision Time Simulation of Two Comparator

그림 6은 차동 입력 1mV를 인가하였을 때 제안된 비교기와 피드포워드 바이어스를 사용하지 않은 경우 차동 출력을 보인다. 고속 비교시(200Ms/s) 약 0.5n 정도 빠른 decision을 하고 있음을 보인다. Latch의 decision 시간이 2.5n일 때 제안된 비교기는 피드포워드 바이어스를 사용하지 않은 경우보다 0.5n 빠른 비교를 하고 있다. 또한 전원 또는 접지를 사용하는 경우 발생하는 임의의 전하 주입효과에 의한 오동작을 제거하여 보다 안정적인 비교기의 성능을 나타낼 수 있다.

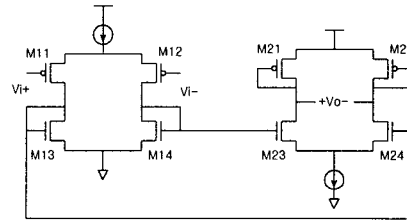


그림 7. Two Stage Preamp circuit

2단 Preamp는 그림 7에서 보듯이 첫 번째 Preamp는 출력저항을 다이오드 저항을 이용한 pMOS 입력 차동 증폭기를 사용하여 입력 신호 가능 범위를 0V에서 2V를 사용하게 설계되었다. 첫 번째 Preamp의 이득은 입력 오프셋 전압 제거 능력과 관련하여 변환 가능속도의 한도 내에서 높은 이득을 갖도록 하고 두 번째 Preamp의 입력 오프셋 전압보다 높은 이득을 얻도록 하였다. 두 번째 Preamp는 nMOS 입력 차동증폭기를 사용하였다. Preamp에서 여러단을 사용할 경우 입력단이 다른 두가지 차동증폭기를 번갈아 사용하면 입력 및 출력 범위를 넓게 사용할 수 있는 장점이 있다. 두 번째 Preamp에서는 다음단의 입력 오프셋 전압범위보다 높은 이득을 얻어야 하므로 첫 번째 Preamp보다 큰 이득을 갖

게 설계한다. 첫번째 Preamp에서는 오프셋 충전할 때 캐패시터를 구동하므로 이득을 너무 크게 하였을 경우 전달 지연이 발생하는 결과를 초래하기 때문에 Latch 단의 오프셋을 위한 이득은 두번째 단계에서 얻을 수 있도록 설계 하였다.

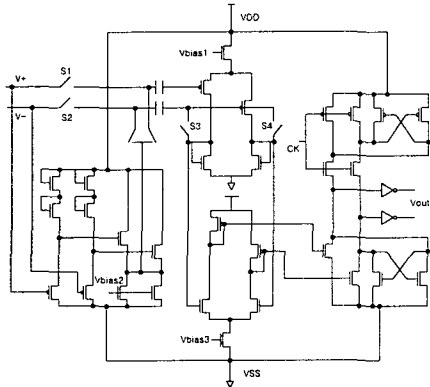


그림 8. The Proposed Comparotr Full Circuit

그림 8은 전체 비교기의 회로도이다.

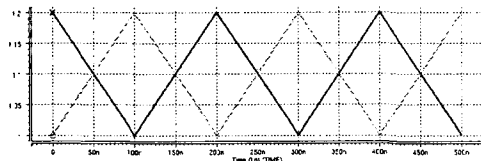


그림 9. Comparator Differential Input Signal with Peak to Peak 20mV

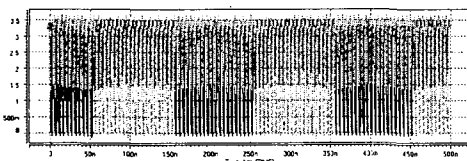


그림 10. Comparator Differential Output Siganl with Sampling rate 200Ms/s

그림 9와 그림 10은 비교기의 실험 결과 이다. 차동 입력력 최대 200mV를 입력하였을 때 비교기가 나타내는 출력을 보인다. 비교기의 출력은 최종 버퍼를 통과하지 않은 신호이다. 200Ms/s의 속도를 가지는 출력을 보인다.

IV. 결론

본 논문에서는 유동성 전하량을 최소화하기 위하여 피드포워드 공통입력 바이어스 제어 회로를 제안하여 사

용하였고 이를 통해 고성능 비교기를 설계하였다. 고성능 비교기는 속도와 해상능력 그리고 전력소모 등을 고려한 응용면에 적합한 설계가 필요하다. 본 논문에서는 속도 향상을 위해 빠른 캐패시터 재충전(fast recovery time)이 가능한 피드포워드 바이어스 제어회로와 2단 Preamp를 사용하였고 해상능력의 향상을 위하여 입력 오프셋 전압 제거기법과 함께 소자들의 부정합을 최소화 하는 설계를 하였다. 전원전압 단일 3.3V를 통하여 저전력 설계를 구현하였다. 표 1은 제안된 비교기의 모의 실험 결과를 나타낸다.

Power Supply	Single 3.3V
Resolution	12 bit
Sampling Rate	Max. 200Ms/s
Input Range	0V-2V
Input Capacitance	50fF
Power Dissipation	300uW
Technology	CMOS 0.65um

표 1. Simulation Result of Proposed Comparator

설계된 비교기는 12bit 해상도, 200Ms/s 및 저전력 고속 ADC의 설계에 사용될 수 있다.

참고문헌

- [1] David A. Johns & Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons, 1996.
- [2] Behazad Razavi, "Principles of Data Conversion System Design", IEEE PRESS, 1995.
- [3] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout, and Simulation", IEEE PRESS, 1998.
- [4] Marcel J. M. Pelgrom, AAD C. J. Duinmaijer, and Anton P. G. Welbers, "Matching Properties of MOS Transistors", IEEE JSSC, pp. 1433-1440, 1989.
- [5] B. Razavi and B. A. Wooley, "Design techniques for high-speed, High-resolution comparators," IEEE JSSC, pp. 1916-1926, 1990.
- [6] G. Palmisano and G. Palumbo, "High Performance CMOS Current Comparator Design", IEEE JSSC, pp. 785-790, 1996.
- [7] A. Boni and C. Morandi, "High Speed Low Power BiCMOS Comparator Using a pMOS Variable Load", IEEE JSSC, PP. 143-146, 1998.