

멀티채널 고속 PWM의 FPGA 구현

김창수, 박성모
전남대학교 컴퓨터공학과

FPGA Implementation of High Speed Multi-Channel PWM

Chang-Soo Kim, Seong-Mo Park
Dept. of Computer Engineering, Chonnam National Univ.
cskim@cep03w.chonnam.ac.kr

요약

예전에 일반적인 DC모터제어 또는 전류량 제어 분야에만 사용되던 펄스 폭 변조기 형태의 부품이 근래에는 멀티미디어 단말장치의 한 부품으로 사용되고 있는데 본 논문에서는 비디오 신호처리 및 영상보드에서 간편하게 사용될 수 있는 PWM 모듈을 설계하였다.

단말장치의 주변 칩에서 사용되는 일반적인 내장형 모듈을 사용하게 되면, 멀티채널을 요하는 시스템에서 채널의 부족으로 인해 여러 개의 마이크로 컨트롤러를 사용해야 하는 단점이 있다. 이 때문에 내장형으로 사용될 수도 있으며, 독립적으로도 동작할 수 있는 구조가 필요하며 정적으로 동작해야 하는 시스템에도 이식될 수 있는 기능도 동시에 가지고 있어야 한다.

본 논문에서는 이러한 기능을 만족시키기 위한 진보된 PWM 모듈의 구조를 제안하였으며, 이를 VHDL로 기술하여 기능을 검증하고, XC4010XL-PC84 FPGA로 구현하였다.

I. 서론

비디오 신호처리와 다 채널 제어에 적합한 부품이 요구되고 있는 가운데 간단한 구조를 가지며 비교적 고

속으로 동작할 수 있는 부품이 요구되고 있다.

펄스 폭 변조기 형태의 부품은 현재까지 주로 레이저 프린터, DC 모터제어 및 전류량 제어에 주로 이용되고 있었다.[1]

근래에 사용되고 있는 영상보드와 셋톱박스 등의 멀티미디어 단말장치의 주변 칩 내에서 간단히 이용될 수 있는 부품이 요구되고 있는데, 본 논문에서는 이러한 변조기에 대해 기술하고, 최근 다 채널을 수용하면서 원하는 채널을 고속으로 변조할 수 있는 멀티채널 고속 PWM 모듈 설계 및 FPGA 구현에 관한 것을 기술하였다.[2][3]

일반적인 단말장치의 제어용 장치로서 마이크로 컨트롤러가 사용되고 있는데, 이 경우 1~3개 정도의 내장형 PWM 채널을 갖는다. 이에 비해, 전용 칩은 보통 8개를 지원하여 멀티채널을 공급할 수 있지만 본래의 단말장치 제어에는 부적합하다. 하지만 전용 칩이 아닌 경우 매 사이클마다 공급되어야 할 데이터를 전적으로 CPU에 의존하게 되므로 상당한 부하를 요한다.

그래서 독립적으로 동작할 수 있으면서 CPU의 제어를 필요할 때만 받는다면 부하를 크게 줄일 수 있을 것으로 기대되어 이러한 기능을 만족할 수 있는 구조를 설계 및 구현을 시도하였다.

설계한 모듈은 HDL로 모델링 하여 기능을 검증하였으며, FPGA로 구현하기 위해 XC4010XL-PC84로 타겟팅 하여 합성하였다.

본 논문은 한국과학재단 지정 전남대학교 고품질 전기전자 부품 및 시스템 연구비 지원에 의해 연구되었음.

II. 설계한 PWM 모듈의 구조 및 동작

설계한 모듈은 4가지의 동작모드를 가지며, 각 채널의 연속적인 동작을 위한 전용 레지스터 파일과 정적인 장치로 사용할 때 필요한 8 바이트 ROM을 내장하였다. 일반적인 마이크로 콘트롤러에서 멀티채널을 사용하면서 고속으로 동작하려면, 복수개의 콘트롤러를 이용하거나 전용 칩을 사용해야 한다. 전용 칩이 아닌 경우에 CPU는 PWM장치의 카운터 오버 플로우 회수만큼의 데이터 처리 작업을 해야 한다. 이렇게 되면 부하를 많이 주기 때문에 전반적인 작업효율이 떨어지고 제때에 데이터를 공급하지 못할 수 있다. 설계한 모듈의 구조는 8비트 또는 16비트 마이크로 콘트롤러에서 이용되고 있는 구조를 변경한 것으로서 그림 1과 같다.

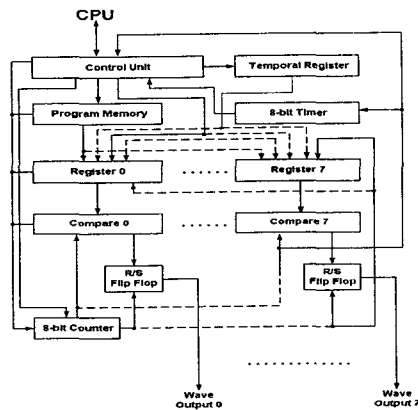


그림 1. 설계한 PWM 모듈의 구조

제어 유닛은 CPU에서 제어 신호와 데이터를 받는데, 제어 비트에 따라서 각 채널의 동작상태를 임시 레지스터에 보내며, 각 모드 비트에 따라서 나머지 블록을 제어하며 CPU에서 데이터를 받을 때 해당 레지스터에 적절히 데이터를 분배하는 역할을 한다. ROM에서 데이터를 가져올 때 주소를 발생키 위해서 타이머에서 주소증가 신호를 입력받는다. 주소 증가가 시작되면 3 비트 주소가 ROM의 주소버스로 전송되며, 동시에 CE 신호가 1로 셋 된다.

임시레지스터는 모듈이 초기화 모드일 때 동작해야하는 채널 정보를 지니고 있으면서, 레지스터들이 동작

할 때 enable 신호를 제공한다.

타이머는 8비트의 카운터 데이터를 입력으로 받아 동작모드가 1일 때, 즉 ROM에서 데이터를 가져올 때 주소를 발생시키기 위해서 카운터의 1/8주기마다 주소 발생신호를 제어유닛으로 보내준다.

프로그램 메모리는 8바이트로 구성되어 있으며, 모드가 1일 때 각 레지스터로 전송될 데이터를 지니고 있다. 해당 주소 값과 ROM의 CE 신호가 1일 때 데이터를 출력하게 되는데, 데이터는 제어유닛에서 각 레지스터로 적절히 분배가 된다. 8 바이트의 데이터가 아닌 그 이상의 데이터를 지닐 수 있다면, 여러 가지 용도로 사용될 수 있을 것이다. 그리고 EEPROM으로 주소 영역을 전환시킨다면 최종적으로 변경시킨 값을 저장하여 다음 번에 모듈을 초기화시킨 데이터를 불러올 수 있도록 모드를 지정한다면 유용하게 사용할 수 있을 것으로 생각된다.

비교기는 카운터의 오버 플로우가 일어날 때 레지스터에서 나오는 데이터와 현재 카운터 값이 일치한지를 검사하여 동일하면 F/F의 reset 신호를 1로 만들어 출력을 1로 유지되게 만든다.

출력부는 비교기의 출력 1이 입력되면 1로 유지되었다가 카운터의 오버 플로우가 1이 되면 0으로 유지시켜 현재 레지스터 값만큼의 듀티 사이클을 만들어 낸다.

설계한 모듈은 CPU에 직접 연결되어 동작할 수도 있으며, 독립적으로도 동작할 수 있는데, 이를 위하여 EA 신호를 사용한다. EA=1이면 CPU가 제어와 데이터 공급을 모두 맡아서 수행한다. EA=0이면 데이터는 모듈 자체만으로 동작한다. 자체적으로 동작할 때는 내부 ROM의 데이터를 불러와 계속 같은 파형을 만들어 내게 된다. 보통의 PWM 모듈은 CPU 클럭의 1/2 분주 또는 1/4 분주의 클럭을 카운터로 입력받게 되는데, CPU 클럭을 그대로 받을 때의 최대 듀티 사이클은 식(1)과 같이 나타낼 수 있다.[4]

$$Duty Cycle_{max} = \frac{PWMx Register}{F_{osc}} \dots\dots\dots 식(1)$$

그러므로 내부에서 사용될 경우 최대 동작주파수대로 동작할 수 없는데, 독립적으로 동작할 수 있다면 최대의 속도를 낼 수 있을 것이다.

설계한 PWM 모듈은 네 가지의 동작모드를 가지고 있는데, 이를 조정하기 위하여 CPU가 모듈내부의 2비

트의 모드를 제어한다. 모드 비트에 따른 자세한 동작 묘사를 표 1 에 나타내었다.

표 1. 모드 비트에 따른 동작

00	초기화, 각 채널의 enable 설정
01	ROM의 데이터를 레지스터에 저장
10	CPU에서 데이터를 받아 레지스터에 저장
11	데이터 입력 완료 후 정상동작

표 1 에서 나타낸 것과 같이 모드가 0 일 때, 모듈의 초기화가 이루어지며 앞으로 사용할 채널의 동작여부를 결정하게 된다. 이 상태는 리셋이 된 후 반드시 행해져야 할 신호이다. 모드가 1인 상태는 내부 8 바이트 ROM의 데이터를 8 개의 1바이트 레지스터에 불러와서 다음 듀티 사이클 주기, 즉 8비트 카운터의 오버플로우 신호가 발생하면 파형 출력을 하게 된다. 모드가 2인 상태는 CPU에서 데이터와 각 레지스터의 주소를 전송하여 해당 데이터를 저장하고, 다음 듀티 사이클 때부터 파형을 출력하게 된다. 모드가 3인 상태는 정상동작 모드로서 모드가 1 또는 2인 상태 후에 현재 레지스터 값에 따라 계속 파형을 출력할 수 있도록 한다. 이 상태가 되면 CPU에 부하를 주지 않고 계속 파형을 출력하게 된다.

따라서 모드가 1 이거나 2 일 때 데이터를 공급받아 모드 3 상태가 되면 별다른 부하를 전혀 주지 않고, 계속 반복하여 파형을 생성하게 된다. 그리고 특정 채널을 변조할 때는 모드를 2 로 설정한 다음 주소와 데이터를 입력하면 다음 듀티 사이클 때부터 적용된다.

III. 시뮬레이션

설계한 PWM 모듈의 최상위레벨 시뮬레이션 결과를 그림 2 에 보였다. 입력주파수는 카운터에 바로 입력되며, 카운터의 데이터에 따라 타이머가 동작하게 된다. 모듈이 리셋 된 후 모드가 0으로 입력되었는데, 이때 채널을 4 개만 enable 시키기 위하여 EXT_DATA 버스에서 0FH가 입력되었다. 모드가 1 인 상태에서 타이머가 동작하여 ROM의 어드레스 증가 신호가 제어 유닛으로 전송되는 동시에 ROM의 CE신호가 1로 되어 주소가 발생되어 데이터가 각 레지스터로 전달되었

다. 모드가 3인 상태는 정상동작 모드이므로 ROM에 저장된 데이터만큼 듀티 사이클이 채널에서 발생되었음을 알 수 있다.

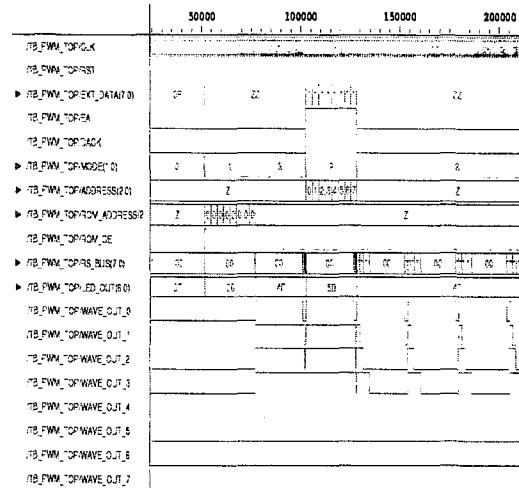


그림 2. 최상위 블록에서의 시뮬레이션 결과

현재의 채널의 값을 변조시키기 위하여 CPU에서 모드를 2 로 조정하고 해당되는 주소와 함께 데이터를 EA 신호와 DACK신호와 동시에 주어졌다. DACK신호가 끝남에 따라 모드가 3 으로 돌아오면 다시 정상동작모드로 바뀌게 되므로 변조된 파형이 나타났음을 알 수 있다. 다시 모드가 바뀌기 전에는 현재의 값이 계속 출력되어 나오는데, 각 채널의 활동상태를 변경하기 위해서는 모드를 0 으로 만든 다음 외부 버스 EXT_DATA에서 8비트 채널 enable 신호를 주면 된다. 즉, EXT_DATA는 때에 따라서 채널 enable 신호 또는 데이터 입력신호로도 사용된다.

IV. 설계된 PWM 모듈의 FPGA 구현

설계된 구조는 VHDL로 모델링 되었으며, 시뮬레이션 되었다. 검증된 후 FPGA로 구현하기 위해서 모델링한 VHDL 코드를 XC4010XL-PC84 로 타겟팅하여 성공적으로 재 합성되었다. 합성된 네트리스트는 Xilinx 툴 을 이용하여 configuration 파일을 생성하고 장치의 크기 및 타이밍 특성을 추출하였다.

표 2. XC4010XL-PC84 FPGA로 구현했을 때 특성

CLB 차지 개수	181개/400 개
등가 게이트 수	2529 게이트
최소 주기	28.973 ns
최대 동작주파수	34.515 MHz
최대 지연 시간	10.373 ns

표 2 에서 보인 등가 게이트 수는 2-input NAND를 1개의 게이트로 간주하였는데 Xilinx Design Manager 에서 추출된 결과이다. 차지하는 CLB 개수는 내부 레지스터의 개수에 따라서 민감하게 변하는 치수인데, 정밀도를 높이기 위하여 16비트 데이터를 받는다면 상당한 면적을 차지할 것으로 보인다. 차지하는 면적은 내부의 메모리 량의 변화가 상당한 영향을 미치는데 PWM 모듈이 컨버전스 시스템에서 사용될 경우 PAL, NTSC 방식 등의 주사 보정을 위하여 데이터를 보관할 메모리가 각각 필요하게 되므로 면적이 많이 늘어나게 되는 단점이 있다.[5]

동작주파수와 지연 시간 등의 타이밍 정보는 Xilinx 들의 Timing Analyzer를 통해 얻은 결과인데, 속도최적화를 선택했다. 구현된 FPGA는 XC4010XL-PC84 가 장착된 검증용 보드를 이용하였는데, 이미 불에서 생성된 configuration 스트림을 PC의 직렬포트를 통해 보드로 다운로드 된 뒤 바로 초기화된다. 초기화된 후에 인터페이스 된 신호에 의해 동작을 시작한다. 여러 신호를 동시에 맞추어 입력하여야 하기 때문에 데이터 입력장치는 MDS장비를 이용하고 출력 파형은 오실로스코프를 이용하는데 구성도를 그림 3 에 보였다.

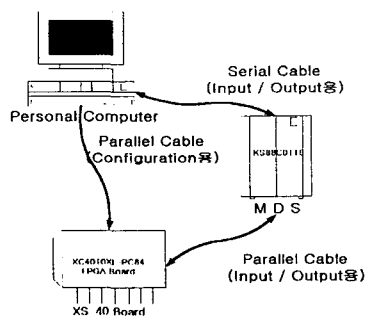


그림 3. 테스트 시스템의 구성도

V. 결론

본 논문에서는 디스플레이 장치 및 멀티미디어 단말 장치 내부의 주변 칩 내부에 사용될 수 있는 변경된 구조를 갖는 PWM 모듈을 FPGA로 구현하였다.

설계된 모듈은 마이크로 콘트롤러와 인터페이스 되어 제어를 받는 구조인데, 기존의 구조에서 제어유닛, 타이머, 프로그램 메모리, 임시레지스터를 추가적으로 구성하여 기능면에서 확장되었다. 내부 메모리의 주소 영역 확장이 용이한 간단한 구조이기 때문에, 여러 장치를 제어하기 위한 구조 변경이 용이하다.

보통의 마이크로 콘트롤러 외부에서 받을 수 있는 6~20MHz의 주파수의 1/2 분주 또는 1/4 분주로 동작하는 내장형 장치보다 입력 클럭의 범위가 훨씬 커서 충분히 제 성능을 발휘할 수 있을 것으로 기대된다.

구현된 모듈은 멀티채널을 필요로 하는 장치와 인터페이스 될 때 유용하게 사용될 수 있을 것으로 기대되며, 높은 정밀도가 필요치 않는 장치에서 적합하다. 그리고 각 채널을 임의대로 선택할 수 있는 기능을 만족하며 사용하지 않는 채널은 동작치 않으므로 불필요한 전력소모가 없어 비디오 신호 처리 및 멀티미디어 단말장치 주변 칩 내부에 이용될 수 있으리라 기대된다.

참고문헌

- [1] Sadeq A. Hamed, "Performance Evaluation of Three Phase Variable Speed DC Drive Systems with Uniform PWM Control, IEEE Trans on Power Electronics, pp. 228-241, March 1997.
- [2] 한기용 외, "MML 구조를 적용한 주사선 변환기 설계", 1998년 대한전자공학회 하계종합학술대회 논문집, Vol.21, No.1, pp. 855-858, 1998. 6.
- [3] 권순돈 외, "Ring Oscillator와 Delay를 이용한 고정도 Pulse Modulation 구현", 1998년 대한전자공학회 하계종합학술대회 논문집, Vol.21, No.1, pp.851-854, 1998. 6.
- [4] "Intel 80C196KC Datasheet", Intel Company, 1998
- [5] 오재근 외, "보간법을 이용한 디지털 컨버전스 시스템", 1999년 대한전자공학회 CAD 및 VLSI 설계 연구회 논문집, pp. 305-310, 1999. 5.