

마이크로프로세서 응용에 적합한 새로운 구조의 위상/주파수 검출기를 가지는 50 to 150MHz PLL

홍종욱, 이성연, 정우경, 이용석
연세대학교 전기컴퓨터공학과 VSLI & CAD 연구실
서울시 서대문구 신촌동 134 번지

A 50 to 150 Mhz PLL with a New Phase Frequency Detector suitable for Microprocessor Application

Jong-Wook Hong, Sung-yon Lee, Woo-Kyung Jung, and Yong-Surk Lee
Dept. of Electrical and Computer Engineering, Yonsei University
e-mail: jorbar@dubiki.yonsei.ac.kr

ABSTRACT

We designed a phase locked loop (PLL), which is applicable to microprocessor clock generation application. The designed PLL has a new simple phase frequency detector (PFD) which eliminate dead-zone and has a good high frequency characteristic. The lock-in range of the designed PLL is 50 MHz~150 MHz at 3.3v power supply voltage. The design is carried out using a 0.6um triple metal CMOS process. The area of the layout is 0.35mm by 0.42mm with 359 transistors.

I. 서론

PLL 은 하나의 시그널이 다른 하나의 시그널의 위상과 주파수에 동기 되도록 하는 기능을 한다. PLL 의 이러한 기능은 비디오/오디오 장비의 클럭 복원회로, 통신분야에서의 주파수 합성 및 캐리어 복원, 마이크로프로세서 분야에서 클럭 발생회로등에 광범위하게 응용되고 있다¹⁻³. 본 연구에서는 마이크로프로세서의 내부 클럭 발생 회로에 사용 적합한 PLL 을 설계하였다. 마이크로프로세서들은 일정한 클럭에 따라 회로의 동작을 동기시키는 synchronous 회로이며, 클럭 신호는 칩의 동작 전체를 제어하기 때문에 매우 중요하다. 이러한 마이크로프로세서에 있어서, 정확하고 안정적인 클럭을 공급해주는 회로가 칩 내부에 반드시 필요하게 된다. 일반적인 마이크로프로세서들은 수십 MHz 에서 수백 MHz 의 동작주파수를 가지며, 이러한 높은 주파수에서 PLL 의 안정적 동작을 위해 새로운 구조의 PFD 를 함께 설계하였다. 설계된 PLL 은 50 MHz 에서 150 MHz 의 lock-in range 를 가지며 359 개의 transistor 만을 사용하여 적은 면적으로 구현되었다.

II. PLL 구조

일반적으로 마이크로프로세서의 내부 클럭은 시스템

보드로부터 들어오는 클럭을 체배하여 발생시키게 된다. 이러한 클럭의 체배를 위해 보통 PLL 이 사용되어지며 그림 1 은 마이크로프로세서의 내부 클럭 발생회로로서 사용되어지는 PLL 의 일반적인 구조를 보여주고 있다. 마이크로프로세서의 내부 클럭 신호 발생용으로 사용되는 일반적인 PLL 은 그림 1 과 같이 다섯 가지의 블록으로 구성되어진다. 위상/주파수 검출기는 외부의 기준 클럭 입력신호와 전압 제어 발진기 (VCO) 의 출력신호를 입력으로 받아들여 위상과 주파수를 비교하며, 전하펌프는 위상/주파수 검출기로부터의 제어 신호에 따라 루프 필터의 커패시터를 충전시키거나 방전 시키는데 필요한 전류원과 스위치들로 구성된다. 루프필터는 전압 제어 발진기의 입력신호 생성을 위한 일종의 로우 패스 (low-pass) 필터이며 전압 제어 발진기는 입력 신호의 크기에 비례하여 출력신호의 주파수를 조절 한다. 마이크로프로세서 응용에 사용되어지는 PLL 에는 여러 외부 기준클럭 입력 신호에 대해 원하는 주파수의 내부 클럭 신호를 생성하기 위하여 그림 1 과 같이 몇 개의 분주기가

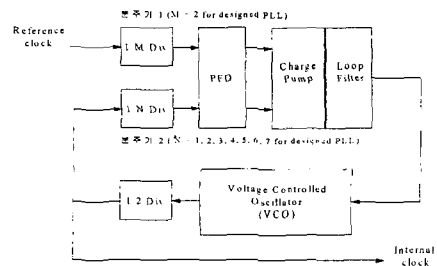


그림 1. 일반적인 PLL 의 블록 다이어그램

사용된다. 그림 1에서 내부 클럭 신호의 주파수 f_{out} 은 외부 기준 클럭 신호의 주파수를 f_{in} , 기준 클럭 입력단과 전압 제어 발진기 출력단에 있는 분주기 1, 분주기 2의 분주값을 각각 M, N이라 하였을 때 다음과 같은 간단한 연산에 의해 계산되어진다.

$$f_{out} = \frac{N}{M} f_{in} \quad (1)$$

본 연구에서 설계한 PLL에서는 분주기 1을 $M = 2$ 로 고정하고 분주기 2는 선택신호를 두어 분주비를 1, 1/2, 1/3, 1/4, 1/5, 1/6, 1/7, 1/8 중 하나로 선택할 수 있도록 설계하였다. 따라서 다양한 입력 기준 클럭의 주파수에 대해서 원하는 내부 클럭 주파수를 생성할 수 있도록 하였다.

III. 위상/주파수 검출기

그림 2는 일반적으로 많이 사용되는 3-state 위상/주파수 검출기를 보여준다. 3-state 위상/주파수 검출기는 구조가 간단하고, 위상과 주파수를 모두 검출하며 입력 신호의 듀티 사이클에 영향을 받지 않고 -2π 에서 2π 까지의 위상차를 검출할 수 있고, reset 기능을 통하여 dead-zone의 발생을 피할 수 있다는 장점 때문에 최근에 설계되고 있는 위상/주파수 검출기들은 기본적으로 그림 2와 같은 구조를 채택하고 있다. 이러한 3-state 위상/주파수 검출기의 위상 검출 특성은 입력 신호의 주파수가 충분히 낮고 플립플롭의 reset 지연 시간이 거의 0에 가까울 경우 그림 3과 같이 위상차가 -2π 에서 2π 의 전 구간에서 선형적인 위상차 검출 특성을 가진다. 그러나 입력 신호의 주파수가 높아지고 플립플롭의 reset 지연 시간이 0이 아닌 경우 그림 4에서와 같이 선형구간은 제한을 받게 되며 제한되는 폭은 그림 4에서 보는 바와 같이 $\tau_{min}\omega_i$ 값에 의해 결정되며 여기서 ω_i 는 입력 신호의 주파수이고 τ_{min} 은 reset 지연 시간에 비례하는 상수이다. 따라서 3-state 위상/주파수 검출기 구조가 고주파 응용에 사용되어질 때 reset 지연 시간이 길어질 경우 위상차 검출 특성이 나빠지게 된다. 그러므로 3-state 위상/주파수 검출기의 고주파 응용 시에는 reset 지연 시간을 최소화 하여 주는 것이 필요하다. 그림 5에서는 보편적으로 많이 사용되어지고 있는 NAND-based 3-state 위상/주파수 검출기를 보이고 있다^[1].

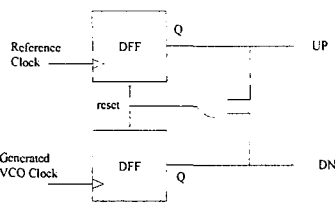
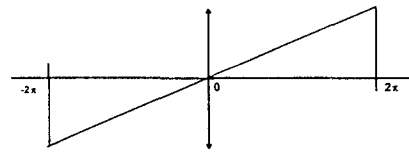
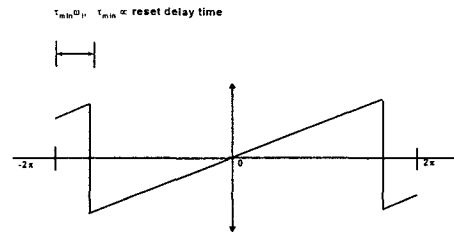


그림 2 3-state 위상/주파수 검출기



< Ideal at low freq., Reset time = 0 >

그림 3 3-state 위상/주파수 검출기의 위상차 검출 특성



< at high freq., Reset time = 0 >

그림 4 3-state 위상/주파수 검출기의 위상차 검출 특성

그러나 이러한 NAND-based 위상/주파수 검출기의 경우 그림에서 보는 바와 같이 5에서 6 게이트 정도의 reset 경로를 가져 고주파 응용에는 적합하지 않으며 따라서 최근에 들어서는 dynamic 플립플롭을 이용하여 짧은 reset 경로를 가지도록 하는 dynamic 위상/주파수 검출기들이 연구되고 있다^[4-5]. 그림 6에는 최근에 문헌에 발표된 dynamic 위상/주파수 검출기 구조를 보이고 있다^[5]. 그림에서와 같이 이러한 dynamic 위상/주파수 검출기는 3 게이트 정도의 reset 지연경로를 가져 기존의 NAND-based 위상/주파수 검출기 보다 좋은 고주파 특성을 가진다^[5]. 그림 7에서는 제안된 위상/주파수 검출기의 구조를 보이고 있다. 그림에서와 같이 제안된 위상/주파수 검출기에서는 기존의 dynamic 위상/주파수 검출기의 reset 지연 경로를 더욱 줄이기 위해 2개의 reset 경로를 두어 PI 경로를 통해 reset이 완전히 일어나기

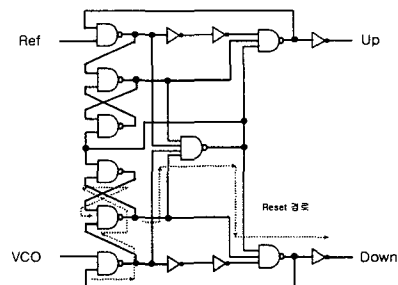


그림 5. NAND-based 위상/주파수 검출기

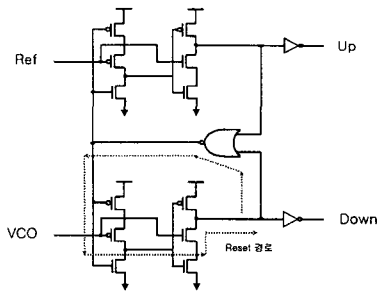


그림 6. Dynamic 위상/주파수 검출기

전에 따라 P2 경로에 의해 reset 신호가 발생되도록 하여 reset 경로가 줄어들게 된다. 그림 8 에서는 입력 주파수가 각각 50 MHz 일 때와 200 MHz 일 때의 세 위상/주파수 검출기에 대한 위상차 검출 특성을 보이고 있다. 결과에서와 같이 입력 주파수가 비교적 낮은 50 MHz 일 경우에는 세 위상/주파수 검출기 모두 거의 동일한 위상차 검출 특성을 보임을 알 수 있다. 반면 입력 주파수가 200 MHz 로 높아짐에 따라 각각의 reset 지연 시간의 차이에 따라 선형구간의 영역이 차이가 나게 되며 제안된 위상/주파수 검출기가 가장 좋은 위상차 검출 특성을 보임을 알 수 있다.

III. 전압 제어 발진기 (VCO)

전압 제어 발진기는 보통 링 오실레이터 (ring oscillation)

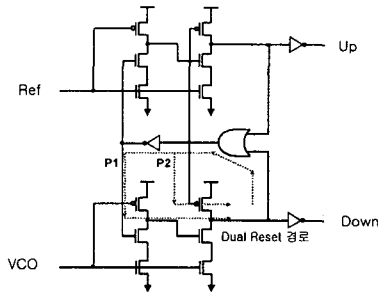
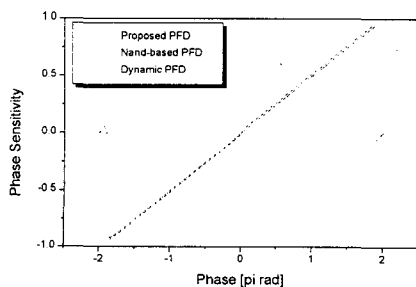
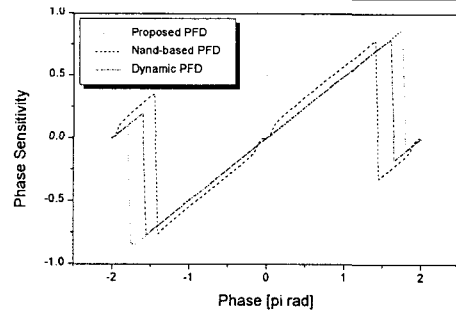


그림 7 제안된 위상/주파수 검출기



a) frequency = 50 MHz



(b) frequency = 200 MHz

그림 8. 위상/주파수 검출기의 위상 검출 특성

tor) 형태로 구현되어지며 구조적으로 differential 구조와 single-ended 구조로 나뉘어 질 수 있다. 본 설계에서는 문헌에 발표된 single-ended 구조를 이용하여 전압 제어 발진기를 설계하였다^[6]. 그림 9 에는 전압 제어 발진기의 회로도를 보여주며 그림 10 에서는 전압 제어 발진기의 주파수 특성을 시뮬레이션한 결과를 보여 준다.

IV. 전하펌프 및 루프필터

그림 11 은 전하펌프와 루프필터의 구조를 보이고 있다 전하펌프는 2 개의 전류 미러와 스위치로 구성되며 루프필터는 2 차 로우 패스필터 형태로 구현하였다.

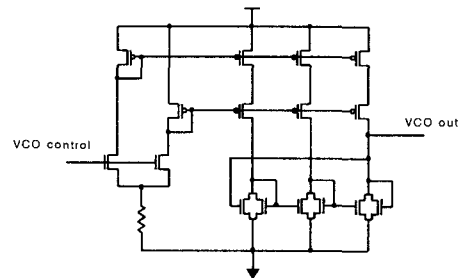


그림 9. 전압 제어 발진기(VCO) 회로

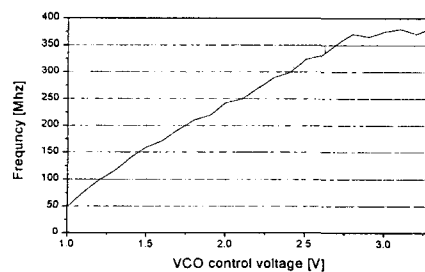


그림 10. 전압 제어 발진기의 동작 특성

IV. 검증 및 구현

본 연구에서 설계한 PLL 은 트랜지스터 레벨에서 모델링하여 HSPICE 로 시뮬레이션하여 동작을 검증한 후, 0.6um 의 triple metal layer CMOS 공정으로 레이아웃 되었다. 그림 12 포스트-레이아웃 시뮬레이션을 통해 PLL 의 출력 주파수가 100 MHz 로 lock-in 될 때의 전압 제어 발진기의 입력 제어 전압의 안정화 과정을 보여준다.

그림 13 은 PLL 전체의 레이아웃이다. 회로가 차지하는 면적은 약 0.35mm x 0.42mm 이다. 검증결과 설계된 PLL 은 50 에서 150 MHz 의 동작범위를 가지며 그림 14 는 출력 주파수가 각각 50 MHz 와 150 MHz 의 주파수 측정을 보여준다

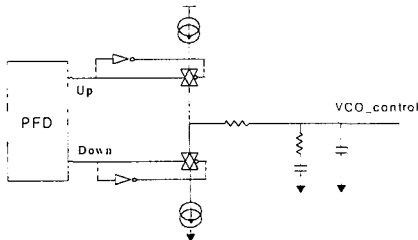


그림 11 전하펌프와 루프필터

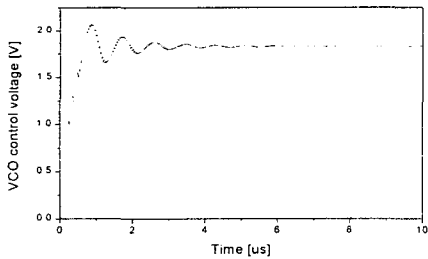


그림 12 전압 제어 발진기의 안정화 과정

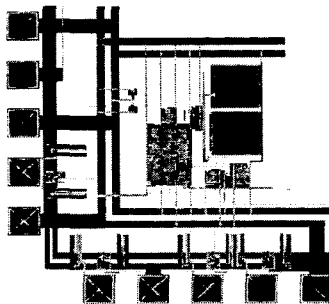
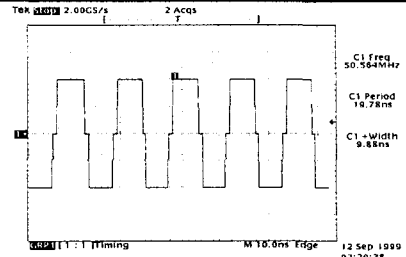
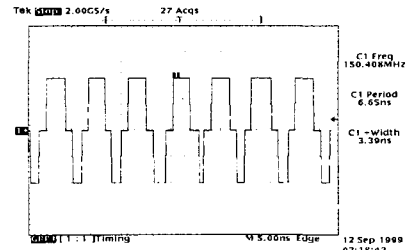


그림 13 전체 PLL 의 레이아웃



(a) $f_{out} = 50$ MHz, when $f_{in} = 25$ MHz, $N = 2$



(b) $f_{out} = 150$ MHz, when $f_{in} = 50$ MHz, $N = 6$

그림 14. 보드 측정 주파수

VI. 결론

본 연구에서는 마이크로프로세서 응용에 적합한 새로운 구조의 위상/주파수 검출기를 가지는 PLL 을 설계하였다. 칩은 LG 0.6um triple metal CMOS 공정으로 full-custom 방식으로 설계되었고 총 359 개의 적은 transistor 숫자를 가지며 레이아웃 면적은 0.35mm x 0.42mm 이다. 칩 제작 후 검증을 통하여 설계된 PLL 은 50 에서 150 MHz 의 동작 범위를 가진다.

*본 연구는 IDEC 의 부분적인 지원을 받아 이루어 졌음

VII. 참고 문헌

- [1] Guan-Chyun Hsieh, "Phase-Locked Loop Techniques - A Survey," *IEEE Trans. on Industrial Electronics*, vol. 43, no. 6, Dec. 1996
- [2] 정우경, 고성능 마이크로프로세서를 위한 클럭 발생 회로 설계, 연세 대학교 전자공학과 석사학위논문, 1997년 12월
- [3] Neil H. E. Weste, Kamran Eshraghian, *Principles of CMOS VLSI Design*, Addison-Wesley, 1993
- [4] Henrik O. Johansson, "A Simple Precharged COMS Phase Frequency Detector." *IEEE Journal of Solid- State Circuits*, vol. 33, no. 2, Feb. 1998
- [5] Sungjoon Kim et al., "A 960-Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL .", *IEEE Journal of Solid- State Circuits*, vol. 32, no. 5, pp.691-700. May. 1997
- [6] Howard C. Yang, et. al, "A Low Jitter 0.3-165 MHz CMOS PLL Frequency synthesizer for 3V/5V Operation." *IEEE J. of Solid-State Circuits*, vol. 32, no. 4, Apr. 1997