

VSB 전송 방식에서의 LMS 알고리즘과 Stop and Go 알고리즘을 혼합한 디지털 채널 등화기 설계

이주용, 정중완, 이재홍, 김정호
대전산업대학교 전자계산학과
전화 : (042) 630-0375 / 팩스 : (042) 636-3554

A Design of Digital Channel Equalizer Mixing "LMS" and "Stop-and-Go" Algorithm in VSB Transmission Receiver

Juyong Lee, Jungwan Jeong, Jaeheung Lee, Jeongho Kim
Department of Computer Science, Taejon National University of Technology
E-mail : jylee@hyunam.tnut.ac.kr

Abstract

In this paper, we designed a equalizer that removed the multipath of channel in 8-VSB transmission receiver. After doing the initial equalization with "LMS(Least Mean Square)" algorithm, this equalizer used "Stop-and-Go" algorithm. Because of estimating SER(Symbol to Error Ratio) every a training sequence, this can positively cope with transformation of channel and because of using fast clock than symbol-clock(10.76Mhz), we are able to reduce a multiplier.

I. 서론

HDTV(High Definition Television)는 21세기에 있어 현재의 컬러 텔레비전 방송을 대체할 것으로 예상되는 TV로 기존의 TV가 안고 있는 해상도와 음질 문제를 개선시킨 것이다. HDTV 수신단 중 원 신호의 왜곡을 보상해 주는 등화기의 역할은 중요한데, 지상 방송용 일 경우 채널 대역이 제한되어 심벌간 간섭(Intersymbol interference), 다중 경로(multipath), 페이딩(Fading)과 같은 왜곡이 발생한다. 채널 등화기는 이와 같은 선형 채널 왜곡에 대한 보상을 목적으로 수신기

내부에 설치되는 일종의 역 필터이다. 왜곡은 전송 채널에서 또는 수신단 내의 불완전한 요소에 의하여 발생할 수 있다. 또한 다중 경로(multipath)는 건물, 이동체 등에서 반사된 신호가 원 신호에 더해져서 원 신호를 알아볼 수 없게 만든다. 이러한 왜곡은 현재 우리가 사용하고 있는 아날로그 TV에서는 화면의 찌그러짐, 고스트(ghost)와 같은 화질의 열화로 나타나지만 디지털 전송 시스템에서는 비트 검출 오류로 인하여 전혀 다른 영상 또는 복구 불능 상태가 되어 버린다. 특히 지상 채널인 경우에는 다중 경로가 수시로 변화하기 때문에 등화기는 이러한 변화를 추적하여 원 신호를 복원하기 위해서는 적응 등화 알고리즘(adaptive equalization algorithm)을 이용하여야 한다.

적응 등화 알고리즘이란 원 신호에 더해지는 왜곡된 신호가 계속 변하는 것을 감지하여 왜곡 신호를 보상하는 방법이다. 이 알고리즘에는 LMS(Least Mean Square), RLS(Recursive Least Square)알고리즘 등이 있고, 구조상 TDL(Tapped Delay Line)과 격자(Lattice)구조등 여러 가지가 있다.

본 논문에서는 하드웨어 구현상 간단한 LMS알고리즘을 이용한 TDL구조를 사용하여 등화기를 설계하였다. 채널 등화 방법은 데이터를 송신하기 전에 수신측과 미리 정해진 기준 신호열을 송신하고, 수신측에서는 송신측의 기준 신호열과 동기된 신호를 발생시켜 채널 특성 정보를 얻고, 이에 따라 등화기 계수를 초

$$\hat{e}_n = z_n - \hat{a}_n \quad [\text{식 2}]$$

여기서, z_n 은 등화기 출력신호이고, \hat{a}_n 은 z_n 으로부터 추정된 신호이다.
필터 계수 갱신 식은 다음과 같다.

$$C_{n+1} = C_n - \mu \hat{e}_n x_n \quad [\text{식 3}]$$

여기서, C_n 은 계수이고, μ 는 스텝크기, x_n 은 등화기 입력신호이다.
계수 갱신을 멈추거나(Stop), 갱신을 계속(Go) 진행하는 플래그를 사용하면 필터 계수 갱신 식은 다음과 같다.

$$C_{n+1} = C_n - \mu f_n \hat{e}_n x_n \quad [\text{식 4}]$$

여기서, f_n 은 '0' 또는 '1'의 값을 갖는 독립변수이며 다음과 같다.

$$f_n = \begin{cases} 1 & (\text{sgn} \hat{e}_n = \text{sgn} \tilde{e}_n) \\ 0 & (\text{sgn} \hat{e}_n \neq \text{sgn} \tilde{e}_n) \end{cases} \quad [\text{식 5}]$$

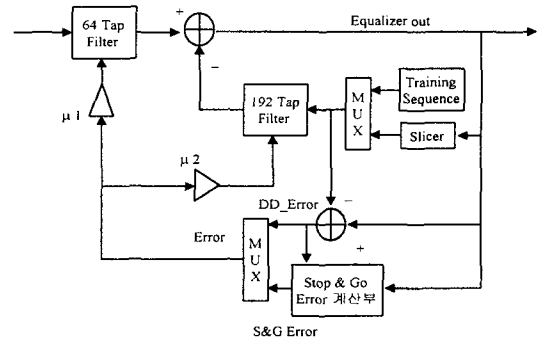
여기서, Sato-like 오차 \tilde{e}_n 은 다음과 같다.

$$\tilde{e}_n = z_n - \text{sgn}[z_n] \beta_n \quad [\text{식 6}]$$

여기서, β_n 은 Sato 알고리즘에 의해 결정된 상수 값이고, z_n 축의 기준간격 위에서 필터의 탭 계수 갱신에 사용될 결정 심벌에 대한 오차를 결정하기 위해 사용된다.

일반적인 등화기가 훈련 모드일때와 직접결정 모드일 때 같은 알고리즘을 사용하는데 비해 본 논문에서는 미리 알고 있는 신호인 훈련열 구간 동안은 LMS 알고리즘을 사용하며, 이 때의 스텝크기 μ 값은 비교적 큰 값을 사용해 가능한 초기등화가 빨리 되도록 하였다. 또한 블라인드 모드 전환시점 결정을 위해 매 훈련열의 끝에 SER을 평가해 상한값 이하이면 블라인드 모드로 전환한다. 블라인드 모드에서는 Stop-and-Go 알고리즘을 사용하는데 이 구조가 [그림 3]과 같다. 블라인드 모드에서의 스텝크기 μ 값은 훈련모드

에서의 μ 값에 비해 상당히 작은 값을 설정해 안정된 계수 갱신을 하도록 하였다. 그리고 블라인드 모드 상태에서도 매 훈련열의 끝에 SER을 평가해 채널의 상태가 갑자기 변해 SER이 나빠지면 다시 훈련모드로 돌아가 초기등화를 하도록 하여 채널의 상태에 보다 융통성 있게 대응할 수 있도록 하였다.



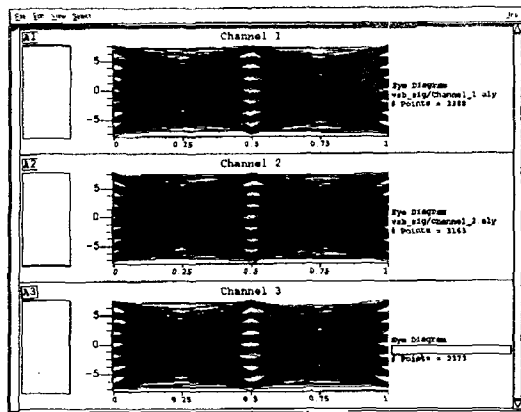
[그림 3] LMS와 Stop-and-Go 알고리즘을 이용한 적응 등화기

III. 모의 실험 및 구현

적응 등화기의 설계를 위해서는 채널에 대한 모델링과 계수 갱신의 양을 나타내는 step size, stop-and-go 알고리즘의 β 값, 필터 계수의 비트수등 여러 가지의 파라미터가 필요한데, 본 논문에서는 통신 및 신호처리 설계 툴인 SPW를 이용하여 이런 파라미터를 추출하였다. 시뮬레이션의 편의를 위해 번.복조를 거치지 않은 기저대역에서 컴퓨터 시뮬레이션을 수행하였다. [표-1]은 컴퓨터 시뮬레이션에 사용한 채널 조건을 나타낸다. 1번 채널은 지연된 신호의 값이 큰 채널이고, 2번은 선지연이 있는 채널, 3번은 지연과 잡음이 작은 채널을 모델링한 것으로 가우스성 잡음은 3번 채널이 가장 크다.

채널 조건	크기	위상	지연	가우스 잡음
채널 1	0.52	-30	0.2	25dB
	0.34	20	1.6	
	0.17	-80	3.4	
	0.1	50	8.7	
	0.05	0	18	
채널 2	0.34	-40	-1	25dB
	0.31	-70	0.3	
	0.28	0	1.9	
	0.19	30	3.9	
	0.12	-50	8.2	
채널 3	0.31	-50	1	18dB
	0.15	-20	4.5	
	0.05	70	9.3	

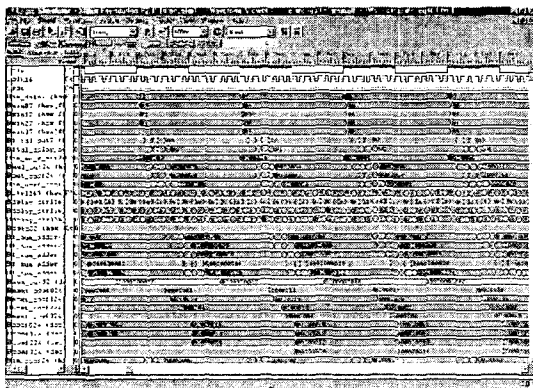
[표 - 1] 모의 실험에 사용한 채널 조건



[그림 4] 등화기 출력의 개안도(Eye Diagram)

[그림 4]는 채널1, 채널2, 채널3에 대한 각 개안도를 보여준 것이다. 그림을 보면 채널2에서의 개안도가 비교적 나쁜데 그 이유는 채널1과 채널3에는 없는 선지연 잡음이 포함되어 있기 때문이다. 채널3은 18dB의 가우시안 잡음이 포함된 비교적 열악한 채널이지만 눈(EYE)이 열리는 것을 확인할 수 있었다.

SPW상에서 검증된 파라미터를 사용하여 Xilinx사의 Xilinx Foundation Series 툴을 사용해 FPGA 구현을 하였다. [그림 5]는 Xilinx FPGA로 구현한 타이밍 시뮬레이션 결과이다.



[그림 5] xilinx FPGA 시뮬레이션 결과

VI. 결론 및 추후 연구

본 논문은 지상파 디지털 방송 수신장치에서 성능을 저하시키는 주된 요인이 되는 심벌간 간섭을 제거하기 위한 등화기를 설계하였다. 본 논문의 특징은 초기 등

화는 LMS 알고리즘을 사용하고, 그 후 추적 모드는 Stop-and-Go 알고리즘을 이용해 LMS만 사용할 때보다 안정적인 등화를 할 수 있도록 하였다. 또한 매 훈련열의 끝에서 SER(Symbol to Error Ratio)을 평가해 채널의 상태가 나빠지면 초기 등화를 다시 하도록 해 채널의 변화에 능동적으로 대응할 수 있도록 하였다. 등화기의 FPGA 구현 과정에서 칩 면적이 큰 문제이므로 시스템 클럭보다 빠른 클럭을 사용해 곱셈기를 공유함으로써 하드웨어 자원을 줄일 수 있었다. 또한 훈련모드로 동작할 때 좀더 큰 스텝크기 값을 사용함으로써 초기등화를 빨리 할 수 있었다.

지금까지는 VSB 전송방식에서 채널에 대한 등화 알고리즘 개발과 검증에 중심을 둔 연구를 하였다. 앞으로는 ASIC구현을 위하여 처리속도를 향상시키며, 면적을 줄이기 위한 연구가 있어야 할 것이다.

참고문헌

- [1] Giorgio Picchi and Giancarlo Prati, "Blind Equalization and Carrier Recovery Using a Stop-and-Go Decision-Directed Algorithm," IEEE Trans. Commun., vol. COM-35, No. 9, pp. 877-887, Sep. 1987.
- [2] ITU, "The ATSC Digital Television Standard," ITU_R 121-1/11 Mar. 1996.
- [3] Carlos A. Belfiore and John H. Park, "Decision Feedback Equalization," IEEE Trans. Commun., vol. 67, no. 8, pp. 1143-1158, Aug. 1979.
- [4] David W. Lin, "Minimum Mean-Squared Error Decision-Feedback Equalization for Digital Subscriber Line Transmission with Possibly Correlated Line Codes" IEEE Trans. Commun., vol. 39, NO. 8, pp. 1197-1206, Aug. 1991.