

## LPCVD 방식으로 SiO<sub>2</sub> 위에 증착된 텅스텐 박막의 특성 분석

윤선필, 노관중, 황성민, 노용한  
성균관대학교 전기 전자 및 컴퓨터 공학부  
tel) 0331-290-7201, fax) 0331-290-7191

### Characterizations of tungsten thin-film grown by LPCVD on SiO<sub>2</sub>

Sun-Pil Youn, Kwan-Chong Roh, Sung-Min Hwang, Yonghan Roh  
Sungkyunkwan University, School of Electrical & Computer Engineering  
ysp73@mdl.skku.ac.kr

#### Abstract

We deposited tungsten gate electrode on gate SiO<sub>2</sub> by thermal LPCVD with WF<sub>6</sub>, SiH<sub>4</sub> and H<sub>2</sub>. The resistivity was  $\sim 10 \mu \Omega \text{cm}$  and exhibited good adhesion ability on oxide when the temperature was higher than 400°C. We find that, however, both the low-field current and the charge-trapping characteristics were inferior to the control devices. The oxide degradation by fluorine during the tungsten deposition must be minimized to use the tungsten as alternative gate electrode.

#### 서론

금속-산화막-반도체(MOS)소자를 이용하는 집적회로의 발전은 게이트 전극의 규격 및 저항 감소를 필요로 한다. 현재까지 게이트 전극으로 이용되고 있는 폴리실리콘막은 산화막과의 호환성은 좋으나 초미세소자에서는 불순물의 산화막을 통한 확산과 불순물의 불충분한 활성화에 의한 공핍현상 및 그로 인한 문턱전압제어가 어려운 것이 문제점으로 지적되고 있다[1,2]. 그러나, 적절한 일함수를 갖는 금속 게이트는 저항이 낮을 뿐만 아니라 CMOS 소자에 사용될 때 문턱전압의 제어가 용이하게 된다.

금속 게이트 물질중 특히, 저항이 낮고 mid-gap 일함수를 갖으며 녹는점이 매우 높은 내화성금속(refractory metal)의 하나인 텅스텐(tungsten, W)은 차세대 MOS 소자의 유력한 대체 게이트 금속으로 일찍부터 연구되어 왔다[3-7]. 텅스텐을 산화막위에 증착하는 방법은 스퍼터링(sputtering)과 화학기상 증착

(CVD) 방식이 가능하다. 스퍼터링에 의한 텅스텐 증착은 산화막과의 접착성은 우수한 반면 증착 과정 동안 산화막(SiO<sub>2</sub>)에 손상을 주어 게이트 산화막의 특성을 열화시킬 수 있다[4,7]. 반면, 화학기상 증착에 의한 텅스텐 성장은 스퍼터링보다 저항이 낮은 막을 얻을 수 있으나 산화막과의 접착성이 좋지 않은 문제를 해결하여야 하며 특히 WF<sub>6</sub>와 SiH<sub>4</sub> 가스를 이용하여 산화막에 증착시킬 경우, 산화막속에 불소(F)의 함유로 인해 산화막의 누설전류가 크게 증가할수 있다[8-9].

본 연구에서는 WF<sub>6</sub>와 SiH<sub>4</sub>, H<sub>2</sub> 가스를 이용하여 저압 화학기상 증착 방법에 의해 텅스텐을 성장하고 공정중 산화막에 대한 영향을 살펴보기 위해 MOS 캐패시터를 제작하고 C-V 및 I-V, FNT 전자주입을 이용한 전하포획 특성을 조사하였다[10-11].

#### 본론

본 연구에서 사용된 증착 시스템은 저항가열에 의해 가열되는 cold wall 방식의 저압 화학기상증착(thermal LPCVD) 시스템이다. 기본 물성 분석을 위해 사용된 시료제작은 먼저 Si wafer위에 금속열방식(RTP)에 의해 50~200Å의 열산화막을 성장시키고 그위에 텅스텐을 증착하였다. 텅스텐 성장 조건으로 압력은 0.7Torr, 온도는 300~500°C, 사용가스는 WF<sub>6</sub>의 유량을 5sccm으로 고정시키고 SiH<sub>4</sub>/WF<sub>6</sub>의 가스비율을 0.2~2까지 변화시켰다. 이때 carrier 가스로 H<sub>2</sub> 500sccm을 흘렸다. 텅스텐 증착막의 물리적 분석은 테이프를 이용한 산화막에 대한 접착성 조사, 4탐침법에 의한 판저항 측정, XRD·SEM에 의한 결정성분 및 표면 분석을 수행하였다.

텡스텐의 MOS 게이트 소자로서의 사용 가능성 및 호환성을 살펴보기 위해 MOS 캐패시터(MOSC)를 제작하여 알루미늄 게이트 소자와 비교하였다. 텡스텐의 증착은 앞의 방법에 의해 제작된 산화막위에 0.7Torr에서 증착온도 및  $\text{SiH}_4/\text{WF}_6$ 의 비율을 변화시켜 가며 ~5분동안 증착하여 2000~3000Å 두께를 얻었다. 그리고, photo-lithography를 수행하고 0.25M  $\text{KH}_2\text{PO}_4$  / 0.24M  $\text{KOH}$  / 0.1M  $\text{K}_3\text{Fe}(\text{CN})_6$  혼합용액에서 에칭하여  $200\mu\text{m} \times 200\mu\text{m}$  면적을 갖는 MOS 캐패시터를 제작하였다[12].

제작된 텡스텐 게이트 및 비교용 Al 게이트 MOSC 소자의 전기적 분석은 산화막의 신뢰성 분석을 위해 HF C-V와 FNT 전자주입을 통한 산화막 전하포획 특성 관찰, I-V를 통한 산화막 절연과괴 강도를 조사하였다

CVD에 의해 증착된 텡스텐 박막은 기존 문헌에서 보고된 바와 같이 산화막에 대한 접착성이 문제가 된다. 접착테이프 테스트 결과 텡스텐의 산화막에 대한 접착성은 표1과 같이 온도에 민감한 특성을 나타내어 400℃ 이상에서 산화막위에 텡스텐의 증착이 가능하였다.

표1. 기판 온도에 따른 접착성. 0.7Torr,  $\text{H}_2=500\text{sccm}$   
(×:나쁨, △:비교적 좋음, ○:매우 좋음)

기판온도 [℃]	접착성
350	×
400	△
450	○
500	○

온도가 증가할수록 그림1과 같이 면저항 및 비저항은 감소하는 경향을 보였다. 판저항값은  $0.15 \sim 0.2 \Omega/\square$  이었고 저항률은  $10 \sim 15 \mu\Omega\text{cm}$ 로 기존의 결과와 상응할만 하다[7,13]. 스퍼터로 증착된 텡스텐 막의 저항결과와 비교할 때 판저항 및 저항률이 매우 낮았다.  $\text{SiH}_4/\text{WF}_6$  가스비율이 작을수록 판저항 및 저항률은 낮아졌다.  $\text{SiH}_4/\text{WF}_6$  비율이 0.2, 1인 경우 판저항은  $1 \Omega/\square$  이하로 나타났고 2인 경우  $\sim 10/\square$  이었다.

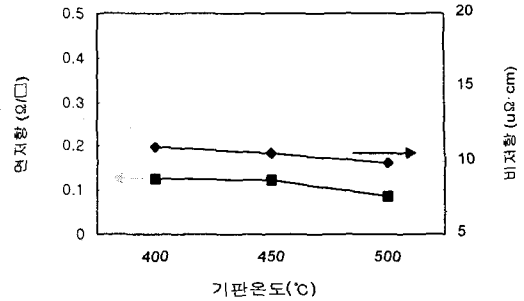
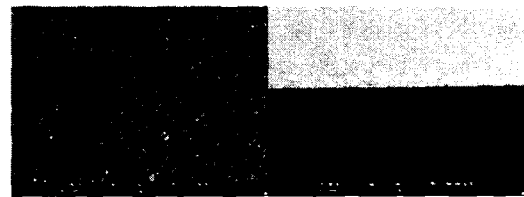


그림 1. 증착온도 변화에 따른 면저항 및 비저항 변화 (0.7Torr,  $\text{WF}_6=5\text{sccm}$ ,  $\text{SiH}_4/\text{WF}_6=0.2$ , 15분)

그림2는 텡스텐의 평면 및 단면 SEM사진이다. 실제 MOS소자의 게이트 응용 두께인 2000~2500Å에서 텡스텐막이 고르고 평평한 모습을 띠고 있고 columnar 구조를 가지고 있음을 단면 SEM 사진을 통해 확인할 수 있다.



(a)  $\text{SiH}_4/\text{WF}_6 = 0.2$  (텡스텐두께 : ~2500 Å)



(b)  $\text{SiH}_4/\text{WF}_6 = 1$  (텡스텐두께 : ~2200 Å)

그림 2.  $\text{SiH}_4/\text{WF}_6$  비율에 따른 평면 및 단면 SEM 사진 (0.7Torr, 500℃, 5분)

XRD 분석결과 저항결과와 일치하게 α-W이 관측되고 실리사이드, 텡스텐 산화막은 보이지 않았다.

그림 3은 알루미늄 게이트와 텡스텐 게이트를 가지는 MOS 캐패시터의 normalized HF C-V 곡선을 나타낸다. 플랫 밴드 전압의 차이는 알루미늄(-0.92V)과 텡스텐(-0.27V)이 각각 p-형 실리콘 기판과 결합하면서 발생하는 일함수들의 차인 0.65V 임을 알 수 있다.

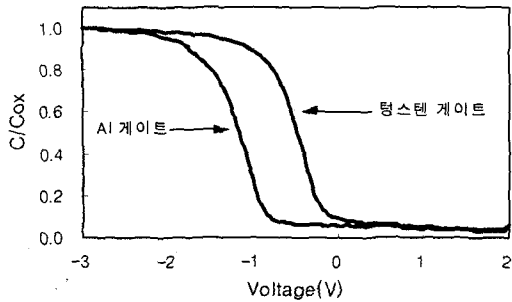


그림 3. 알루미늄 게이트와 텅스텐 게이트를 갖는 MOS 캐패시터의 HF C-V 곡선 비교

그림 4는 알루미늄 게이트와 텅스텐 게이트를 갖는 MOS 캐패시터의 전계의 변화에 따른 누설전류의 발생을 측정된 결과를 나타내고 있다. 그림에서 알 수 있듯이, 알루미늄 게이트 MOS 캐패시터의 경우 전계가 6MV/cm 이상에서 전형적인 Fowler-Nordheim Tunneling(FNT) 메커니즘에 의한 전류 흐름을 보이고 있으나, 텅스텐 게이트 MOS 캐패시터의 경우는 저전계에서 이미 상당량의 누설전류가 흐름을 명확히 나타내고 있다. 게이트 산화막은 동일한 조건에서 제작되었으므로, 이 결과는 LPCVD 공정과정에서 게이트 산화막에 결함이 발생하여 열화되었기 때문인 것으로 생각할 수 있다.

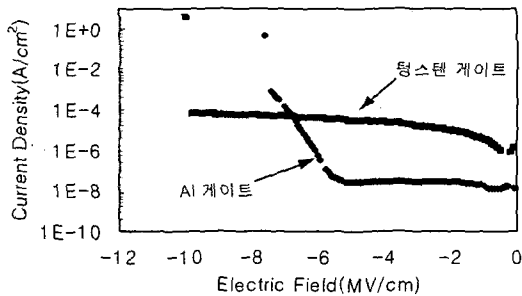
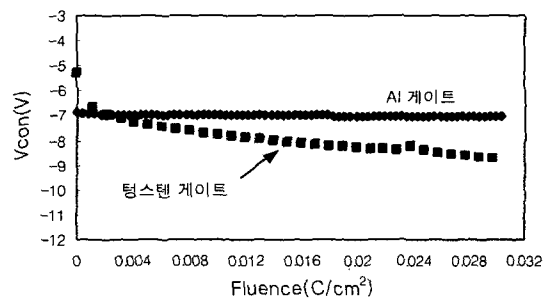


그림 4. 알루미늄 게이트와 텅스텐 게이트를 가지는 MOS 캐패시터의 전계의 변화에 따른 누설전류

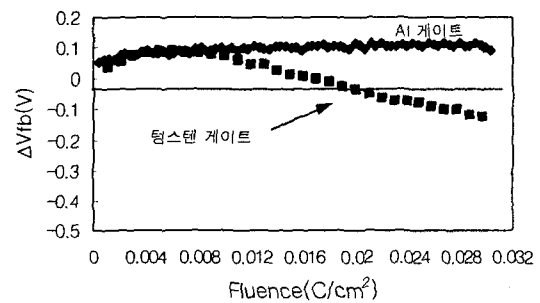
그림 5(a)는 FNT 메커니즘을 이용하여 알루미늄 및 텅스텐 MOS 캐패시터의 게이트로부터 실리콘 기판으로 10nA 전류를 일정하게 흐르게 하기 위해 필요로 하는 전압( $V_{con}$ )의 변동을 전자 주입 fluence에 따른 전압 변동이 4V 이상으로써, 알루미늄 게이트의 0.2V의 경우 보다도 20배 이상이 됨을 알 수 있다. 제어 전압의 변동은 게이트 산화막에 포획되는 전하의 변동에 의한 것이므로, 4V 변동을 보이는 텅스텐 MOS 캐패시터의 게이트 산화막에는 알루미늄과 비교할 경우 많은 결함이 존재함을 확인할 수 있다. 이들 결과는 전계의 변화에 따른 누설전류의 발생을 측정된 데이터

의 경향과 일치하고 있다.

그림 5(b)는 FNT 메커니즘[10,11]을 이용하여 일정 시간 동안 알루미늄 및 텅스텐 MOS 캐패시터의 게이트로부터 실리콘 기판으로 10nA 전류를 일정하게 흐르게 한 후에 주기적으로 전자주입을 중단하여 측정된 플랫폼 전압( $V_{fb}$ ) 변동 결과를 보이고 있다. 특히, 플랫폼 전압의 변동은 게이트 산화막에 포획되는 전하와 더불어 게이트산화막과 실리콘 기판 사이에서 발생하는 계면전하(interface trap)의 발생 여부에 민감하게 변화하는 값이다. 이들 결과에서 알 수 있듯이 알루미늄 MOS 캐패시터의 플랫폼 전압의 변동이 거의 무시할 수 있을 정도이나, 텅스텐 MOS 캐패시터의 경우에는 초기 0.002 C/cm<sup>2</sup> 까지는 전자포획에 의한 음의 전하 변동을, 그리고 이후에는 양의 전하 포획이 게이트 산화막에서 집중적으로 발생되고 있음을 나타내고 있다.



(a)



(b)

그림 5. FNT 메커니즘을 이용하여 알루미늄 및 텅스텐 MOS 캐패시터의 (a) 게이트로부터 실리콘 기판으로 10nA 전류를 일정하게 흐르게 하기 위하여 필요로 하는 전압(제어 전압,  $V_{con}$ )의 변동, (b) 게이트로부터 실리콘 기판으로 10nA 전류를 일정하게 흐르게 한 후에 주기적으로 전자주입을 중단하여 측정된 플랫폼 전압( $V_{fb}$ )변동

그림6은 텅스텐 MOS 캐패시터를 FNT 전자주입 시키기 전 및 후에 측정된 HF C-V 곡선의 비교 결과로써, FNT 전자주입 후에 발생한 곡선의 왜곡현상은 게이트 산화막과 실리콘 기판사이에 상당량의 계면전하가 발생하였음을 보이고 있다. 이들 결과는 동일한 전자주입 조건에서 실시된 알루미늄 MOS 캐패시터의 경우와 비교할 때 더욱 심각한 것으로 확인할 수 있었다.

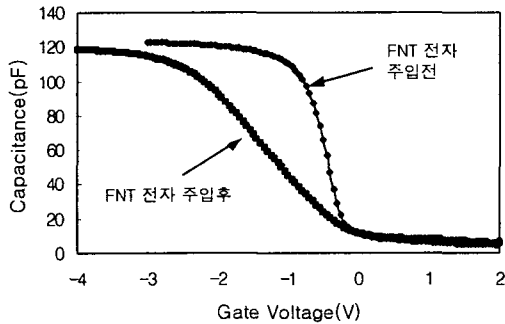


그림 6. 텅스텐 MOS 캐패시터를 FNT 전자주입 시키기 전 및 후에 측정된 HF C-V 곡선의 비교

### 결론

LPCVD 방식에 의해서 텅스텐을 성장시킨 결과 낮은 저항 특성을 얻고 산화막과의 접착성 문제를 해결할 수는 있었으나, 텅스텐 박막의 성장과정에 의한 게이트 산화막의 열화는 심각하여 저전계에서의 누설전류의 발생이 증가하고, FNT 전자주입시 알루미늄 게이트 MOS 캐패시터보다 플랫밴드 전압 및 제어 전압 변동이 크게 나타났다. 두 MOS 캐패시터의 게이트 산화막은 동일한 조건에서 제작된 것이므로, 게이트 산화막을 열화시킨 결함은 LPCVD 과정에서 발생한 불소 또는 불소 화합물이 게이트 산화막에 결함을 발생시킨 것으로 생각할 수 있다. 본 연구를 통하여 우리는 LPCVD 방식으로도 SiO<sub>2</sub> 위에 접착성이 우수하며 저항이 낮은 텅스텐 박막을 증착시킬 수 있었으나, 공정 진행 과정에서 발생하는 불소의 영향을 최소화 할 수 있도록 최적화 시키는 것이 필요하다.

### 참고문헌

[1] B. Yu, D. H. Ju, W. C. Lee, N. Kepler, T. J. King, C. Hu, "Gate Engineering for Deep-Submicron CMOS Transistors", IEEE Trans. Electron Devices, Vol. ED-45, pp.1253-1262, 1998  
 [2] T. S. Chao, C. H. Chu, C. F. Wang, K. J. Ho, T. F. Lei, C. L. Lee, "Suppression of Boron Penetration in BF<sub>3</sub>", Jpn. J. Appl. Phys, vol.35, pp.6003-6007, 1997

[3] C. Y. Ting and B. Davari, "Gate material consideration for submicron CMOS", Applied Surface Science, 38, pp.416-428, 1989  
 [4] N. Kobayashi, S. Iwata, N. Yamamoto and N. Hara, "Highly reliable tungsten gate technology", Materials Research Society, pp.159-167, 1987  
 [5] N. Kobayashi, S. Iwata, N. Yamamoto, T. Mizutani and K. Yagi, "Tungsten gate technology using wet hydrogen oxidation", IEDM 84, pp.122-125, 1984  
 [6] B. Davari, C.Y. Ting, K. Y. Ahn, S. Basavaiah, C. K. Hu, Y. Taur, M. R. Wordeman, O. Aboelfotoh, L. Krusin-Elbaum, R. V. Joshi and M. R. Polcari, "Submicron tungsten gate MOSFET with 10nm gate oxide", Symposium on VLSI Technology, pp.61-62, 1987  
 [7] M. Wong and Krishina C. Sarawat, "Direct tungsten on silicon dioxide formed by RF plasma-enhanced chemical vapor deposition", IEEE Electron Device Letters, vol.9, pp.582-584, 1988  
 [8] J. H. Sone, S. O. Kim, K. J. Kim, H. S. Kim, H. J. Kim, "Formation of low pressure chemically vapour deposited W thin film on silicon dioxide for gate electrode application", Thin Solid Films, 253, pp.377-381, 1994  
 [9] K. Kim, J. H. Sone, S. -O. Park, J. S. Park and H. J. Kim, "Deposition mechanism and electrical properties of low pressure chemically vapor deposited W as a gate electrode", J. Vac. Sci. Technol., A14(3), pp.919-923, 1996  
 [10] Y. Roh, L. Trombetta and D. Arnold, "Interface traps induced by hole trapping in metal-oxide-semiconductor devices", J. Non-Crystalline Solids, vol.187, pp.165-169, 1995  
 [11] Y. Roh, L. Trombetta, and J. Han, "Analysis of charge components induced by Fowler-Nordheim tunnel injection in silicon oxides prepared by rapid thermal oxidation", J. of Electrochem. soc., vol.1015-1020  
 [12] S. M. Sze, "VLSI Technology", John Wiley & Sons, McGraw-Hill, 1988  
 [13] N. Kobayashi, N. Hara, S. Iwata, N. Yamamoto, "Non-selective Tungsten CVD Technology for Gate Electrodes and Interconnections", V-MIC Conf, pp.436-442, 1986