

기판 전압이 p-채널 플래쉬 메모리의 쓰기 및 소거 특성에 미치는 영향

천종렬, 김한기, 장성준*, 유종근, 박종태

인천대학교 전자공학과

*여주대학교 사무자동화학과

전화: (032) 770-8445 / 팩스: (032) 764-2371

Effect of Substrate Bias on the Performance of Programming and Erasing in p-Channel Flash Memory

J.Y. Chun, H.K. Kim, S.J. Jang*, C.G. Yu, J.T. Park

Univ. of Incheon, Electronic Eng., 177 Dohq-w-dong, Namgu, 402-749, Korea

*Yejoo Institute of Technology, Dept. of Office Automation

E-mail : g961125@lion.incheon.ac.kr

Abstract

The effects of the substrate bias on the performance of programming erasing in p-channel flash memory cell have been investigated. It is found that applying positive substrate bias can improve the programming and erasing speed. This improvements can be explained by Substrate Current Induced Hot Electron Injection.

From the results, we can confirm that BTB programming method is better in programming and erasing speed than CHE programming method.

I. 서론

최근의 디지털 카메라, PDA 등의 제품으로 플래쉬 메모리의 활용범위가 넓어지고 있다. 이러한 흐름에

의해서 소자 속도 및 전력 소모가 문제화 되고 있다. 따라서 n-채널 소자보다 동작속도가 빠르고, 전력 소모가 작은 p-채널 플래쉬 메모리 소자 개발이 절실히 요구되어지고 있다[1]. 뿐만 아니라, p-채널 플래쉬 메모리 소자의 n-well 때문에 발생 하는 소자 크기 문제도 공정기술의 발달과 함께 줄어들 것으로 기대 되어진다.

지금까지 플래쉬 메모리 연구는 n-채널 소자의 Channel Hot Electron을 이용한 쓰기 방법과 Fowler-Nordheim Tunneling을 이용한 소거 방법에 대해 이루어지고 있다. 그러나 P-채널 플래쉬 메모리에 대한 연구는 쓰기 방법에 대해 약간의 연구가 진행 되고 있으며, 소거 동작에 대해서는 이루어지지 않고 있다.

일반적인 2층 구조의 플래쉬 메모리는 전압이 인가 되는 제어 게이트와 데이터, 즉 전하가 모이게 되는 부유 게이트로 이루어진다. 그리고 부유 게이트에 인가되는 전압은 두 게이트 사이의 용량성 접합률에 따라 결정되어진다. 따라서 쓰기 및 소거 동작시 제어 게이트에는 원하는 전압보다 더 높은 전압을 인가해야 한다. 이에 우리는 기판으로 흐르는 전류를

가속화하면 2차 충격이온화가 일어나 게이트 전류가 커진다는 연구결과를 바탕으로 하여 p-채널 소자의 동작 속도를 더 빠르게 하고, 제어 게이트에 인가되어야 하는 고전압의 부담을 덜기 위해 게이트 산화막에 걸리는 전계를 같게 하면서 기판 전압을 인가하였다[2, 3].

본 연구에서는 p-채널 플래쉬 메모리소자 기판 전압의 변화에 따른 동작 속도의 변화를 연구하였다. 또한 다양한 쓰기(Channel Hot Electron, Band to Band Tunneling) 및 소거(Fowler-Nordheim Tunneling) 동작에 이를 적용하여 p-채널 플래쉬 메모리 소자의 동작 속도 차이를 비교 분석하였다.

II. 소자의 프로그램 특성

본 연구에 사용된 테스트 소자는 IDEC의 0.65 μ m 표준 CMOS공정으로 제작되었다. 게이트 산화층의 두께는 145Å, 채널의 길이는 0.8 μ m이며 폭은 1.6 μ m이다. 또한 제어 게이트에 인가된 전압 중 부유 게이트에 인가되는 전압은 용량성 정합률에 의해 결정되는데, 본 테스트 소자에서는 약 0.7이 되도록 설계하였다.

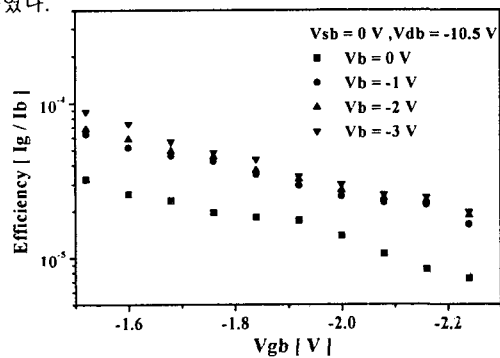


그림1. CHE방법에 의한 쓰기 동작시 전자의 주입효율
Fig1. The electron injection efficiency for CHE program
먼저 p-채널 MOSFET를 이용하여 CHE방법에 의해 전자가 부유 게이트로 주입되는 효율을 그림 1에서 나타내었다. CHE방법은 드레인전압에 의한 수평 전계에 의해 가속화된 캐리어가 충격이온화를 일으켜 수직전계에 의해 게이트전류를 형성하게 되는 것이다

[4]. 전자의 주입효율은 Vgb가 -1.5V정도에서 최대 값을 보여준다. 이는 p-채널소자의 경우 드레인전압에 비해 상대적으로 양의 값을 가져야 게이트전류가 발생하기 때문이다.

또한 같은 Vgb에서 기판전압의 증가에 따라 주입 효율이 커지는 것을 알 수 있다. 이것은 기판 전압이 증가할수록 기판으로 빠지는 전자에 의한 2차 충격이온화가 증가하기 때문이다[3].

BTB는 드레인의 높은 전계에 의해 pn 접합의 공핍 영역에서 충격이온화가 일어나 전자와 정공의 쌍이 생성되는 것이다[4]. 그림 2에서 BTB에 의한 쓰기 동작시의 전자의 주입 효율을 보면 기판 전압의 증가에 따라 증가하는 것을 볼 수 있다. 또한 BTB의 경우가 주입효율이 10배 정도 큰 것을 알 수 있다. 이는 같은 드레인 전류에서 BTB방법에 의한 게이트 전류가 CHE보다 10배 정도 크기 때문이다. 따라서 BTB에 의한 쓰기 동작은 CHE에 의한 방법보다 쓰기동작 속도가 더 빠를 것을 것으로 예상된다.

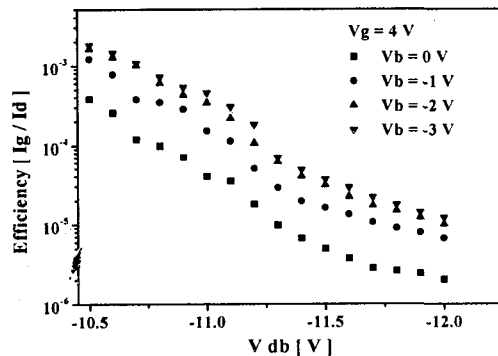


그림 2. BTB 방법에 의한 쓰기 동작시 전자 주입효율
Fig2. The electron injection efficiency for BTB program

그림 3은 기판전압에 따른 주입 효율의 변화를 보여주고 있다. 기판전압이 증가함에 따라 주입 효율은 함께 증가하는데 이것으로 기판전압에 의한 2차 충격이온화가 쓰기 방법과는 상관없이 일정하게 일어나기 때문이다.

위의 주입 효율에 따른 플래쉬 메모리소자의 쓰기 동작상태를 알아보기 위해 Vdb를 -10.5V로 일정하게 하고 그때의 주입효율이 최고값을 갖게 하는 게이트 전압에서 쓰기를 행하였다.

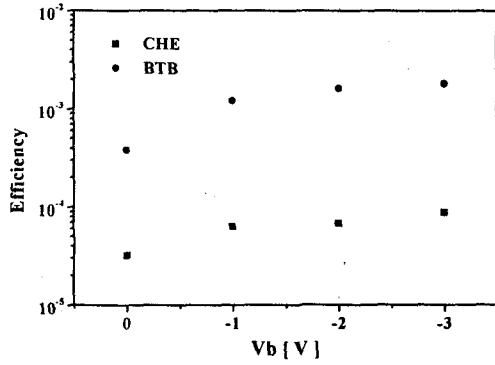


그림 3. 기관전압에 따른 주입효율의 변화
Fig3. The variation of injection efficiency with substrate bias

이때의 시간은 500 μ s로 고정하였다. 그림4는 BTB 및 CHE로 쓰기를 하였을 때 기관전압에 따른 문턱 전압의 변화를 나타낸 것이다. 그림4로부터 그림1, 2에서 보았던 것처럼 BTB의 경우는 기관전압 증가에 따라 쓰기 동작이후 문턱전압도 증가하였으나, CHE의 경우는 기관전압이 증가함에 따라 주입효율은 증가하지만 쓰기 동작이후 문턱전압은 감소하는 것을 알 수 있는데, 이는 게이트 전류가 감소하기 때문이다.

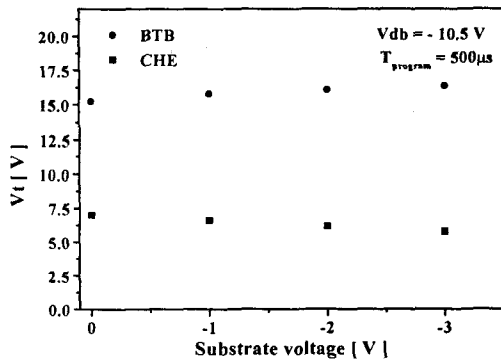


그림 4. 기관 전압에 따른 VT변화
Fig4. The variation of threshold voltage with substrate bias

여기서 그림4의 쓰기 동작조건하에서의 쓰기 속도

를 알아보았다. 그림 5는 시간에 따른 쓰기 동작이후 문턱전압의 변화를 보여주고 있다. 쓰기 동작이후의 문턱전압을 5V로 정의한다면 BTB의 경우는 10 μ s 정도의 쓰기 속도를 갖는데 비하여, CHE방법의 경우는 100 μ s 이상의 쓰기속도를 갖는 것을 알 수 있다.

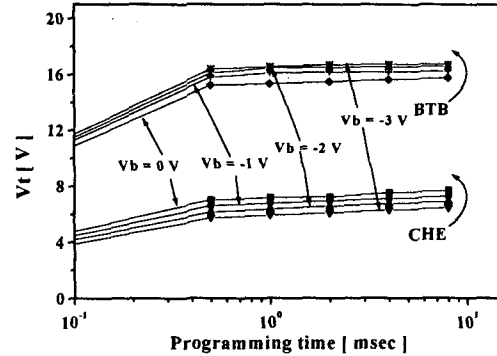


그림 5. 시간에 따른 쓰기 동작이후의 VT변화
Fig5. The variation of threshold voltage with time after program

III. 소자의 소거특성

데이터가 저장된 메모리소자의 소거방법에는 FN 터널링 방법이 있다. FN터널링은 제어게이트에 음의 높은 전압을 인가해서 얻을 수 있다. 다음의 그림 6은

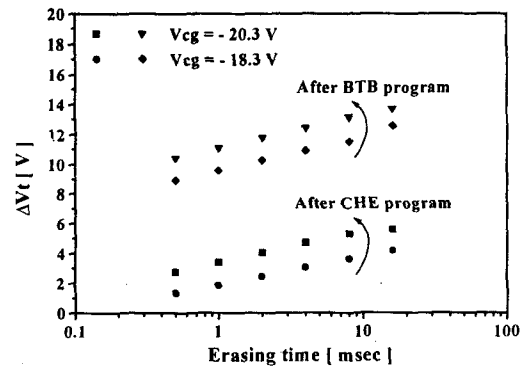


그림 6. 채널 소거동작 속도
Fig6. The speed of channel erase

제어 게이트에 음의 높은 전압을 인가한후 채널로의 소거 속도를 나타내고 있다. 소거에서도 BTB방법에 의해 쓰여진 데이터가 더 빠른 속도로 소거되어짐을 알 수 있다. 이것은 같은 시간동안 쓰여진 데이터라도 BTB에 의한 것이 CHE방법보다 더 많은 전자가 부유 게이트에 주입되고, 이로 인하여 부유 게이트의 포텐셜이 더 낮기 때문에 사료된다.

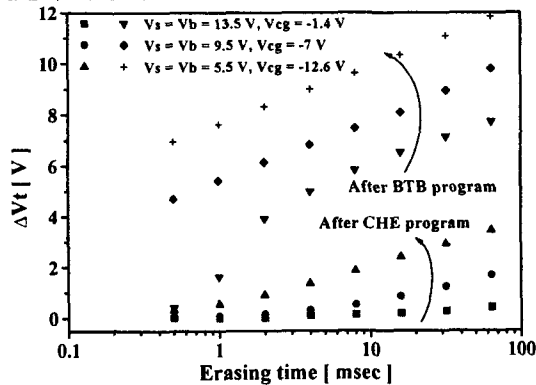


그림 7. 소스와 기판으로의 소거 속도

Fig7. The speed of source and substrate erase

그림7은 기판과 소스에 같은 크기의 양의 전압을 인가하여 소스와 채널로 소거하는 방법이다. 이러한 경우에도 채널 쪽의 소거와 마찬가지로 BTB방법으로 쓰여진 메모리소자의 소거가 더 빠르게 나타났다. 그러나 채널만으로 소거하는 것보다 소거 속도는 더 느린 것으로 나타났다. 이것은 게이트의 용량성 정합률보다 기판의 용량성 정합률이 작기 때문에 실제 부유 게이트에 인가되는 전계의 크기는 기판 전압이 높을수록 낮기 때문인 것으로 사료된다.

IV. 결론

위에서 살펴본 바와 같이 p-채널 플래쉬 메모리 소자의 경우에 쓰기 동작은 큰 게이트 전류와 주입 효율을 갖는 BTB방법이 CHE방법보다 더 빠르며 쓰기동작후의 큰 문턱전압을 얻을 수 있었다[5]. 또한 기판에 음의 전압을 인가하면 기판 전류에 의한 2차 충격이온화에 의해 동작 속도가 더 빨라짐을 확인하였다. 소거에서도 같은 시간동안 데이터저장(쓰기)이

끝난후, 부유 게이트의 포텐셜 차이 때문에 BTB방법이 CHE방법보다 더욱 빠른 소거 동작속도를 얻을 수 있음을 알게 되었다. 그리고 기판에 양의 전압을 인가함으로 해서 높은 양의 전압에 의한 게이트 산화막 열화가 줄어들 것으로 기대되어진다.

V. Reference

- [1] Steve S. Chung, S.N. Kuo, C.M. Yil, and T.S. Chao, "Performance and Reliability Evaluation of P-Channel Flash Memories with Different Programming Schemes", IEDM, 1997, pp.295-298
- [2] J.D. Bude, M. Mastrapasqua, M.R. Pinto, R.W. Gregor, P.J. Kelly, R.A. Kohler, C.W. Leung, R.J. McPartland, P.K. Roy, R.Singh, "Secondary Electron Flash - Performance, Low Power Flash Technology for 0.35 μ m and Below", IEDM, 1997, pp.279-282
- [3] C.Y.Hu, D. L. Kencke, S.K. Banerjee, "Substrate-Current-Induced Hot Electron (SCIHE) injection: a new convergence scheme for flash memory", IEDM, 1995, pp.283-286
- [4] William D. Brown, Joe E. Brewer, "Nonvolatile Semiconductor Memory Technology", IEEE PRESS, 1998
- [5] T. Ohnakado, K. Mitsunaga, M. Nunoshita, H. Onoda, K. Sakakibara, N. Tsuji, N. Ajika, M. Hatanaka, H. Miyoshi, "Novel Electron Injection Method Using Band-to-Tunneling Induced Hot Electron(BBHE) for Flash Memory with a P-channel Cell", IDEM, 1995, pp.279-282