

submicron LDD NMOSFET에서 back bias에 따른 transconductance 변화에 대한 연구

원명규, 구용서*, 안철

서강대학교 전자공학과, *서경대학교 전자공학과

전화 : (02) 706-3401 / 팩스 : (02) 706-4216

A Study on the Transconductance Change of submicron LDD NMOSFETs under back bias

Myoung-Kyu Won, Yong-Seo Koo*, Chul An

Dept of Electronic Eng. Sogang Univ., *Dept. of Electronic Eng. Seokyeong Univ.

E-mail : s198220@ccs.sogang.ac.kr

Abstract

In this paper, we measured and simulated the transconductance change of submicron LDD NMOSFETs due to back bias under various channel length, temperature and substrate doping conditions. As back bias is increased, the mobility will decrease and g_m decreases according to a conventional model. But as the channel length is reduced, this phenomenon is inverted and g_m increases in the submicron region. This can be explained by analyzing the electron quasi Fermi potential in the channel. And the empirical formulae which show the g_m change were induced. These will be helpful to enhance the efficiency and precision of IC design.

I. 서론

MOSFET의 트랜스컨덕턴스는 gain과 관련된 중요한 소자 변수 중의 하나이다. 이 트랜스컨덕턴스에 직접적으로 영향을 미치는 요소는 mobility로 각 bias에 민감하게 반응한다. 특히 gate bias와 substrate bias에 의한 수직 전기장에 크게 영향을 받는데, 이것은 substrate bias가 증가하면 (즉 소스에 대해 더 음의 전압을 인가하면) 유효 수직 전기장이 증가하고 inversion layer carrier의 surface scattering이 증가하

게 되어 carrier mobility가 감소하기 때문이다. 이러한 mobility 감소는 substrate doping에 관계없이 universal curve를 나타낸다고 알려져 있다[1]. 기존의 model에 의하면 다른 변수가 고정되어 있을 때 트랜스컨덕턴스에 직접적으로 영향을 미치는 변수는 mobility이고, substrate bias가 증가하면 mobility가 감소할 뿐만 아니라 문턱 전압이 증가하므로 트랜스컨덕턴스는 더욱 감소하게 된다. 그러나 short channel 소자에서는 substrate bias가 증가함에도 불구하고 트랜스컨덕턴스도 증가하는 현상이 발생한다[2]. 따라서 submicron MOSFET에서 이러한 현상을 확인하여 분석하는 것이 IC 설계시 정확도와 효율을 높이는데 필요하다.

본 연구에서는 채널 길이, 온도, substrate doping 농도 등을 변수로 하여 substrate bias가 트랜스컨덕턴스에 미치는 영향을 측정 및 시뮬레이션을 통해 알아보고 그 결과를 분석했다. 그리고 데이터를 종합하여 경험식을 유도했다.

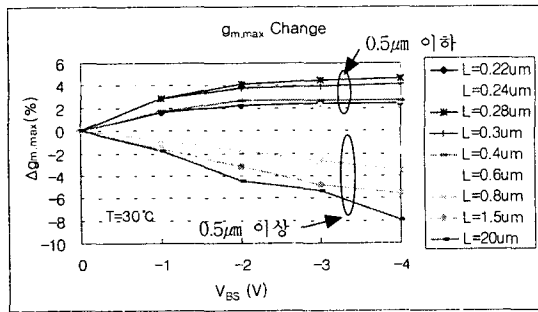
II. 측정 및 결과

실험에 사용된 소자는 LDD 구조를 갖는 NMOSFET 소자로 oxide 두께는 10Å, LDD spacer는 900Å이고 Ti salicide를 채택한 소자이다. 채널 길이는 0.22~20 μ m를 사용했고, 채널 폭은 wide width인 20 μ m로 일정하게 하여 채널 폭의 영향을 배제했다.

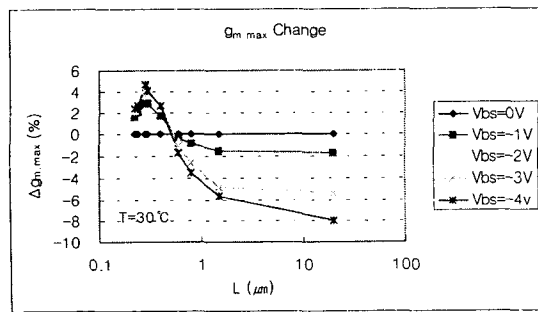
이 소자의 substrate bias를 0, -1, -2, -3, -4V로 바

꾸었을 때 I_D-V_{GS} 그래프의 기울기로부터 트랜스컨덕턴스를 측정했다. 이때 드레인-소스 사이에는 0.05V를 인가해 소자가 linear 영역에서 동작하도록 했다. 또한 온도 변화의 영향을 알아보기 위해 30, 70, 110°C에서 실험을 반복했다. 측정장비로 HP사의 4145B를 사용했다.

최대 트랜스컨덕턴스 측정 결과를 substrate bias를 변수로 그림 1에 나타냈다. 여기에서 $\Delta g_{m,max}(\%)$ 는 $V_{BS}=0V$ 일 때를 기준으로 했다. short channel 소자에서는 substrate bias가 증가함에 따라 $g_{m,max}$ 가 증가하는 것이 잘 나타나고 있으며 점차 포화되는 경향을 보여 준다. 채널 길이의 영향을 좀 더 잘 나타내기 위해서 그림 2에서는 같은 데이터를 채널 길이를 변수로 해서 표현했다. 채널 길이가 짧아질수록 $g_{m,max}$ 가 증가하는 것을 확연히 볼 수 있으며, 0.28 μm 이하에서는 오히려 $g_{m,max}$ 의 증가량이 줄어드는 현상을 볼 수 있다.



[그림 1] substrate bias에 따른 $g_{m,max}$ 변화



[그림 2] 채널 길이에 따른 $g_{m,max}$ 변화

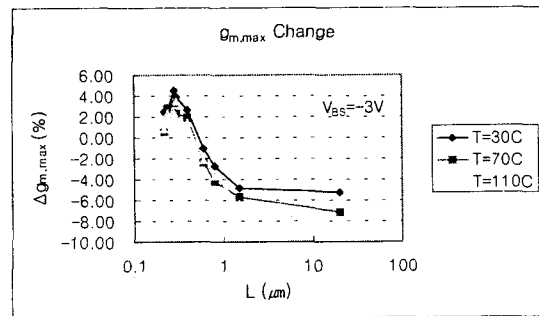
long channel nMOSFET 소자에서 substrate bias에 따른 mobility 변화가 $g_{m,max}$ 변화에 미치는 영향을 정량적으로 알아보기 위해서 DC 드레인 전류 방법[3]을 사용해서 mobility를 측정한 후 substrate bias가 -2V와 -4V일 때 $g_{m,max}$ 변화와 μ_{eff} 변화를 다음 표에서 비교했다. μ_{eff} 의 감소가 $g_{m,max}$ 의 감소로 직접 나타나

고 있음을 알 수 있다.

L=20 μm 소자에서 μ_{eff} 변화와 $g_{m,max}$ 변화 비교

	$V_{BS}=-2V$	$V_{BS}=-4V$
$\Delta \mu_{eff}$	-4.42 %	-7.43 %
$\Delta g_{m,max}$	-4.42 %	-7.96 %

온도 변화가 $g_{m,max}$ 에 미치는 변화를 알아보기 위해서 온도를 높여가며 $g_{m,max}$ 변화를 측정했다. 실제로 IC의 동작 온도는 상온보다 높게 되므로 이러한 온도에서 소자의 동작이 어떻게 달라지는가를 알아보는 것이 중요하다. 70°C와 110°C에서 측정된 데이터 중에서 $V_{BS}=-3V$ 일 때만을 선택해서 비교해보면 다음 그래프와 같다. 전체적으로 $g_{m,max}$ 곡선이 아래로 이동한 것을 볼 수 있고 그 정도는 30°C~70°C 사이가 70°C~110°C 사이보다 더 크다는 것을 알 수 있다. 그리고 short channel 쪽으로 갈수록 $g_{m,max}$ 의 변화 정도는 줄어든다. 이러한 $g_{m,max}$ 곡선의 하향 이동은 온도가 높아질수록 mobility가 감소하기 때문인 것으로 생각된다. mobility 감소는 채널 길이에 관계없이 일정한데 short channel 쪽에서 온도에 따른 $g_{m,max}$ 의 변화가 작다는 것은 short channel 쪽으로 갈수록 mobility 감소 영향을 적게 받거나 다른 요인이 작용하고 있음을 추측할 수 있게 한다.



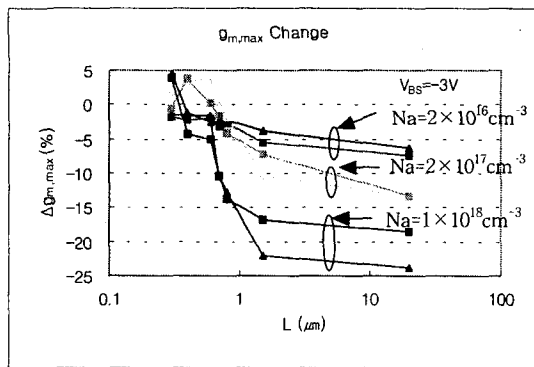
[그림 3] 각 온도에 따른 $g_{m,max}$ 변화 비교

III. 시뮬레이션 및 결과 분석

substrate doping이 $g_{m,max}$ 변화에 어떤 영향을 미치는지 알아보기 위해서 2차원 시뮬레이션을 통해 알아보았다. 공정 시뮬레이션으로 만들어진 소자는 oxide 두께 100Å, LDD spacer는 1200Å이고 LDD 구조를 갖는다. 채널 길이는 0.3~20 μm 로 했다. substrate doping은 크게 문턱 전압 조절을 위한 p-type

implantation (V_T implantation)을 한 경우와 substrate 전체를 doping (bulk doping)한 경우로 나누었다. V_T implantation의 경우 표시된 doping 농도는 표면 근처의 값이다. 시뮬레이션에 사용된 툴은 ISE사의 DIOS와 DESSIS이다.

시뮬레이션 후 doping이 낮은 경우, 중간 경우, 높은 경우의 세 가지를 뽑아서 다음 그래프에 함께 나타냈다. doping이 낮은 경우와 중간 경우에는 거의 비슷하지만, doping이 높은 경우에는 channel이 긴 쪽에서 $g_{m,max}$ 감소가 훨씬 크게 나타나고 있음을 볼 수 있다.



[그림 4] Doping type에 따른 $g_{m,max}$ 변화 비교
(▲: V_T implantation, ■: bulk doping)

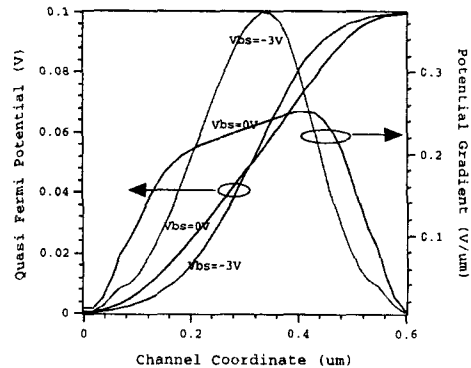
채널 포텐셜 분석

실제 IC에 사용되는 nMOSFET 소자는 문턱 전압 조절, body effect 감소, parasitic capacitance 감소 등을 위해 p-type implantation을 해서 만들어지므로 이 경우에 한해서 채널 potential 분포의 변화를 분석해 보았다. bulk doping의 경우에도 결과는 비슷할 것으로 생각된다. 앞의 그래프에서 본 것처럼 시뮬레이션 결과 채널 길이가 $0.6\mu m$ 에서 가장 큰 $g_{m,max}$ 증가가 있었으므로 이를 기준으로 살펴보았다.

먼저 그림 5는 doping 농도가 $2 \times 10^{17} cm^{-3}$ 인 경우의 채널 위치에 따른 전자의 quasi Fermi potential과 그 gradient를 보여주고 있다. 드레인-소스 사이에는 0.1V의 작은 전압이 인가되어 있으므로 $V_{BS}=0V$ 일 때에는 oxide-Si 경계면 평행한 inversion layer가 형성되고 채널 가운데의 intrinsic part에서는 potential 변화가 선형적으로 나타나고 있다. 그러나 $V_{BS}=-3V$ 로 증가하면 소스와 드레인 쪽의 depletion 영역의 증가로 intrinsic part가 줄어들게 되고 늘어난 양쪽의 extrinsic part는 substrate의 영향으로 국부적으로 문턱전압이 더 커지게 되므로 inversion charge의 증가로 potential 강하는 그만큼 감소하게 된다. 반면에 가운데

부분의 intrinsic part는 국부적인 V_T 증가가 작으므로 상대적으로 inversion charge가 적게 되고 총 드레인-소스 사이의 전압 강하는 일정하므로 가운데 intrinsic part에서의 전압 강하는 더 증가하게 된다. 따라서 선형성이 깨지게 되고 이로부터 quasi Fermi potential의 기울기는 크게 증가하는 것을 볼 수 있다. 이것은 mobility 감소에도 불구하고 $g_{m,max}$ 가 증가하는 현상을 설명한다. $V_{BS}=0V$ 일 때는 potential gradient의 최대 값이 $2.5kV/cm$ 인데 $V_{BS}=-3V$ 일 때는 $3.8kV/cm$ 로 52%나 증가했다.

그러나 doping이 낮은 경우 ($2 \times 10^{16} cm^{-3}$)와 doping이 큰 경우 ($1 \times 10^{18} cm^{-3}$)에는 potential의 선형성이 그대로 유지되어 gradient의 증가가 그다지 크지 않았다. 이때 $g_{m,max}$ 는 감소했는데 mobility 감소의 영향이 더 크기 때문인 것으로 생각된다. doping이 낮은 경우는 원래 depletion 영역이 크므로 $V_{BS}=0V$ 일 때 $V_{BS}=-3V$ 일 때 depletion 영역 변화가 channel에 주는 영향이 적고, doping이 큰 경우에는 depletion 영역이 매우 작으므로 그 만큼 extrinsic part의 증가가 없게 되므로 역시 channel potential 변화에 주는 영향이 적게 된다. 그밖에도 $g_{m,max}$ 가 증가한 조건에서는 모두 potential gradient가 증가하는 현상을 볼 수 있었다.



[그림 5] 채널에서 electron quasi Fermi potential 분포와 potential gradient ($Na=2 \times 10^{17} cm^{-3}$)

경험식

이상의 결과를 종합해서 채널 길이와 substrate bias 또는 substrate doping으로부터 $g_{m,max}$ 증가를 보여주는 경험식을 세워서, submicron 소자에서도 트랜스컨덕턴스에 미치는 substrate bias의 영향을 예측할 수 있게 했다.

substrate bias에 의한 $g_{m,max}$ 변화를 나타내 주는 경험식은 측정 결과로부터 다음과 같이 표현될 수 있다.

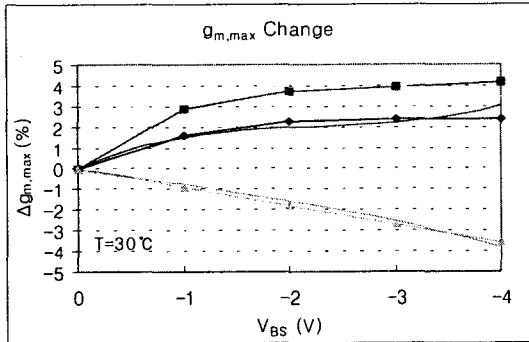
이때 채널 부근의 doping 농도는 약 $2 \times 10^{17} \text{cm}^{-3}$ 이다.

$$\Delta g_{m, \max} (\%) = aV_{BS}^3 + bV_{BS}^2 + cV_{BS}$$

$$\begin{cases} a = -0.1124L'^3 - 0.0318L'^2 + 0.4025L' - 0.2206 \\ b = -39.093L'^5 + 173.9L'^4 - 286.97L'^3 + 212.45L'^2 - 67.006L' + 6.2055 \\ c = 320.09L'^6 - 1709.5L'^5 + 3621.1L'^4 - 3855.6L'^3 + 2141.6L'^2 - 269.24L' + 52.71 \end{cases}$$

where $L' = L + \theta$

여기에서 L의 단위는 μm 일 때이고 θ 는 fitting parameter이다. 이 식은 L이 $0.22\mu\text{m} \sim 1.5\mu\text{m}$, V_{BS} 가 $0 \sim -4\text{V}$ 에서 유효하다. 다음 그래프는 측정결과와 경험식을 비교해 주고 있다.



[그림 6] bias에 따른 $g_{m, \max}$ 변화. 실선은 경험식, 점은 측정값 (◆: $0.22\mu\text{m}$, ■: $0.3\mu\text{m}$, ▲: $0.8\mu\text{m}$)

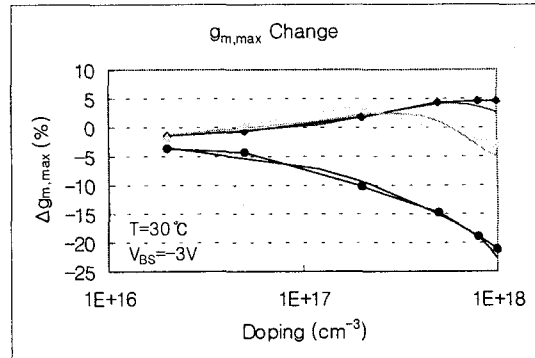
substrate doping에 따른 $g_{m, \max}$ 변화를 알려주는 경험식은 시뮬레이션 결과로부터 다음과 같이 구했다. V_T implantation으로 doping했을 때의 경우이다.

$$\Delta g_{m, \max} (\%) = (a \times 10^{-53})N_A^3 + (b \times 10^{-35})N_A^2 + (c \times 10^{-17})N_A + d$$

$$\begin{cases} a = -41.371L'^4 + 172.61L'^3 - 252.5L'^2 + 144.41L' - 23.983 \\ b = 70.331L'^4 - 300.22L'^3 + 446.28L'^2 - 255.78L' + 41.213 \\ c = -45.202L'^4 + 187.2L'^3 - 267.49L'^2 + 144.15L' - 21.442 \\ d = 19.797L'^4 - 73.424L'^3 + 91.396L'^2 - 43.704L' + 4.7282 \end{cases}$$

where $L' = L + \theta$

여기에서 L의 단위는 μm 일 때이고 θ 는 fitting parameter이다. 이 식은 L이 $0.3 \sim 1.5\mu\text{m}$, N_A 가 $2 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ 에서 유효하다. 다음은 시뮬레이션 데이터와 경험식을 비교한 그래프이다.



[그림 7] doping에 따른 $g_{m, \max}$ 변화. 실선은 경험식, 점은 시뮬레이션 값 (◆: $0.3\mu\text{m}$, ▲: $0.6\mu\text{m}$, ●: $1.5\mu\text{m}$)

IV. 결론

본 논문에서는 submicron LDD NMOSFET에서 substrate bias가 트랜스컨덕턴스에 미치는 영향을 측정 및 시뮬레이션하여 분석했다. substrate bias가 증가함에 따라서 long channel 소자에서는 기존의 model에 따라 mobility 감소의 영향이 트랜스컨덕턴스 감소로 직접 나타난다. 그러나 short channel 소자로 갈수록 mobility 감소에도 불구하고 트랜스컨덕턴스는 증가하는 현상이 나타났는데 이것은 inversion layer에서 전자의 quasi Fermi potential의 기울기가 증가하는 것으로 설명할 수 있었다. 그리고 데이터를 정리하여 경험식을 세웠는데 이는 집적회로 설계시 substrate bias가 소자 gain에 미치는 영향을 알려 줌으로써 설계의 정확도와 효율을 높이는 데 가치가 있다고 할 수 있다.

참고문헌

- [1] A.G.Sabnis, J.T.Clemens, "Characterization of the electron mobility in the inverted $\langle 100 \rangle$ Si surface," IEEE IEDM, Tech. Dig., pp18-21, 1979
- [2] J.-C.Guo, M.-C.Chang, C.-Y.Lu, C.C.-H.Hsu, S. S.-S.Chung, "Transconductance enhancement due to back bias for submicron NMOSFET," IEEE Tran. Electron Devices, vol.42, pp288-294, 1995
- [3] C.G.Sodini, T.W.Ekstedt, J.L.Moll, "Charge accumulation and mobility in thin dielectric MOS transistors," Solid-State Electron., vol.25, pp833-841, 1982