

8-bit flash ADC 설계

김민철, 송인채

승실대학교 전자공학과

전화 : (02) 816-6073 / 팩스 : (02) 821-7653

Design of a 8-bit flash ADC

Min-Cheol Kim, Inchae Song

Department of Electronic Engineering, Soongsil University

E-mail : min@hanul.soongsil.ac.kr

Abstract

In this paper, we designed a 8-bit flash ADC, which can be used in fully differential circuits. We adopted a 2-step flash architecture with digital correction. The designed ADC is expected to work at the sampling frequency of 30MHz. We carried out the layout with 0.65 μ m CMOS technology. The core size is 1.587mm \times 1.069mm.

I. 서론

최근 들어 디지털 신호 처리는 비디오 시스템에서 가장 중요한 기능 중 하나가 되었다. 이러한 디지털 신호처리를 위해서는 아날로그 디지털 변환기(analog-to-digital converter : 이하 ADC) 와 디지털 아날로그 변환기(digital-to-analog converter : 이하 DAC)가 필수적이다. 디지털 비디오 카메라와 상업용 비디오 테이프 리코더들과 같은 비디오 시스템들은 높은 image quality를 유지시켜주기 위해 8 bit 이상의 resolution과 높은 video-frequency를 갖는 ADC와 DAC를 요구한다[1].

현재 연구된 ADC의 변환 기법은 크게 Nyquist rate 변환기법과 oversampling 변환 기법으로 나뉜다. 여기서 Nyquist rate 변환기법으로 flash ADC, subranging ADC, successive approximation ADC, multi-step pipelined ADC등이 있고, oversampling 변환 기법으로

$\Sigma\Delta$ ADC가 있다. $\Sigma\Delta$ ADC는 오디오 신호(약 20 kHz의 낮은 주파수 대역)에 사용되며 소자의 부정확에 둔감한 장점이 있다. 특히, 높은 분해능을 갖을 수 있고, 분해능에 직결되는 SNR이 우수하다. Nyquist rate 변환기법은 대체로 영상신호(높은 주파수 대역)에 사용되며 고 분해능은 아니지만 고속 신호처리에 유리하다[2].

본 논문에서는 Nyquist rate 변환기법 중 2단 flash 방식의 8 bit ADC를 구현 하였다. single-ended 회로에 비해 SNR을 2배로 할 수 있고, distortion 특성도 개선할 수 있는 완전 차동형(fully differential) 회로에 이용할 수 있도록 일부 회로를 완전 차동형으로 설계 하였다.

II. 2-stage 8-bit flash ADC

고속의 ADC로 대표적인 것이 flash구조의 ADC로 n-bit의 분해능을 갖기 위해 2^n-1 의 비교기와 2^n 개의 저항을 필요로 한다. 즉, 8 bit converter를 구현하기 위해 255개의 비교기와 256개의 저항이 필요하다. 따라서 bit수를 높일수록 flash구조의 면적은 기하급수적으로 커지게 되고 power 소모도 커지게 된다. 이러한 full-flash구조의 단점을 보완하기 위해 그림 1과 같이 2단 flash 구조의 ADC를 설계하였다. 2단 flash 구조의 ADC를 사용하면 8 bit 분해능을 얻기 위해 46개의 비교기와 48개의 저항만 사용하게 되므로 full-flash

구조에 비해 현저히 줄어듬을 알 수 있다[3].

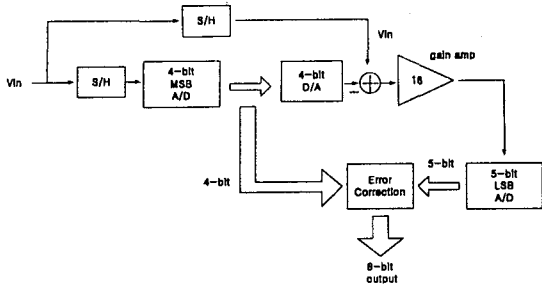


그림 1. 2단 8bit flash ADC

신호의 흐름을 보면 우선 sample-and-hold 된 analog 신호는 먼저 4 bit ADC를 통하여 digital 신호로 바뀌게 된다. 이 ADC에서 sampling된 입력 신호는 기준전압과 비교해 주는 비교기를 통해 thermometer code로 변환하게 되고, ROM을 통해 4 bit의 binary code로 변환하게 된다. digital 변환된 신호는 다시 analog 신호로 변환하여 입력신호로부터 감해지며 이 신호로 다음 A/D 변환을 하게 된다. 이 변환을 fine변환이라 하며 error correction은 이 fine 변환을 5 bit로 늘려주고 coarse 변환의 MSB와 fine변환의 LSB를 overlapping 시킴으로서 이루어진다[4].

결과적으로 초기 A/D 4 bit 변환을 MSB로 갖게 되며, quantization error를 줄이기 위해 fine 변환을 통한 4 bit LSB를 갖게 된다. 즉, quantization error를 줄여 줌으로써 더 정교한 resolution을 얻게 된다.

III. 8 bit flash ADC의 설계

1. 4 bit ADC와 DAC

그림 2는 4 bit ADC와 DAC로 기존의 full-flash ADC방식을 이용하였다. 내부 4 bit ADC는 16개의 저항, 15개의 비교기, 15개의 SR latch 및 thermal encoder(ROM)로 구성된다. 16개의 저항으로 15개의 기준 전압을 만들고, 비교기를 통해 입력전압과 기준 전압을 비교한다. 비교기의 출력을 한 클럭 동안 안정하게 유지시켜 주어 DAC에 안정된 입력을 공급시켜 주기 위해 SR latch를 비교기 출력 단에 연결하였다. ADC의 최종적인 디지털화는 thermal encoder에 의해 이루어지며 on 저항을 고려하여 CMOS switch (transmission gate)를 이용하여 설계하였고, 마지막 단에 buffer를 달아 full swing에 도움을 주었다. Encoder의 입력 값들은 DAC의 기준 전압들을 위한 스위칭 신호 역할

을 하며, 이렇게 환원된 아날로그 신호는 feedback되어 입력 신호로부터 감해 진다[5].

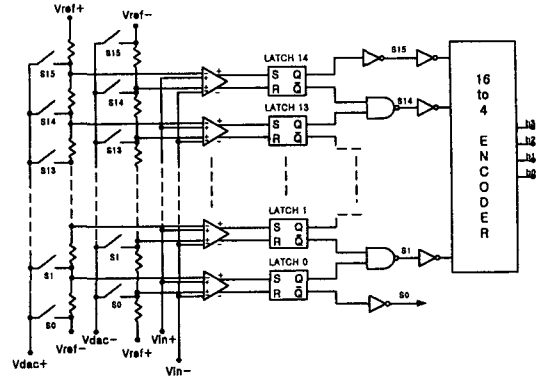


그림 2. 내부 4bit ADC와 DAC

5bit ADC도 이와 같은 방식으로, 저항과 비교기, latch등의 개수를 2배로 사용하여 1 bit를 더 늘였다.

2. 비교기

비교기는 ADC에서 중요한 요소로서 여기서 사용된 비교기는 dynamic latch를 갖는 정제환형 비교기가 사용되었다.

비교기의 회로는 그림 3에 나타내었다. V_{clk} 이 하강 전이를 만날 경우 M_{n7} , M_{n8} 이 개방되고, M_{p9} , M_{p10} 이 단락 되어 출력 값에 V_{dd} 가 인가된다. V_{clk} 이 상승전이를 할 때 M_{n7} , M_{n8} 은 단락 되고 M_{n1} , M_{n2} 에 인가되는 전압은 음과 양의 기준(reference) 전압과 비교되어 출력된다.

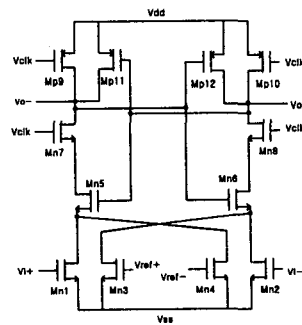


그림 3. 정제환형 비교기

즉, 입력 신호가 기준 전압 보다 크면 그 값은 V_{dd} 를 나타내게되며, 기준 전압보다 작게 되면 clock파형과 반대파형을 나타내게 된다. 그림 4는 정제환형 비교기

의 출력 파형으로 올바른 동작을 하고 있음을 볼 수 있다.

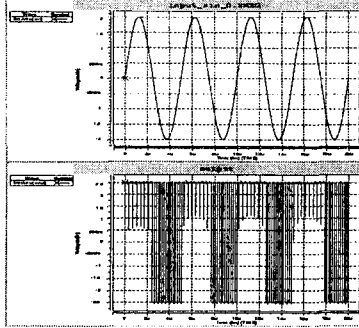


그림 4. 비교기의 simulation 결과

3. 연산 증폭기

연산 증폭기는 ADC에서 중요한 역할을 하는 회로로 연산 증폭기의 정확한 동작 없이는 ADC의 동작은 기대하기 힘들다. 본 논문에서는 단순히 두 신호의 차이를 증폭하는 회로를 원하므로, 복잡한 증폭기를 선택하기 보다 간단한 2-stage CMOS op-amp를 선택하였다.

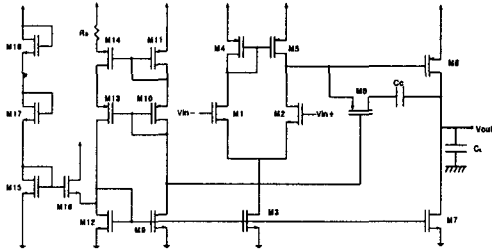


그림 5. 연산 증폭기

그림 5에서 보듯 연산 증폭기는 좌로부터 크게 start-up, self-bias, 2단 증폭기로 구분된다. M1~M5로 구성된 능동부하(active load) 차동 증폭기의 전압이득은 보통 100보다 작으므로, 이 차동 증폭기 하나로 연산 증폭기 동작에 요구되는 큰 전압이득을 얻을 수 없다. 따라서 M6, M7의 common source 증폭기를 둘째 단 증폭기로 연결하여 연산 증폭기 동작에 요구되는 1000이상의 전압이득을 얻을 수 있다[6].

그러나 두 개의 증폭 단을 사용하여 pole의 개수가 많아져 연산 증폭기를 feedback 회로에 사용할 경우 주파수 안정도가 나빠져 발진할 수도 있다. 그렇기 때문에 주파수 보상용 capacitor Cc와 직렬 저항 Rz (M8)을 둘째 단 증폭기의 입·출력 node 사이에 연결하여 고주파

에서의 전압이득을 줄여서 주파수 안정도를 좋게 하였다.

그림 6의 simulation 결과에서 보듯 open loop voltage gain이 약 70dB가 되며 phase margin은 약 50° 가량 나왔다. 또한 unit gain frequency는 250MHz이며 slew rate는 85 V/ μ s 정도 나왔다.

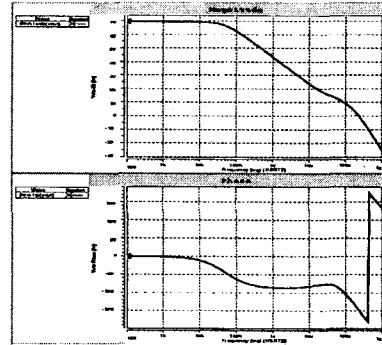


그림 6. 구현된 연산 증폭기의 AC-Analysis 결과

4. Error Correction

fine 변환에서의 잘못된 변환은 coarse 변환의 MSB에 영향을 미치게 된다. 즉, fine 변환에 들어갈 신호가 기준 전압보다 더 크게 증폭이 되면 coarse 변환 값이 달라지므로 error가 발생하게 된다. 이를 방지하기 위해 기준 전압보다 더 큰 전압이 증폭되어 fine 변환되면 5 bit 중 최상위 bit를 fine 변환의 MSB에 가산해 줌으로써 이를 해결할 수 있다. 이는 간단한 가산기로 해결할 수 있으며, 본 논문에서 CLA(carry lookahead adder)를 이용하여 구현하였다.

IV. Simulation 결과 및 Layout

전체 회로에 대한 simulation 출력이 그림 7에 보여진다. 맨 위의 그림이 LSB이고, 맨 아래 그림이 MSB이다. 입력 파형은 진폭 1.5V의 3MHz를 갖는 sin 파형을 인가하였고, 30MHz의 sampling 주파수에서 정상적으로 동작하였다.

그림 8은 8 bit ADC를 0.65 μ m CMOS technology를 사용하여 layout 한 결과를 보여준다. resistor는 poly2를 이용하였고, capacitor는 poly1과 poly2를 겹쳐서 구현하였다. pad를 제외한 core 크기는 1.587mm \times 1.069mm이다. IDEC로부터 지원 받은 Cadence와 HSPICE를 사용하여 layout과 simulation을 수행하였다.

V. 결론

본 논문에서는 2단 flash 방식의 8 bit A/D converter를 설계하였다. 완전 차동형 회로에 사용될 수 있도록 일부 회로를 완전 차동방식으로 설계하였다. 0.65 μ m CMOS technology를 사용하여 layout을 하였으며, HSPICE로 simulation하여 동작을 검증하였다. 설계된 ADC는 30MHz의 sampling 주파수에서 동작하리라 기대된다. pad를 제외한 core 크기는 1.587mm \times 1.069mm이고, 소비전력은 71mW이다.

참고 문헌

[1] T. Shimizu, M. Hotta, K. Maio, and S. Ueda, "A 10-bit 20-MHz Two-Step Parallel A/D Converter with Internal S/H", *IEEE J. Solid-State Circuits*, vol. 24, no. 1, pp. 13-20, Feb. 1989.

[2] 조병욱, 최평, 손병기, "14비트 분해능을 갖는 2차 Sigma-Delta 변조기 모델링 및 설계", *제3회 IDEC MPW 발표회 논문집*, pp. 89-97, 1998.

[3] D. A. Kerth, N. S. Sooch, and E. J. Swanson, "A 12-bit 1-MHz Two-Step Flash ADC", *IEEE J. Solid-State Circuits*, vol. 24, no. 2, pp. 250-255, Apr. 1989.

[4] 이재영, "8 비트 2단 Flash A/D 변환기의 설계", *충실대학교 전자공학과 석사학위 논문*, 1997.

[5] M. S. Nejad, and G. C. Temes, "A High-Resolution Multibit $\Sigma\Delta$ ADC with Digital Correction and Relaxed Amplifier Requirements", *IEEE J. Solid-State Circuits*, vol. 30, no. 4, pp. 453-460, June 1995.

[6] 박홍준, *CMOS 아날로그 집적회로 설계(하)*, 시그마프레스, 1999.

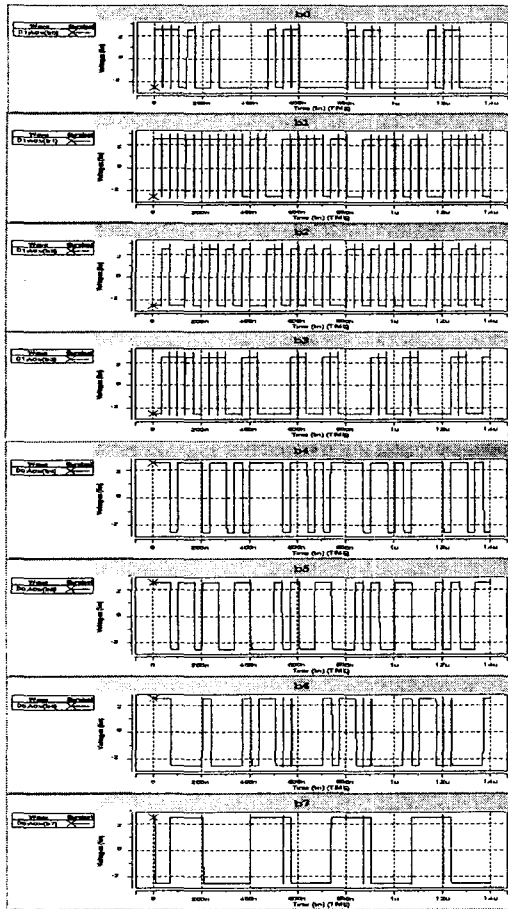


그림 7. 8bit ADC Output

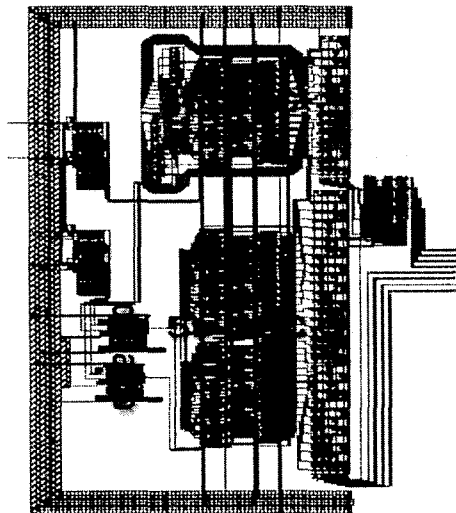


그림 8. 8bit ADC layout