

0.25 μ m 표준 CMOS 공정을 이용한 RF 전력증폭기

박수양, 전동환, 송한정*, 손상희**
청주대학교 대학원 전자공학과
충청대학교 전자공학과*
청주대학교 전자·정보통신·반도체공학부**
전화 : (0431)229-8464 / 팩스 : (0431)229-8432

RF Power Amplifier using 0.25 μ m standard CMOS Technology

Soo-Yang Park, Dong-Hwan Jun, Han-Jung Song*, Sang-Hee Son**
Dept. of Electrical Eng. Chongju University
Dept. of Electrical Eng. Chung-chong College*
School of Electric · Computer & Communication · Semiconductor Eng. Chongju University**
e-mail : sypark@wslab.chongju.ac.kr

Abstract

A high efficient, CMOS RF power amplifier at a 2.5V power supply for the band of 902-928MHz was designed and analyzed in 0.25 μ m standard CMOS technology. The output power of designed amplifier is being digitally controlled from a minimum of 2mW to a maximum of 21mW, corresponding to a dynamic range of 10dB power control. The frequency response of this power amplifier is centered roughly at 915MHz. The power added efficiency of designed amplifier is almost 48% at maximum output power of 21mW.

1. 서 론

최근 무선 전화, 무선 모뎀, 개인 통신 네트워크 등의 무선 통신 시스템에 대한 선호도가 증가함에 따라 소형화 및 제품의 저가격화에 대한 필요성이 증대되고 있다. 또한 통신용 시스템에 사용되는 배터리의 수명을 연장하기 위해서 높은 효율을 가짐과 동시에 저전압, 저전력 동작이 가능한 통신용 부품이 더욱 더

필요한 실정이다. 그러나 대부분의 RF 기능 블록은 낮은 잡음지수와 높은 이득, 높은 출력 전력 등의 특성을 갖는 GaAs 공정기술을 이용하여 제작되고 있다. 그러나 이와 같은 GaAs 공정기술은 소형, 경량, 저가격, 저전압, 저전력 등의 사양을 모두 만족시키기에는 부적합한 공정이다. 반면에 CMOS 공정은 1GHz 주파수 대역에서 이들 요구 사항에 잘 부합되는 공정으로 부각되고 있고, 최근에는 이 공정을 이용하여 전력 증폭기, LNA, VCO, Mixer 등과 같은 RF 구성요소들을 one-chip화하기 위한 연구가 활발하게 이루어지고 있다.

본 논문에서 설계한 전력증폭기는 0.25 μ m 표준 CMOS 공정을 이용하였으며, 902-928MHz 주파수 대역에서 동작하는 무선 FHSS(hopped spread spectrum) 트랜시버에 응용 가능하다. 모의 실험 결과 출력 전력은 최소 2mW에서 최대 21mW까지 디지털 방식의 전력 제어가 가능하며, 약 10dB의 전력 제어 다이내믹 범위를 갖는다. 또한 증폭기의 주파수 응답은 중심주파수가 약 915MHz에 위치하며, 이 주파수대역에서 약 13dB의 소신호 이득을 갖는다. 그리고 증폭기의 PAE는 21mW의 최대 전력전달 조건에서 약 48%를 얻었다.

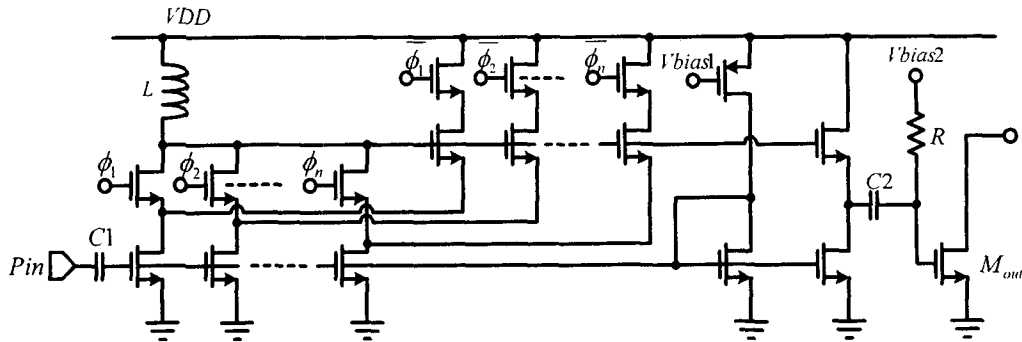


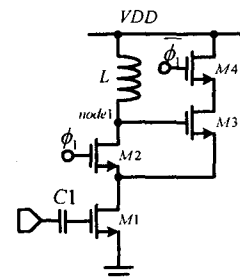
그림 1. 설계한 전력증폭기의 전체 회로도

II. 전력증폭기 설계

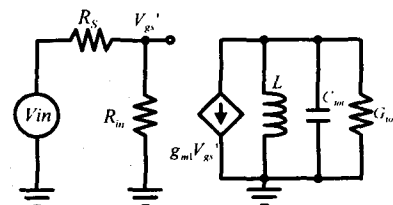
50ohm의 안테나 부하로 20mW의 전력을 전달하기 위해서, 첫 번째 증폭단인 캐스코우드 증폭기를 3dBm의 입력 전력에 대해서 약 1.5V 이상의 출력 전압을 얻을 수 있도록 설계하였다. 또한 첫 번째 캐스코우드 입력단 증폭기에서 충분히 큰 이득을 얻음과 동시에 전력소모량을 줄이기 위해서 인덕터 부하를 사용하였고, 사용한 나선형 인덕터의 직렬저항에 의한 이득의 손실을 줄이기 위해서 Q-enhancement 회로를 사용하였다. 특히 입력단의 경우 출력 전력 레벨을 디지털 방식으로 제어하기 위해서 서로 다른 이득을 갖도록 설계한 여러 개의 캐스코우드 증폭기를 이용하였다. 이와 같이 설계함으로써 기존의 다단 출력단 트랜지스터를 이용한 출력 전력 조절방식에 비해 좀더 출력 전력 레벨의 제어가 선형적으로 이루어질 수 있도록 하였다. 그림 1은 설계한 전력증폭기의 전체회로도이며, 캐스코우드 증폭단, 버퍼단, C-급 증폭단으로 구성하였다. 그리고 최종 증폭단 트랜지스터가 C-급으로 동작하도록 설계함으로써 높은 전력변환 효율을 얻을 수 있도록 하였다.

1. 입력 증폭단 설계 및 출력 전력 제어

본 설계에서는 증폭기 전체의 전력소모를 줄이고 출력 단자에 부하로 사용한 나선형 인덕터의 기생 직렬 저항에 의한 손실을 보상하기 위해서 캐스코우드 구조의 증폭기와 Q-enhancement 회로의 역할을 동시에 갖는 회로를 사용하였다. 제안한 회로는 캐스코우드 구조의 장점인 높은 이득과 입력단에서의 Miller 효과를 줄임으로 인한 높은 동작 주파수, 그리고 출력단에서는 Q-enhancement 회로의 역할을 갖는 구조이다.



(a) 제안한 입력단 증폭기



(b) 입력단 증폭기의 소신호 등가회로

그림 2. 제안한 입력단 증폭기의 회로도 및 소신호 등가회로

설계한 회로의 구조는 그림 2와 같으며, 그림 2(b)로부터 L 과 C_{tot} 의 공진주파수에서, 전압이득은 식 (1)과 같이 나타낼 수 있다. 여기서 L 은 부하로 사용한 나선형 인덕터이며, C_{tot} 은 node1에 분포하는 전체 커패시턴스이다. 또한 node1에서 바라다 보이는 트랜스컨덕턴스 값은 식(2)와 같이 간단하게 나타낼 수 있고, 식 (3) node1에서의 전체 트랜스컨덕턴스 값이다. 이들 수식으로부터 G_{tot} 값이 작을수록 높은 전압이득을 얻을 수 있다는 사실을 알 수 있다.

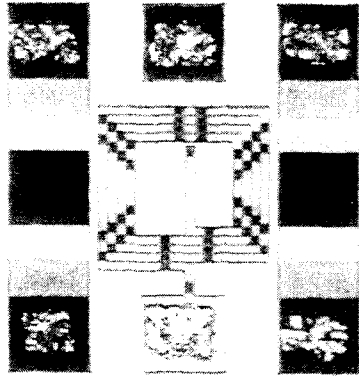


그림 3. 제작한 나선형 인덕터

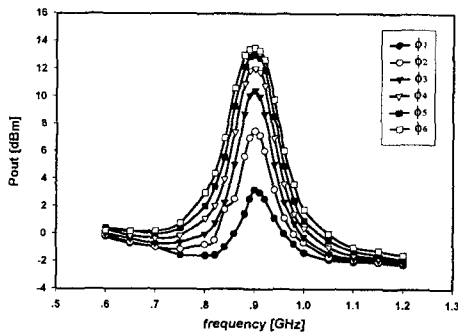


그림 4. 입력단의 선택에 따른 전력 전달 특성 (단, 입력 조건은 915MHz, 3dBm)

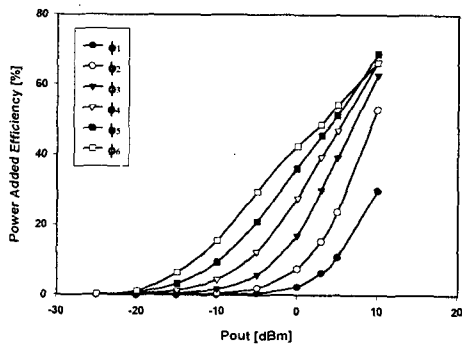


그림 5. 입력단의 선택에 따른 PAE 특성

$$A_v = -\frac{R_s}{R_s + R_{in}} \frac{g_{m1}}{G_{tot}} A_{2nd} \quad (1)$$

$$G_n = -\frac{g_{m2}g_{m3}}{g_{m2} + g_{m3}} \quad (2)$$

$$G_{tot} = \frac{R_s}{(\omega L)^2} - \frac{g_{m2}g_{m3}}{g_{m2} + g_{m3}} \quad (3)$$

출력 전력의 제어를 위해서 본 설계에서는 그림 1의 전체 회로도에서 볼 수 있는 바와 같이 크기가 다른 트랜지스터를 이용하여 이득이 다르게 설계된 여러 단의 증폭기를 사용하였다. 그리고 출력 전력은 ϕ_1 에서 ϕ_6 (ϕ_1 에서 ϕ_6)까지의 트랜지스터의 게이트 전압을 인가함으로써 제어할 수 있다.

2. 나선형 인덕터 설계

나선형 인덕터는 그림 3과 같은 구조로 설계하였다. 설계한 나선형 인덕터는 금속선의 직렬 저항을 줄이기 위해서 여러 개의 금속선을 병합한 구조로 레이아웃 하였으며, ASITIC[7]을 이용하여 $L=4$ nH의 값을 갖도록 모델링 하였다. 감은 횟수는 4회, 금속선의 지름은 10um, 금속선 사이의 간격은 1um, 지름은 170um인 나선형 구조이다. 또한 반복된 모의 실험을 통해서 최적화된 특성을 가지도록 설계하였으며, HSPICE 모의실험에 적용하기 위해서 2-port 파라메타 추출을 한 후에 pi-등가회로로 모델링 하였다.

3. 출력단 증폭기 설계

출력단 증폭기는 20mW의 출력 전력을 얻을 수 있도록 설계하였으며, 전력 변환 효율을 높이기 위해서 C-급으로 바이어스 하였다. 또한 최종 출력단 트랜지스터에 대하여 극점, 영점 모의 실험과 입출력 임피던스 모의 실험, 안정도(K) 모의 실험을 수행함으로써, 트랜지스터가 안정 영역에서 동작하는지 확인하였다. 그리고 설계한 전력 증폭기로부터 21mW의 출력 전력을 얻기 위해서 최종 출력단 트랜지스터의 드레인은 오픈된 구조로 설계하였고, 칩제작 후 외부에서 RF 초우크와 bandpass T-network 회로를 이용하여 50ohm의 안테나 부하와 약 200ohm의 출력단 트랜지스터의 임피던스를 정합할 수 있도록 하였다.

III. 모의 실험 결과

그림 4는 설계한 전력증폭기의 출력 전력 제어 특성을 보기 위해서 입력 증폭단의 선택에 따른 전력 전달

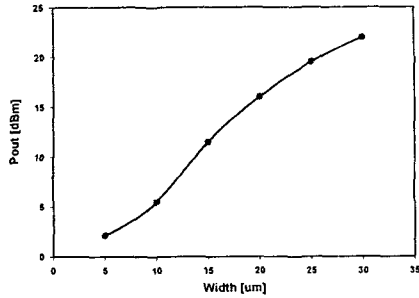


그림 6. 915MHz에서 3dBm 입력신호에 대한 출력 전력 레벨 제어 특성 그래프

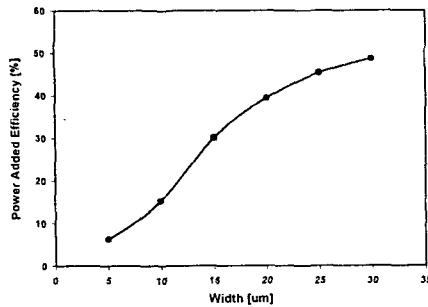


그림 7. 915MHz에서 3dBm 입력신호에 대한 출력 전력 레벨 제어에 따른 PAE 변화

특성을 모의 실험한 그래프이며, 그림 5는 동일한 조건에서의 PAE(power added efficiency)를 모의실험한 결과 그래프이다. 두 그림으로부터 3dBm의 전력을 갖는 입력 신호에 대해서 최대 13dBm의 출력 전력과 48%의 PAE를 얻을 수 있음을 알 수 있다. 그리고 그림 6과 그림 7은 각각 915MHz, 3dBm의 입력 신호에 대해서 출력 전력을 제어하기 위해 5um, 10um, 15um, 20um, 25um, 30um의 채널폭을 갖는 입력단 증폭기를 선택했을 경우의 출력 전력과 PAE의 변화를 모의 실험한 그래프이다. 이들 그래프를 보면 설계한 전력 증폭기는 비교적 높은 전력 변환 효율과 전력제어가 비교적 선형적으로 이루어진다는 것을 알 수 있다.

IV. 결론

전력증폭기는 0.25 μ m 표준 CMOS 공정 파라메타를 이용하여 설계하였다. 동작주파수는 915MHz 이며, 모의 실험 결과 2.5V 단일 전원 전압에서 출력 전력을

최소 2mW에서 최대 21mW까지 디지털 방식으로 전력 제어할 수 있고, 약 10dB의 전력제어 다이내믹 범위를 갖는다. 그리고 동작 주파수에서 최대 13dB의 소신호 이득과 21mW의 최대 전력전달 조건에서 약 48%의 PAE를 얻었다.

전력증폭기의 설계 및 분석에는 HSPICE와 Smart-spice를, 인덕터의 설계는 ASITIC 을 사용하였으며, 설계한 증폭기는 현재 칩 제작중이다.

본 연구는 청주대학교 정보통신연구센터의 연구비 지원에 의해서 연구되었음

참고 문헌

- [1] Maryam Rofougaran, A 900 MHz RF Power Amplifier in 1um CMOS for a Spread-Spectrum Communication Transceiver, *University of California, Integrated Circuits & Systems Laboratory*, pp. 1-60, 1995.
- [2] Maryam Rofougaran, A 900MHz CMOS RF Power Amplifier with Programmable Output, in *Symp. On VLSI Circuits Digest of Technical Papers*, pp.133-134, 1994.
- [3] David Su *et al.*, A 2.5V, 1W Monolithic CMOS RF Power Amplifier, *Custom Integrated Circuit Conference*, pp.189-192, 1997
- [4] Chung-Yu Wu *et al.*, The Design of a 3-V 900-MHz CMOS Bandpass Amplifier, *IEEE J. Solid-state Circuits*, Vol. 32, No. 2, pp. 159-167, February 1997.
- [5] W. Abey *et al.*, An E-Mode GaAs FET Power Amplifier MMIC for GSM Phones, *IEEE MTT-S Digest*, pp.1315-1318, 1997
- [6] E. Tarvainen *et al.*, Planar Inductors on Silicon for Integrated RF Circuits, *Physics Scripta*, Vol. T69, pp. 295-297, 1997.
- [7] Ali M. Niknejad, "Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF ICs", Electronics Research Reboratory.
- [8] Ali M. Niknejad, Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF Ics, Electronics Research Laboratory.
- [9] 김정기, 박영기, RF 회로 설계, 도서출판 우신, 1994.