

HDTV용 10비트 75MHz CMOS 전류구동 D/A 변환기

이 대 훈*, 주 리 아*, 손 영 찬*, 유 상 대**
* 경북대학교 대학원 전자공학과, ** 경북대학교 전자전기공학부
전화: (053) 940-8837 / 팩스: (053) 950-5505

A 10-Bit 75-MHz CMOS Current-Mode Digital-to-Analog Converter for HDTV Applications

Dae-Hoon Lee, Ri-A Ju*, Yeong-Chan Son*, Sang-Dae Yu**
* Department of Electronics, Graduate School, Kyungpook Nat'l Univ.
** School of Electronics and Electrical Engineering, Kyungpook Nat'l Univ.
E-mail: dhleeee@palgong.knu.ac.kr

Abstract

This paper describes a 10-bit 75-MHz CMOS current-mode DAC designed for 0.8 μ m double-poly double-metal CMOS technology. This D/A converter is implemented using a current cell matrix that can drive a resistive load without output buffer. In the DAC, a current source is proposed to reduce the linearity error caused by the threshold-voltage variations over a wafer and the glitch energy caused by the time lagging. The integral and differential linearity error are founded to be within ± 0.35 LSB and ± 0.31 LSB respectively. The maximum conversion rate is about 80 MS/s. The total power dissipation is 160 mW at 75 MS/s conversion rate.

I. 서론

오늘날 고속 고해상도의 디지털-아날로그 변환기는 스케닝 그래픽 시스템, 컴퓨터 시스템, 디지털 TV, 그리고 HDTV등 여러 분야에서 핵심적인 요소가 되고 있다. 이러한 시스템들은 일반적으로 10비트 이상의

해상도와 65 MHz이상의 동작 주파수를 가진 DAC를 요구하고 있다[1][2]. 보통 고속 고해상도의 경우 바이폴라 기술이 이용되어 진다. 그러나 이러한 바이폴라 기술을 사용하는 경우 전력소모 외에도 칩 면적이 증가하는 단점이 있다. 반면, CMOS 공정은 저 가격, 저 전력 소비, CMOS와 TTL회로에 모두 양립 할 수 있는 입출력 특성의 이점 외에 메모리와 디지털 신호처리 시스템과 양립할 수 있는 잇점으로 이 회로들과 함께 동일한 칩내에 집적화 되어 질 수 있는 장점이 있다[1-4].

최근 전류셀 매트릭스 구조를 가지는 많은 D/A 변환기가 발표되고 있다. 이러한 D/A 변환기는 빠른 정착 시간을 얻을 수 있지만, 공정 상에서의 파라미터의 변화와 전류원 상호간의 불일치는 제작된 DAC의 수행에 큰 변화를 가져온다.

본 연구에서 구현된 HDTV용 DAC는 전류 스위칭 구조로 10비트 75 MHz의 변환속도를 가지며, 매트릭스 형태의 전류원셀들, 래치부, 그리고 행 디코더와 열 디코더 등으로 구성되었다[3][5]. 이러한 형태의 DAC는 정확성, 선형성, 그리고 고속의 변환속도를 갖는 장점이 있다. 공정에 기인한 오차를 보상하는 문턱전압 보상회로와 스위칭 신호의 시간 래칭에 의한 글리치 문제를 줄이기 위한 새로운 형태의 매트릭스 전류원셀들을 구성함으로써 낮은 글리치 에너지와 공정 상에서 발생하는 개별 전류원들의 문턱전압의 변화가 전류원

들의 전류변화에 작게 미치도록 설계하여 선형성을 개선하였다.

II. DAC 구조 및 동작원리

본 연구에서 구현한 D/A 변환기의 회로도도는 그림 1과 같다. 입력 신호에 따라서 상위의 7비트에 대해서는 LSB를 8배한 전류원 (8CS)들 127개가 각 비트 값에 상당하는 전류를 생성하며, 2의 지수배한 3개의 전류원 (1CS, 2CS, 4CS)이 각각의 하위 비트 값에 상당하는 전류를 공급한다. 상위 7비트의 디지털 입력값 (B4-MSB)은 행 디코더와 열 디코더에 의해서 디코딩된다. 디코딩된 값은 래치를 통해서 출력되고 출력된 값은 선택 논리 회로에 의해 전류원의 출력을 제어한다. 전류원들의 출력 전류들은 대수적으로 합하여져서 외부적인 버퍼링이 없이 직접 저항 부하에 공급이 되어 전압으로 출력이 된다.

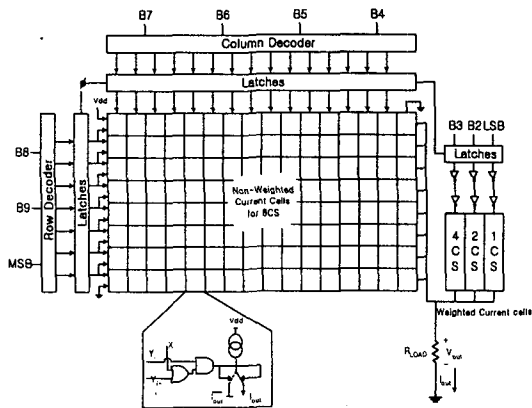


그림 1. 10-비트 DAC 전류 스위칭 구조의 블록도.

fig 1. 10-bit DAC current switching circuit block diagram.

D/A 변환기에서 입력된 디지털 코드값 중 하위 3비트는 개별적인 2진 가중된 값에 상당하는 전류원을 구동하는 신호선이 되고, 상위 8비트 중 4비트는 4대 16의 행 디코더와 3대 8의 열 디코더를 통해서 디코딩된다. 디코더의 동작은 처음 것이 동작하고 그 다음 것이 동작하는 순차적인 구조이지만, 그 다음 것이 동작할 경우에 앞에 함수도 함께 동작하는 열 온도계 특성을 가지고 있다.

디코더부에서 전달된 신호는 게이트의 지연이 함수마다 다르므로 이 신호가 직접 아날로그 스위치에 인가되면 클리치를 발생시킨다. 디코더 함수에서 가장

긴 전달 지연시간을 가지는 함수가 안정되는 시간에 대하여 다른 플래그 신호들을 동기 시킨 뒤 클럭을 인가한다. 그리하여 클럭을 이용하여 래치에서 동시에 전류원 스위치에 플래그가 인가되도록 함으로써 클리치를 줄일 수 있다. 디코딩을 거친 신호는 래치를 통해서 출력되고 출력된 신호는 전류원을 스위칭하는 제어신호가 된다. 전류원을 제어하는 신호를 발생하는 전류원 선택 논리 회로는 2NOR와 2AND 게이트로 구성되며, 행과 열에서 플래그 신호가 발생한 뒤 하나의 열 신호와 다음 단계의 열 신호가 둘다 "high"이면 그 열의 전류원은 행 신호와 무관하게 모두 동작한다. 하지만 두 개의 열 신호가 서로 틀리면 행 신호의 플래그에 따라 전류원이 동작한다. 여기서 전달 지연 시간이 3.5 ns 발생하므로 LSB, 2LSB, 4LSB 전류원 조절에도 같은 시간 지연이 될 수 있도록 이들 전류원들의 래치회로에서 나온 신호에 인버터 두 개를 추가하여 동일한 전달지연 시간이 되도록 하였다.

전류원셀 매트릭스 구조에서 전류원셀들의 출력은 동일하여야 한다. 하지만 다양한 원인으로 인하여 다르게 출력되게 된다. 그림 2는 칩 상에서 매트릭스의 형태로 구성된 동일한 전류원셀들에 분포하는 단순화된 여러 가지 오차를 보이고 있다. 매트릭스의 행방향으로 공급 전압선이 지나갈 경우 공급 전압선을 따라 저항 성분으로 인한 전압 강하가 생겨 경사적 오차를 유발하게 된다[5]. 또한 소자 동작에 따른 발열과 이 열의 전달로 매트릭스의 행방향으로 중간에서부터 대칭적으로 오차성분이 생기는 대칭적 오차가 발생한다[3]. 그러므로 매트릭스 전류원셀에서 발생하는 오차의 최종적인 분포는 이런 오차들의 전체 합으로 나타난다. 여러 논문에서 스위칭 순서를 가지고 분포하는 오차를 감소시키는 방법을 제안하고 있다[1][3].

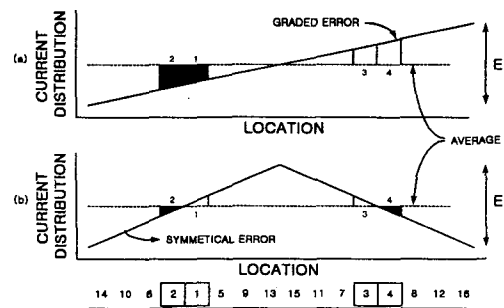


그림 2. 계층적이고 대칭적인 스위칭 순서.
fig 2. Hierarchical symmetrical switching.

본 연구에서는 경사적이고 대칭적인 스위칭 구조[3]를 사용하여 오차를 감소시키도록 스위칭 순서를 배치하였다. 그림 2에서 알 수 있듯이, 4개씩의 전류원이 켜질 때마다 경사적 오차와 대칭적 오차 성분이 동시에 상쇄되도록 하였다. 이렇게 함으로써 코드 값에 상관없이 오차를 계속 상쇄시키므로, 위의 두 가지 오차가 누적되는 것을 크게 줄일 수 있다[3].

III. 전류원의 설계

본 논문에서 설계한 전류원은 그림 3과 같다. 설계한 전류원은 공정 상에서 변화하는 문턱전압을 보상하여 안정한 전류원을 구성하도록 문턱전압 보상회로를 부가하였으며, 스위칭 신호의 시간 래깅에 의한 글리치 문제를 줄이기 위한 새로운 전류원을 설계하였다.

10 비트 이상의 해상도를 가지는 매트릭스 전류 스위칭 구조의 영상 신호 처리용 DAC에서는 많은 수의 전류원들로 인하여 많은 칩 면적이 요구된다. 그리고 전체의 출력전류도 수십 mA 이상이 된다. 그리고 이런 경우에 각각의 동일한 전류원들이 칩 상에서 수백 μm 떨어져 있을 것이다. 그래서 문턱 전압의 변화는 산화막의 두께가 변화는 현상에 기인하여 80 mV까지 이를 수 있다[7]. 본 연구에서는 문턱전압이 보상된 전류원셀이 웨이퍼 위에서 발생하는 문턱 전압의 변화에 기인한 선형성 오차를 줄이도록 제안하였다.

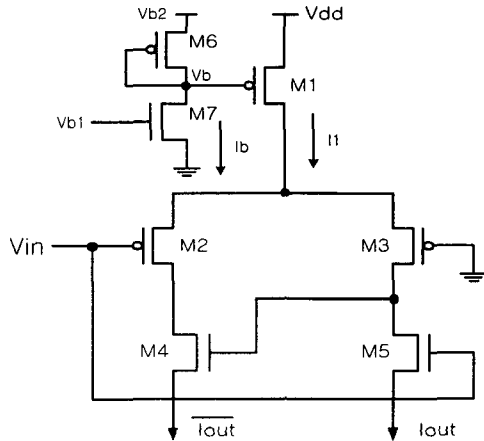


그림 3. 설계된 전류원.
fig 3. Designed current source.

그림 3에서 문턱전압을 보정한 회로를 구성하는 트랜지스터는 M6와 M7이다. 전류원 I_1 은 유효 채널 폭 변조 효과를 무시하면

$$\begin{aligned} I_1 &= K \frac{W_1}{L_1} (|V_{GS1}| - |V_{th1}|)^2 \\ &= K \frac{W_1}{L_1} (V_{DD} - V_b - |V_{th1}|)^2 \\ &= K \frac{W_1}{L_1} (V_{DD} - V_{b2} + \Delta V + |V_{th6}| - |V_{th1}|)^2 \end{aligned} \quad (1)$$

로 나타낼 수 있으며, 여기서 $\Delta V \equiv V_{b2} - V_b - V_{th6}$ 로 M6의 실효 게이트 전압이다. 이런 경우에 전류는 V_{th1} 보다는 V_{th6} 와 V_{th1} 의 차에 따라 변화되어진다. 그러므로 트랜지스터 M1과 M6가 국부적으로 매칭되면, $|V_{th6}| - |V_{th1}|$ 와 전류 I_1 은 국부적인 문턱전압의 변화에 대하여 독립적이게 된다. 그리하여 전류원의 바람직하지 않은 전류 변화를 상당히 줄일 수 있다. 문턱전압의 불일치가 존재하더라도 $|V_{th6}| - |V_{th1}|$ 의 변화가 여전히 바이어스 전압 V_{b2} 의 변화보다 적고, 채널 전압이 안정된다면 I_1 의 변화는 역시 문턱전압의 변화에 대하여 매우 작게 할 수 있다. 식 1에서 ΔV 는 이상적이지 못한 M6에 의해 발생한 I_b 의 값에 의존한다. 식 2는 ΔV 를 I_b 의 함수로 표현하였다. 이런 표현을 사용하여 식 1은 아래와 같이 다시 표현된다.

$$I_1 = K \frac{W_1}{L_1} (V_{DD} - V_{b2} + |V_{th6}| - |V_{th1}| + \sqrt{\frac{L_6 I_b}{K W_6}})^2 \quad (2)$$

식 2에서 V_{b2} 는 가능하면 작아야하고, I_b 는 I_b 에 의한 I_1 의 변화를 줄이기 위해 작아야만 W_1/L_1 에 대해 선형 근사한다. 트랜지스터 M7의 W/L 의 비는 매우 작아야만 하며, 바이어스 전압 V_{b1} 은 $I_b \ll I_1$ 가 되기 위한 작은 값이어야 한다.

그림 3에서 글리치를 줄이기위해 캐스코드형태의 전류원을 사용했다. 기존의 전류원은 스위칭을 제어할 때 논리게이트의 조합을 통해 출력된 신호와 그 신호의 상보 신호를 사용한다. 그러나 상보신호는 출력 신호가 인버터를 통해 나오는 신호이므로 두 신호간에는 인버터의 전달 지연에 의한 시간 래깅이 생긴다. 본 논문에서 설계한 전류원은 스위칭 제어 신호를 논리게이트의 조합을 통한 출력신호 한가지만을 사용하여 스위칭 신호의 시간 래깅에 의한 글리치를 방지하였다.

그림 3의 전류원은 M3이 항상 도통상태로 동작하고 M2와 M5가 같은 제어 신호원에 의해서 상반된 스위칭을 하는 전류원이다. 동시에 한 신호에 의해서 스위칭이 일어나므로 시간 래깅 문제가 거의 제거되어 글리치 문제가 감소하게 된다. M4의 게이트는 M5의 드레인 전압에 의해서 구동되며 전류원을 구성하는 트랜지스터의 수가 감소하고 전류원을 스위칭하는 주변 회로가 간단해진다. 또한 스위칭이 일어나면 등가적인 캐스코드형태의 전류원으로 동작한다. 그리하여 캐스코드형태 특성상 전류원은 높은 출력 임피던스를 가진다. 출력 임피던스는 회로의 선형성과 밀접한 관련이

있다. 즉, 출력 임피던스가 감소하면 선형성이 저하되고 소스의 변동에 대한 감도가 커지므로 높은 출력 임피던스를 갖는 전류원을 사용하면 선형성을 향상시킬 수 있다.

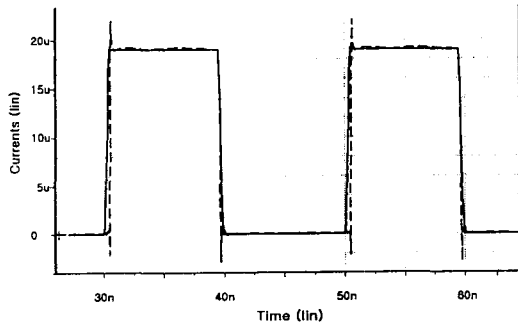


그림 4. 전류원의 글리치 특성.

fig 4. Glitch characteristic of current source.

그림 4는 전류원의 글리치 특성을 HSPICE를 통해 얻은 결과이다. 설계한 전류원 (실선)은 무부하시 $1\mu\text{A}$ 정도의 작은 글리치를 발생시켜 기존의 전류원 (점선)보다 더 나은 특성을 보였다.

VI. 모의 실험 결과

전체 회로에 대한 검증은 HSPICE를 이용하였으며 현대 $0.8\mu\text{m}$ CMOS 이중 폴리 이중 금속 공정을 이용하였다. 20pF 의 부하를 갖는 출력단에 전류가 충전되고 방전되는 상승과 하강시간이 각각 3ns 와 3.5ns 가 되었다. 적분 선형성 오차가 0.35LSB 이하였으며, 미분 선형성 오차도 0.31LSB 이하로 나타났다. 그리고 전력 소비는 160mW 이며, 1.5V 의 출력 범위에서도 전류원들이 적절한 동작 영역을 보장하였다. 표 1은 전체 회로의 특성을 나타내고 있다.

해상도	10 비트
공정	$0.8\mu\text{m}$ CMOS 공정
공급 전압	3.3 V
상승/하강 시간	3 ns/3.5 ns
적분 선형성 오차(INL)	0.35 LSB
미분 선형성 오차(DNL)	0.31 LSB
전력 소비	160 mW

표 1. D/A 변환기의 특성들.

Table 1. D/A converter characteristics.

V. 결론

본 논문에서는 $0.8\mu\text{m}$ CMOS 이중 폴리 이중 금속 공정을 사용하여 3.3V 의 전원 전압으로 동작하는 HDTV용 10비트 75-MHz CMOS 전류모드 D/A 변환기를 설계하였다. 본 논문에서 설계한 전류원은 공정 상에서 발생하는 개별 전류원들의 문턱전압의 변화를 보상하기 위해 문턱전압 보상회로를 사용하였으며 스위칭 신호의 시간 레깅에 의한 글리치 문제를 개선하였다. 제안된 방법의 성능 검증을 위해 HSPICE를 이용한 모의 실험을 하였다. 본 연구에서 구현한 D/A 변환기는 HDTV, 컴퓨터 시스템 등의 다양한 영상 신호 처리 시스템에 응용 될 수 있으리라 기대된다.

참고문헌

- [1] T.-Y. Wu, C.-T. Jih, J.-C. Chen, and C.-Y. Wu "A low glitch 10-bit 75-MHz CMOS video D/A converter," *IEEE J. Solid-State Circuits*, vol. 30, NO. 1, pp. 68-72, Jan. 1995
- [2] S.-Y. Chin and C.-Y. Wu, "A 10-b 125-MHz CMOS digital-to-analog converter (DAC) with threshold-voltage compensated current sources," *IEEE J. Solid-State Circuits*, vol. 29, No. 11, pp. 1374-1380, Nov. 1994.
- [3] Yasuyuki Nakamura, et al., "A 10-b 70-MS/s CMOS D/A Converter," *IEEE J. Solid-State Circuits*, vol. 26, no. 4, pp. 637-642, Apr. 1991.
- [4] K.-H. Ryu and K.-S. Yoon, "A 3.3V-65MHz 12 bit CMOS digital-to-analog converter" *Proceedings of ITC-CSCC '98*, July 13-15, pp. 1439-1442. 1998.
- [5] T. Miki et al., "An 80-MHz 8-bit CMOS D/A converter" *IEEE J. Solid-State Circuits*, vol. SC-21, pp. 983-988, Dec. 1986.
- [6] 김 옥 "고속 고해상도 디지털-아날로그 변환기의 설계에 관한 연구" 서울대학교 박사학위 논문. 1994.
- [7] Marcel J. M. Pelgrom, Aad C. J. Duinmaier, and Anton P. G. Welbers, "Matching properties of MOS transistors," *IEEE J. Solid-State Circuits*, vol. 24 No. 5, pp. 1433-1439, Oct. 1989.