

대용량 하드 디스크 드라이브 읽기 채널을 위한 이퀄라이저 칩의 설계

최중호, 최정열
서울시립대학교 전자전기공학부
전화 (02) 2210-2510 / 팩스 (02) 2249-6802

Design of Equalizer Chip for High-Density Hard Disk Drive Read Channel

Joongho Choi and Jungryoul Choi
Department of Electrical Engineering, University of Seoul
jchoi@ee.uos.ac.kr

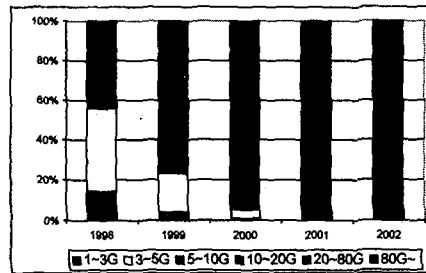
Abstract

This paper describes design of equalizer chips of the read channel for high-density hard-disk drives. In order to meet increasing need of hard-disk drives, the read channel incorporates various PRML schemes. They require proper equalization to implement the efficient hardware of Viterbi decoders. This paper describes EPR-IV equalization for the read channel and a 200MHz analog FIR filter chip is presented which utilizes the sampled analog signal processing efficiently.

I. 서론

컴퓨터 산업의 성장은 데이터를 처리하는 마이크로 프로세서, 데이터를 교환하는 전송 기술의 발전과 더불어 데이터를 저장하는 저장 기술에 대한 발전을 바탕으로 진행되어 왔다. 최근 수년간 하드 디스크 드라이브 (HDD) 시장은 10% 이상의 증가를 보여왔고 향후로도 계속 되리라 예상하고 있다. 멀티미디어로 대표되는 최근의 데이터는 용량 및 처리 속도 면에서 급속하게 증가하는 성능을 요구하게 되었고 HDD도 그에 맞추어 비약적인 발전을 이루어 왔다. HDD의 저장 용량은 단위 인치 면적 당 1980년 (수Mb) 1990년 (100Mb) 2000년 (1Gb)로 전송 속도는 1980년 (20Mbps) 1990년 (100Mbps) 2000년 (수백 Mbps) 이

상으로 발전하리라 기대된다. 한편 HDD의 가격은 급속하게 하락하여 1980년대 후반 단위 MB당 \$12 정도 이던 가격은 2002년 0.5cent 이하로 하락하리라 기대된다. 그림 1에 나타난 최근 및 향후 HDD의 판매 이익에 대해 살펴보면 수십 GB 대의 HDD가 수년 내에 대체를 이룰 것을 알 수 있다 [1].



[그림 1] 1998~2001 HDD 판매 구성.

HDD의 개발은 자성 디스크를 위한 물성 분야, 헤드 위치 제어를 위한 정밀 기계 분야 및 데이터의 읽기 및 쓰기 채널을 위한 신호 처리와 VLSI 설계 등의 다양한 분야가 결합하여 이루어진다. HDD의 성능을 결정하는 가장 중요한 블록은 데이터를 읽어 들이는 읽기 채널 (read channel)이며 HDD의 용량이 증가함에 따라 그 구조가 급변하고 있다. 기존의 방식에서는 자성 디스크로부터 읽어 들인 펄스의 유·무를 아날로그 신호 영역에서 판별하는 피크 검출 (peak detection) 방식이었으나 현재는 아날로그/디지털 혼성 방식의 equalization 및 디지털 신호 처리를 통한 데이

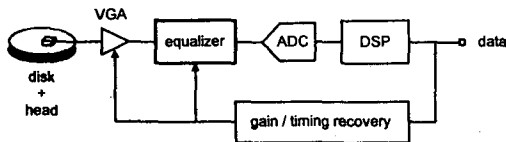
이 논문은 정보통신부의 출연금 등으로 수행한 대학기초연구지원사업의 연구결과입니다.

터 검출 방식을 사용하고 있다.

본 논문에서는 현재 가장 보편화된 EPR-IV (extended partial response class-IV) 신호 체계를 사용한 equalization 방식 및 이를 하드웨어로 구현한 아날로그 FIR 필터의 설계에 대해 다루고자 한다.

II. PRML 읽기 채널

그림 2는 HDD 읽기 채널의 개략적인 블록도를 나타낸다. 자성 디스크 및 헤드로부터 얻은 신호를 저잡음 증폭시켜 적절한 equalization을 적용한 후 아날로그-디지털 변환기 (ADC)를 거쳐 디지털 신호 영역에서 최적으로 데이터를 검출하여야 한다. 이를 위하여 시스템-레벨의 구조 설계, 고속의 아날로그-디지털 집적회로 설계 및 DSP 하드웨어 설계 등의 다양한 분야가 결합되어야 한다.



[그림 2] HDD 읽기 채널의 블록도.

HDD에서 자성 디스크 및 read amplifier로부터 읽어 들인 파형은 다음과 같이 모델링 할 수 있다 [2].

$$x(t) = \sum_k b_k \cdot p(t - kT) + n(t) \quad (1)$$

여기서 $p(t)$ 는 자성 디스크와 read amplifier의 스텝 응답이며 $n(t)$ 는 이때 첨가되는 Gaussian잡음을 나타낸다. T 는 비트 간격을 나타내며 $b_k = a_k - a_{k-1} \in \{-2, 0, +2\}$ 로서 이진 데이터 a_k 를 나타낸다. 이때 스텝 응답 파형 $p(t)$ 는 보통 다음과 같은 Lorentzian 함수로 모델링 한다 [2].

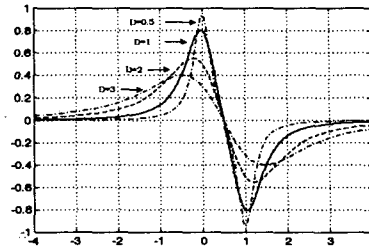
$$p(t) = \frac{1}{1 + \left(\frac{2t}{T_{50}}\right)^2} \quad (2)$$

여기서 T_{50} 은 $p(t)$ 의 크기가 50%가 될 때 파형의 펄스 폭을 나타내며

$$D = \frac{T_{50}}{T} \quad (3)$$

를 정의하여 데이터의 normalize density를 정의한다. 식 (2)의 스텝 응답 파형으로부터 독립적인 펄스에 대한 응답 파형을 다음과 같이 정의할 수 있으며 이를 여러 D 값에 대하여 나타내면 그림 3과 같다.

$$h(t) = p(t) - p(t - T) \quad (4)$$



[그림 3] 자성 디스크 + Read amplifier의 독립적인 펄스에 대한 응답 파형 모델.

HDD의 데이터의 용량이 증가하게 되면 식 (3)의 D 값이 증가하게 되고 그림 3에서 볼 수 있는 바와 같이 독립적인 펄스에 대하여도 그 응답은 크게 왜곡된 형태로 나타나게 된다. 그림 3에서 펄스 응답 파형의 크기가 많이 감소하여 피크의 유·무를 통해 데이터를 검출하기 어려워졌을 뿐 아니라 피크의 위치도 크게 벗어남을 알 수 있다. 이러한 파형들이 연속적으로 나타나게 되면 심각한 ISI (Inter-Symbol Interference) 문제를 일으키게 되며 이를 최적의 성능으로 검출하기 위하여 MLSD (Maximum Likelihood Sequence Detection) 방식을 사용하여야 하며 이는 Viterbi 알고리즘을 사용하여 효율적으로 구현할 수 있다 [3]. 그러나 Viterbi 알고리즘을 사용하는 경우 펄스의 앞, 뒤로 $2M$ -비트 시간 동안 ISI가 존재한다고 하면 그 복잡도는 2^{2M} 으로 증가하게 되어 현실적인 하드웨어의 구현이 어렵게 된다. 따라서 현실적 규모의 MLSD 알고리즘에 적합하도록 ISI 문제를 미리 해결해야 하며 이를 위한 equalization이 필요하게 되었다.

PR (partial-response) 신호 방식은 ISI 문제가 심각한 곳에서 널리 사용되어 왔으며 HDD의 읽기 채널에도 적용되었다 [4]. PR 방식을 위한 equalizer의 전달 함수를 $E(z)$ 라고 하면 입력 신호 $X(z)$ 에 대하여

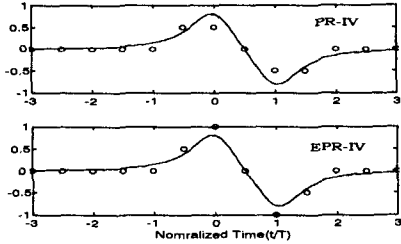
$$X(x) \cdot E(z) = Q(z) \quad (5)$$

의 과정을 수행하게 되며 이때 발생하는 PR 응답의 polynomial은 다음과 같이 나타낼 수 있다.

$$Q_n(z) = (1 - z^{-1}) \cdot (1 + z^{-1})^n, n=0,1,2,\dots \quad (6)$$

식 (6)에서 $n=1$ 인 경우 PR-V이며 $\{-2, 0, +2\}$ 의 3 레벨을 갖는 시퀀스가 되며 $n=2$ 인 경우 EPR-IV이며 $\{-4, -2, 0, +2, +4\}$ 의 5 레벨을 갖는 시퀀스를 얻을 수 있다. PR-IV의 경우 구현하기가 용이하여 기존의 방식에서 많이 사용되어 왔으나 HDD의 입력 신호의 주파수 스펙트럼이 EPR-IV의 경우와 비슷하며 검출 시 SNR 성능이 우수하여 HDD의 읽기 채널에서 현재 가장 많이 사용되고 있는 PR 신호 체계이다. 그림 4는

HDD의 독립적인 펄스 파형 (D=1 인 경우)에 대하여 PR-IV 및 EPR-IV의 시퀀스를 보여 주고 있다.



[그림 4] PR-IV와 EPR-IV 시퀀스.

III. 혼성-모드 PR Equalization Chip

HDD의 읽기 채널의 입력에 대해 식 (6)과 같은 PR 시퀀스를 얻기 위한 equalization은 여러 방식을 사용하여 연구되어 왔으며 현재 그 구현은 비약적인 발전을 이루고 있다. PR equalization을 구현하는 방식은 크게 아날로그 방식과 디지털 방식 [5]로 나눌 수 있으며 아날로그 방식에도 연속-시간 데이터를 처리하는 방식 [6]과 이산-시간 데이터를 처리하는 방식 [7] 및 이를 결합한 방식 [8] 등이 사용되고 있다. PR 신호 체계가 이산-시간에 기초를 둔 것이므로 연속-시간 필터의 경우 이를 구현하기 어렵고 일반적으로 Gm-C 필터를 사용하는 경우 동작 환경의 변화에 따른 성능 변화를 보상하기 위한 on-chip tuning 회로의 설계가 복잡해진다. 반면 디지털 방식의 equalizer는 하드웨어의 면적 및 소비 전력 면에서 불리할 뿐 더러 디지털 신호로 변환해야 하는 ADC에서 매우 높은 사양을 요구한다.

본 논문에서는 샘플링 된 아날로그 신호를 사용하여 equalization 동작을 수행하는 아날로그-디지털 혼성-모드 방식에 대하여 논하며 이를 위한 아날로그 FIR (finite-impulse response) 필터 칩을 예제로 제시하고자 한다. 특히 HDD의 읽기 채널에서 요구되는 신호 대 잡음 비 (SNR)의 성능의 30dB 정도이므로 낮은 소비 전력을 사용하는 아날로그 회로를 구현하는데 매우 용이하다.

N-탭 (tap)을 갖는 FIR 필터의 동작은

$$y(i) = \sum_{k=1}^N x[i-(k-1)] \cdot c(k) \quad (7)$$

와 같이 나타낼 수 있으며 $x(i)$, $y(i)$, $c(i)$ 는 각각 FIR 필터의 입력, 출력 및 계수를 나타낸다. 식 (7)의 동작을 아날로그 FIR 필터로 구현하는 방식에는 transversal 구조 및 circular 구조가 있다. 전자의 경우

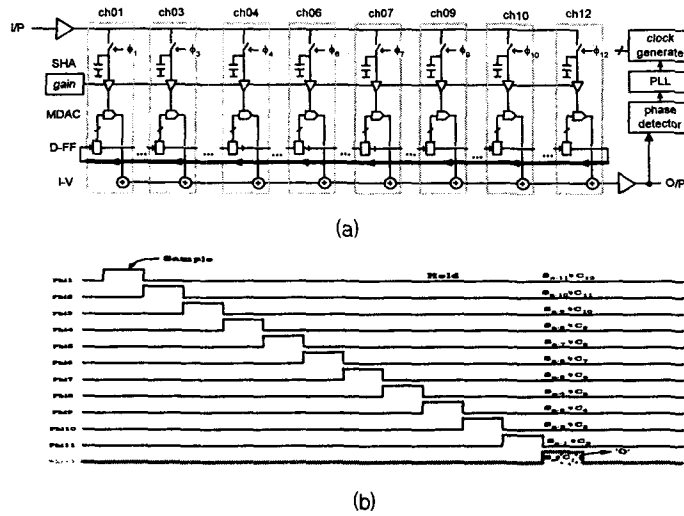
아날로그 입력의 샘플링 된 신호를 얻기 위하여 SHA (sample-and-hold amplifier)를 체인 형태로 연결하고 아날로그 또는 디지털 계수를 인가하는 방식이다. 이때 각 SHA의 offset 및 gain 에러가 증폭기 체인을 따라 축적될 수 있는 문제가 발생한다. 한편 circular 방식의 경우 입력 및 계수를 병렬로 처리하기 하기 때문에 위와 같은 문제를 해결할 수 있으며 이를 이루기 위하여 여러 클럭 신호를 사용한다. 이때 식 (7)의 동작을 위하여 병렬로 샘플링 된 입력 신호를 스위치 모듈을 사용하여 구현하는 방식이 있으며 디지털 계수를 D-FF (flip flop)을 사용하여 회전시키는 방식이 있다. 후자의 방식이 탭의 개수에 대해 복잡한 아날로그 스위칭 모듈을 피할 수 있는 방식이다.

IV. 아날로그 FIR 필터 구현

4.1 아날로그 FIR 필터 구조

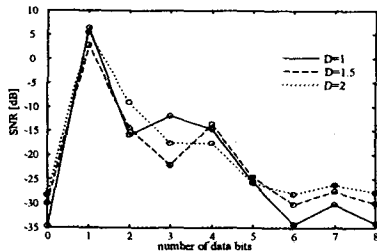
그림 5(a)는 본 논문에서 제시하는 12-채널 아날로그 FIR 필터의 블록도이다. 병렬로 연결된 SHA 어레이를 그림 5(b)와 같은 겹치지 않는 12개의 클럭 $\phi_1 \sim \phi_{12}$ 를 사용하여 샘플링 하면 매 주기 T 마다 지연된 입력 신호 $x(i-kT)$ 를 얻을 수 있다. 이 신호들에 대하여 각각 곱셈형 디지털-아날로그 변환기 (MDAC, multiplying digital-to-analog converter)를 사용하고 각 MDAC의 출력을 결합하면 식 (7)의 FIR 동작을 수행할 수 있다. 필터의 계수를 디지털 신호로 사용하는 이유는 D-FF의 어레이로 이루어진 shift register 블록을 이용하여 계수 이동의 용이성을 높일 수 있을 뿐 아니라 필터의 계수 값을 외부에서 프로그래밍이 가능하도록 하기 위함이다. 또한 그림 5(a)에서 알 수 있는 바와 같이 각 채널이 3개씩 묶어 교차적으로 배치함으로써 순차적으로 배치하였을 때 발생하는 critical path의 지연 시간을 크게 줄일 수 있다.

내부에서 사용되는 제반 클럭의 마스터 클럭을 위한 PLL 및 클럭 발생 회로를 사용하여 구현하였다. 200MHz의 동작 속도를 위하여 그림 5의 블록에서 매 동작 주기마다 한 채널을 dummy 채널로 사용한다 [7]. 그림 5(b)의 그림에서 보면 $\phi_{12}="1"$ 일 때 채널-12의 SHA가 현재의 입력을 샘플링하고 나머지 11개의 채널은 과거 11개의 T 동안의 입력 신호를 홀드하고 있다. 이 11개의 값을 가지고 FIR 필터 동작을 수행하며 이때 채널-12는 dummy 채널이 되며 이때 채널-12의 필터 계수 값은 0이 되므로 필터 동작에 영향을 미치지 않는다. 이러한 dummy 채널을 사용하게 되면 필터를 구성하는 각 블록의 시간 사양을 완화할 수 있으므로 고속의 동작이 가능하게 된다. 따라서 12-채널의



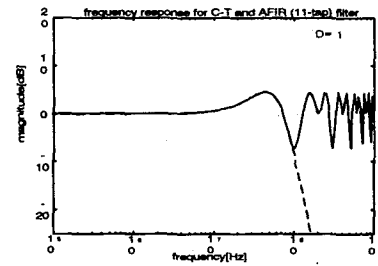
[그림 5] (a) 12-채널 아날로그 FIR 필터 블록도. (b) 동작 클럭.

아날로그 FIR 필터의 경우 dummy 채널을 사용하게 되면 사용 가능한 필터의 탭 수는 11이 된다. 디지털 계수에 사용되는 해상도는 아날로그 FIR 필터에 대한 많은 simulation 결과를 바탕으로 6 비트로 결정되었다. 그림 6은 여러 디지털 계수의 비트 수에 대하여 아날로그 FIR 필터의 EPR-IV equalization에 대한 MSE simulation 결과를 나타낸다 [9].



[그림 6] 필터 계수의 여러 비트 수에 대한 EPR-IV equalization의 MSE simulation 결과.

그림 7은 11-탭을 사용한 아날로그 FIR 필터를 EPR-IV equalizer로 사용하는 경우 필터의 주파수 크기 응답을 나타낸다. Equalizer는 기본적인 lowpass 필터링 동작을 수행하며 이는 출력단에서 열잡음을 감소시킬 수 있다. 또한 읽기 채널의 입력 파형에서 ISI에 의해 펄스 응답의 크기가 작아지는 것을 보상하기 위하여 주파수 크기 응답에서 boosting이 필요하다. 이를 위해 zero 주파수가 필요하며 이는 필터의 디지털 계수를 조정함으로써 원하는 위치로 프로그래밍 할 수 있다.

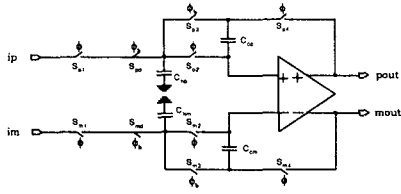


[그림 7] 아날로그 FIR 필터의 주파수 크기 응답.

4.2 구성 블록 설계

그림 8은 입력 신호를 고속으로 샘플링 하는 SHA의 구조이며, [10]의 회로를 fully-differential 신호 형태로 구현하였다. 이 SHA는 증폭기에서 발생하는 offset 전압 및 gain 에러를 보상할 수 있다. 사용된 증폭기의 gain 값은 1이며 이를 구현하기 위하여 closed-loop 형태의 증폭기 대신 open-loop 전압 증폭기를 사용하였다. 각 증폭기에서 gain 값을 1로 자체 조정할 수 있으며 이때 필요한 control 전압을 그림 5(a)에서 보는 바와 같이 전체 어레이에 대하여 적용함으로써 각 채널 사이에서 균일성을 확보하였다.

샘플링 된 입력 신호와 디지털 계수에 대한 곱셈 동작을 위하여 MDAC이 필요하다. 설계한 MDAC는 sign-magnitude 코드를 사용하는 6-비트 디지털 입력 신호에 대하여 출력 신호를 전류로 얻는다. 차동 증폭기로 이루어진 기본 cell을 common-centroid 방식으로 배치하여 6-비트의 해상도를 얻었다.



[그림 8] Fully-differential SHA 회로.

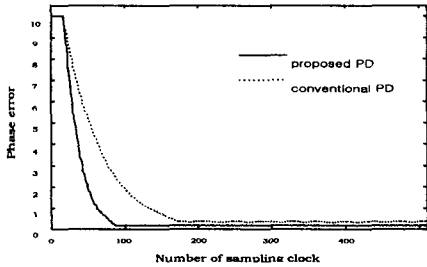
PR 신호 체계에서 실제 샘플링 값과 이상적인 샘플링 값의 에러에는 샘플링 순간의 위상 정보가 포함되어 있으며 이를 이용하여 PLL의 안정화 시간을 크게 감소시킬 수 있으며 이는 PLL의 클럭 복원에 필요한 preamble 데이터 양을 줄일 수 있게 된다 [4]. 기존의 방법을 수정하여 보다 위상 에러를 보다 빠르게 보상할 수 있는 알고리즘을 제안하였다 [9]. 아날로그 FIR 필터의 출력 $y(i)$ 에 대해 EPR-IV equalization의 레벨로 측정된 값을 $ydc(i)$ 라고 하면 제안한 위상 검출 알고리즘은

$$\Delta\epsilon_1(i) = y(i-1)ydc(i) - y(i)ydc(i-1) \quad (8.a)$$

$$\Delta\epsilon_2(i) = y(i-2)ydc(i-1) - y(i-1)ydc(i-2) \quad (8.b)$$

$$\epsilon(i+1) = \epsilon(i) + \gamma[\Delta\epsilon_1(i) + \Delta\epsilon_2(i)] \quad (8.c)$$

와 같이 나타낼 수 있다. 이 때 γ 는 위상 검출기의 adaptation 속도를 나타낸다. 그림 9는 기존의 방법과 제안한 수정 알고리즘의 simulation 결과를 나타낸다.

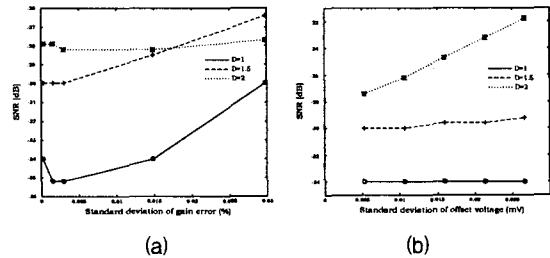


[그림 9] 수정 위상 검출 알고리즘의 simulation 결과.

V. 칩 구현 및 결과

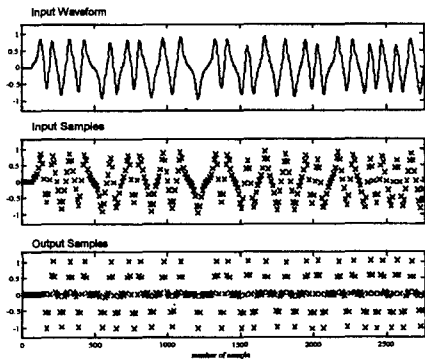
그림 10의 simulation 결과는 아날로그 FIR 필터를 사용하여 EPR-IV equalizer를 구현하는데 있어 SHA 증폭기의 gain 특성 및 offset 전압이 미치는 영향을 나타낸다. 이상적인 EPR-IV 샘플링 값과의 MSE에 대한 simulation 결과를 보여준다. 그림 10(a)에서 볼 수 있는 바와 같이 D가 작은 경우 증폭기의 gain 에러에 대한 MSE 특성이 크게 나빠지는 것을 알 수 있지

만 D가 큰 경우 입력 펄스의 왜곡이 너무 크기 때문에 증폭기의 gain 에러가 미치는 영향이 작음을 알 수 있다. 그림 10(b)에서 알 수 있는 바와 같이 D가 작은 경우 증폭기의 offset 전압은 각 채널에서 고정된 에러이며 이는 equalize 될 수 있지만 D가 큰 경우 MSE의 성능은 크게 나빠짐을 알 수 있다. 대용량의 HDD 읽기 채널의 경우 2이상의 큰 D 값을 갖기 때문에 그림 10에서 알 수 있는 바와 같이 증폭기의 offset 전압에 대한 보상이 더욱 필요함을 알 수 있다.



[그림 10] SHA 성능이 EPR-IV equalization에 미치는 영향. (a) Gain 에러. (b) Offset 전압

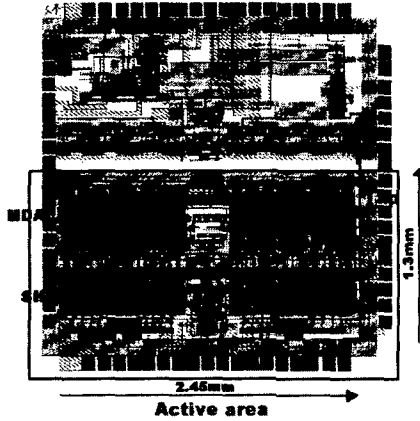
그림 11은 EPR-IV equalizer로 사용되는 아날로그 FIR 필터에 대한 시간 영역에서의 simulation 결과이다. 입력 파형의 샘플링 된 신호는 ×로, equalization 필터의 출력은 ○로 표시하였다. ISI에 의하여 입력 펄스의 샘플링 된 값은 여러 레벨의 값을 갖지만 필터의 출력은 EPR-IV equalization에 의하여 5개의 분명한 레벨을 나타내는 것을 알 수 있다.



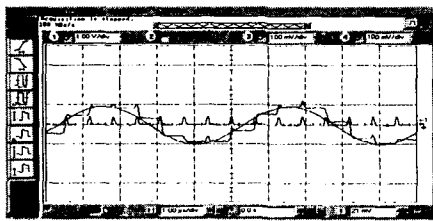
[그림 11] EPR-IV equalization 필터 출력 파형.

EPR-IV equalizer를 위한 prototype 아날로그 FIR 필터를 0.8- μm 2-poly, 2-metal CMOS 공정을 사용하여 구현하였다. 그림 12는 16-채널 아날로그 FIR 필터의 레이아웃을 나타내며 필터의 면적은 2000 × 1400 μm^2 이다. 100MHz의 클럭에서 동작하며 $\pm 1.65\text{V}$

의 전원 전압에서 소비 전력은 200mW이다. 그림 13은 100MHz의 샘플링 동작을 수행하는 아날로그 FIR 필터의 측정 파형이다.



[그림 12] 16-채널 아날로그 FIR 필터.



[그림 13] 16-채널 아날로그 FIR 필터의 측정 파형.

VI. 결론

본 논문에서 대용량의 하드 디스크 드라이버의 읽기 채널을 위한 equalizer chip의 설계에 대해 알아보았다. 저장 밀도가 높아짐에 따라 발생하는 ISI 문제를 해결하고 효율적인 하드웨어를 구현하기 위하여 EPR-IV 신호 체계를 사용하는 equalization이 필요하게 되었다. 다양한 방식의 EPR-IV equalizer 칩 구현 중에서 샘플링 된 아날로그 신호를 사용한 아날로그-디지털 혼성-모드 신호 처리 시스템이 효율적이며 이를 구현한 예로 아날로그 FIR 필터를 소개하였다. 또한 10-tab 이상의 아날로그 FIR 필터를 구현한 칩의 구조, 구성 블록의 설계 및 simulation/측정 결과에 대하여 살펴보았다.

참고 문헌

- [1] Disk/Trend News, *Annual Report*, 1999.
- [2] J. G. Proakis, "Equalization techniques for high-density magnetic recoding," *IEEE Signal Processing Magazine*, vol. 15, no. 4, pp. 73-82, July 1999.
- [3] G. D. Forney, Jr., "Maximum-likelihood sequence estimation of digital sequences in the presence of intersymbol interference," *IEEE Trans. Information Theory*, vol. 18, pp. 363-378, May 1972.
- [4] R. D. Cideciay, F. Dolivo, R. Hermann, W. Hirt, and W. Schott, "A PRML system for digital magnetic recording," *IEEE Jour. Sel. Areas Comm.*, vol. 10, no. 1, pp. 38-56, Jan. 1992.
- [5] D. J. Pearson, et al., "Digital FIR filters for high speed PRML disk read channel," *IEEE Jour. Solid-State Circuits*, vol. 30, no. 12, pp. 1517-1523, Dec. 1995.
- [6] P. Pai, A. Brewster, A. Abidi, J. H. Wourinen, "A 160MHz front-end IC for EPR-IV PRML magnetic-storage read channel," *IEEE Tech. Digest ISSCC*, pp. 68-69, Feb. 1996.
- [7] X. Wang and R. R. Spencer, "A low power 170MHz discrete-time analog FIR filter," *IEEE Proc. CICC*, pp. 13-16, May 1997.
- [8] J. Fields, et al., "A 200Mb/s CMOS EPRML channel with integrated servo demodulator for magnetic hard disks," *IEEE Tech. Digest ISSCC*, pp. 314-315, Feb. 1997.
- [9] J. R. Choi and J. Choi, "Design considerations of sampled analog equalizer for hard-disk read channel," *Proc. 1999 IEEE Tencon*, pp. 1347-1350, Cheju, Korea, Sep. 1999.
- [10] G. C. Temes, "High-accuracy pipeline A/D converter configuration," *IEE Elec. Letters*, vol. 21, pp. 762-763, 1985.