

정맥패턴을 이용한 개인식별 알고리즘의 고속 하드웨어 구현

홍동욱*, 임상균**, 최환수*

*명지대학교 전기공학과, **고려대학교 전자공학과
전화 : (0335)330-6363 / 팩스 : (0335)321-0271

Implementation of Real Time System for Personal Identification Algorithm Utilizing Hand Vein Pattern

*Dong-Uk Hong. **Sang-Kyun Im. *Hwan-Soo Choi
*Department of Electrical Engineering, Myongji University
**Department of Electronic Engineering, Korea University

E-mail : hdumj@wh.myongji.ac.kr

Abstract

In this paper, we present an optimal hardware implementation for preprocessing of a person identification algorithm utilizing vein pattern of dorsal surface of hand. For the vein pattern recognition, the computational burden of the algorithm lies mainly in the preprocessing of the input images, especially in lowpass filtering. we could reduce the identification time to one tenth by hardware design of the lowpass filter compared to sequential computations. In terms of the computation accuracy, the simulation results show that the CSD code provided an optimized coefficient value with about 91.62% accuracy in comparison with the floating point implementation of current coefficient value of the lowpass filter. The post-simulation of a VHDL model has been performed by using the ModelSim™. The implemented chip operates at 20MHz and has the operational speed of 55.107ms.

서론

개인의 독특한 신체적 특징과 이로 인해 타인에게 양도되어지는 부정사용이 불가능한 점을 착안, 바이오메트릭(biometric)을 이용한 새로운 시스템들이 개발되어지고 있다. 지문인식[1], 홍채인식

[2], 손의 형상을 이용한 인식[3], 얼굴 형상 인식[4], 그리고 손등의 정맥 패턴 인식[5-7] 등이 있다. 손등의 정맥패턴을 이용하는 방법은 현재의 바이오메트릭 시스템의 문제점을 개선하고 한 차원 높은 사용자 편리성을 제공하며 외부오염에 강한 비접촉식 방식을 취하는 고성능의 시스템이다.

바이오메트릭 시스템의 성능향상은 두 가지 측면에서 볼 수 있다. 첫 번째는 안정된 인식률이다. 이것은 새로운 알고리즘 개발을 통해 구할 수 있다. 두 번째는 알고리즘 처리 속도의 향상이다. 바이오메트릭 시스템에서 실시간 처리는 필수적인 요소이나 이를 구현하기 위해서 고가의 고속 DSP 칩이나 컴퓨터를 사용하여야 한다는 단점을 가진다. 본 논문은 이러한 문제점을 해결하고자 전체 알고리즘 처리시간에서 많은 비중을 차지하는 저대역 필터(Gaussian lowpass filter)부분을 전용 하드웨어로 설계하므로써 실시간에 가까운 시스템을 구현할 수 있다. 제안하는 저대역 필터의 성능검증을 위해서 원영상 4058장에 대해 기존의 알고리즘(PC 프로그램)과 제안된 알고리즘을 적용해 본 결과, 91.62%의 신뢰도를 갖는 최적의 CSD code를 구하였다. CSD code를 만드는 방법은 여러 가지 형태가 있지만 제안된 최적의 CSD code는 Shift and Adder 구조를 갖는 하드웨어에 가장 적합한 code로 작성되었고, 이 구조는 하드웨어 영역(area size or die size)에 큰 이점을 갖는다. 또한 전체 처리 속도를 고려해서

pipeline 설계기법을 사용하였다.

실제 하드웨어로 제안된 구조를 실현하는 방법으로 VHDL(Very high speed IC Hardware Description Language)로 모델링하였으며, Post-Simulation은 ModelSim™을 사용해서 검증하였으며, 하드웨어 구현은 Xilinx FPGA를 사용하여 검증하였다. 현재 제작된 칩의 동작주파수는 20MHz이고, 제안하는 저대역 필터의 처리시간은 55.107[ms]이다.

본 논문은 다음과 같이 구성된다. 본론의 I 장에서는 기존 알고리즘을 분석하고, II 장에서는 제안하는 하드웨어의 구조를 서술한다. III 장에서는 제안하는 하드웨어의 전체 구조를 서술한다. IV 장에서는 실험 및 결과를 비교분석을 통해 성능평가를 기술한다. 마지막으로 결론을 기술한다.

본론

I. 기존의 알고리즘

정맥패턴 시스템의 기본 알고리즘[7]은 크게 원시 영상 획득부, 전처리부, 인식부와 같이 나누어 볼 수 있다. 이중에 전처리부가 처리시간에 많은 시간을 차지한다. 전처리부는 저대역 필터(Gaussian lowpass filter), 고대역 필터(highpass filter), 이치화(threshold), 정규화(bilinear interpolation), 미디언 필터(Modified median filter)로 구성된다. 그림 1은 전처리부 알고리즘이다.

저대역 필터는 일반적인 3×3 공간필터 방법을 통해 만들어진 저대역필터(gaussian lowpass filter) 구조를 가진다.

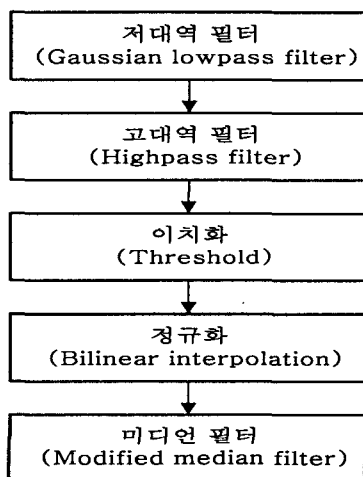
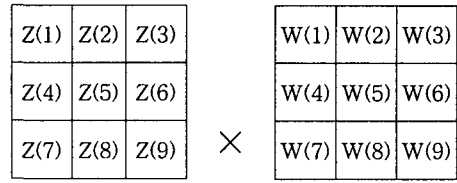


그림 1. 전처리 알고리즘



Raw 영상 Spatial Filtering coefficient

그림 2. 저대역 필터 처리

그림 2는 저대역 필터 처리과정을 보여주고 있다. Z(5)의 새로운 값은 아래의 식(1)과 같다.

$$Z(5) = \sum_{i=1}^3 W(i)Z(i) \quad (1)$$

그림 3은 원시영상에서 추출한 ROI(Region of Interesting)영상이고 그림 4는 저대역 필터를 통과한 영상이다.



그림 3. 원시영상에서 추출한 ROI 영상(160×120)



그림 4. 저대역 필터 결과 영상(160×120)

II. 제안하는 하드웨어 구조

그림 2의 저대역 필터(Gaussian lowpass filter)의 계수를 표현하기 위해 CSD code를 사용한다. CSD는 FIR(Finite Impulse Response) filter에서 multiplierless의 설계를 위해 사용되는 효과적인 방법 중 하나이다. 제안하는 최적의 CSD code는 기존의 알고리즘 성능을 유지하면서 하드웨어 영역과 속도에 대한 trade-off를 통해서 만들어진다.

기존의 저대역 필터 알고리즘은 식(1)과 같이 마스크의 각 값과 mask coefficient와 곱한 후 더하는 형태로 곱셈기를 필요로 한다. 제안하는 CSD code인 mask coefficient W가 분수의 형태를 가지므로 제안된 CSD code는 식(2)와 같다.

$$W_j = \sum_{i=1}^M S_i 2^{-i} \quad j = 1, 2, \dots, 9 \quad (2)$$

$S_i \in \{-1, 0, 1\}$ 이고 M은 임의의 수이다.

제안하는 최적의 CSD code는 Shift and Adder 구조에 가장 적합한 code로 작성되었고, 이 code는 동일 하드웨어 블록을 순환적으로 사용할 수 있어 하드웨어 영역(area size)에 큰 이점을 갖는다. 또한 전체 처리 속도를 고려해서 pipeline 설계기법을 사용하였다.

그림 5는 제안하는 CSD code를 사용하여 구해진 영상이다.



그림 5. CSD code를 사용한 결과 영상(160×120)

그림 6은 CSD code를 가지고 만든 Shift and Adder 구조이다.

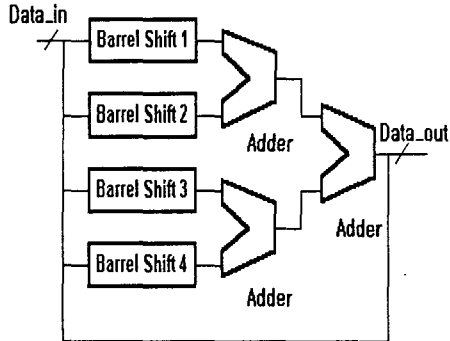


그림 6. Shift and Adder 구조

III. 전체 하드웨어 구조

제안된 하드웨어 구조를 FPGA 칩으로 구현하기 위해 그림 7과 같은 구조를 갖는다.

그림 7과 같이 내부 블록에서 DPB(Data Processing Block)는 본 논문에서 제안하는 하드웨어 구조이며, DAG(Data Address Generator)와 DCB(Data Control Block)는 메모리 controller이고, 그리고 SM(State Machine)은 칩 내부 상태를 제어한다.

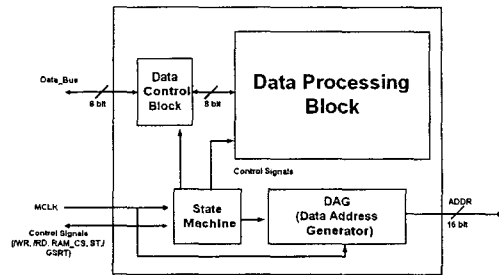


그림 7. 제안된 하드웨어 블록 구조

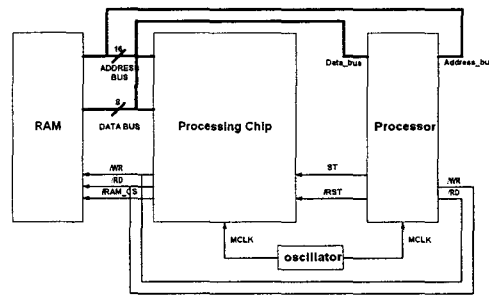


그림 8. 전체 하드웨어 구조 및 인터페이스

그림 8은 제안된 칩과 주변 인터페이스를 보여준다. 제안된 칩은 마이크로프로세서에서 동작과 시스템을 관할하며, RAM과 데이터 access를 하기 위해 주변 신호를 제어, address 발생 및 데이터의 I/O를 수행한다.

IV. 실험 및 결과

원영상이 160×120인 gray image 4058장을 가지고 기존의 알고리즘으로 기준 영상을 만들었다. 그리고 76가지의 CSD code를 구하여 신뢰도가 좋은 상위 15가지의 CSD code로 4058장의 기준 영상과 성능검증을 통해 그 중 91.62%의 신뢰도를 갖는 최적의 code를 구하였다. 이를 Shift and Adder를 구조로 하여 제안하는 하드웨어 구조를 만들었다.

그림 9는 (a)는 기존의 알고리즘을 수행했을 경우 처리된 영상이며, (b)는 제안하는 알고리즘에서 출력되는 영상이다.

실제 하드웨어로 제안된 구조를 실현하는 방법으로 VHDL(Very high speed IC Hardware Description Language)로 모델링하였으며, Post-Simulation은 ModelSim™을 사용해서 검증하였으며, 하드웨어 구현은 Xilinx FPGA를 사용

하여 검증하였다. 제작된 칩의 동작주파수는 20MHz이고, 총 처리시간은 55.107[ms]이다.



(a) 기존의 알고리즘 결과
(b) 제안하는 알고리즘 결과

본 논문은 제안하는 하드웨어 구조는 데이터 처리 속도 면에서 총 55.107[ms]의 빠른 데이터 처리를 보여주었다. 또한 인식성능 면에서도 약 91.62%의 신뢰도를 보여줌으로 기존의 알고리즘에 뒤떨어지지 않음을 보여주었다.

결론

본 논문은 제안된 하드웨어 구조가 기존의 알고리즘과 인식성능에서도 높은 신뢰도를 보여주었으며 특히 알고리즘 처리 속도의 향상을 보여주었다. 바이오메트릭 시스템의 두 가지 성능향상 측면을 만족함으로 고가의 고속 DSP 칩이나 컴퓨터를 사용하지 않고 안정된 인식률과 처리 속도 향상을 보여주었다.

향후 과제는 전체 알고리즘을 모두 하드웨어로 구현하여 DSP나 PC없이 구동되는 시스템을 개발해야 할 것이다.

참고문헌

[1] Micleale M.S. Chong, Tan Han Ngee, Liu jun, Robert K.L. Gay, "Geometric Framework for Fingerprint Image Classification," The Journal of the Pattern Recognition Society, No. 7-9, pp.1475-1488, 1997.
[2] Richard P. Wiides, "Iris Recognition : An Emerging Biometric Technology," Proceeding of the IEEE, vol.85, No.9, pp.1348-1363, 1997.
[3] 박기태, 임상균, 정동철, 장석모, 정창경, 최환수, "손의 형상을 이용한 개인식별 알고리즘의 개발," 1997년 대한전기학회 하계학술대회 논문집, G집, pp.2347-2349, 1997.
[4] R.Chellappa, C.L.Wilson, and S.Sirohey, "Human and machine recognition of faces: a survey," Proc. of IEEE, Vol.83, No.5,

pp.705-740, 1995.

[5] 최환수, 정동철, 임상균, 박기태, 장석모, 정창경, "손등의 정맥분포를 이용한 개인식별 알고리즘," 제 10회 신호처리합동학술대회 논문집 제 10권 1호, pp.1107-1110, 1997.
[6] 최환수, 박기태, "정맥패턴을 이용한 개인식별 알고리즘 및 시스템," 명지대학교 대학원 논문집, 제 1집, pp.167-173, 1997.
[7] 최환수, 박기태, 정동철, "손의 바이오메트릭을 이용한 개인식별에 관한 연구," 제 10회 영상처리 및 이해에 관한 워크샵 발표논문집, pp.105-110, 1998.
[8] Matteo Golfarelli, Dario Maio, Davide Maltoni, "On the Error-Reject Trade-Off in Biometric Verification Systems," IEEE Transactions on pattern analysis and machine intelligence, Vol.19, No.7, pp.786-796. 1997.
[9] Mitsuhiko YAGYU, Akinori NISHIHARA, Nobuo FUJII, "Design of FIR Digital Filters Using Estimates of Error Function over CSD coefficient Space," IEICE Trans. Fundamentals. Vol.E79, No.3, pp.283-290. 1996.
[10] Mitsuhiko YAGYU, Akinori NISHIHARA, Nobuo FUJII, "Fast FIR Digital Filter Structures Using Minimal Number of Adders and Its Application to Filter Design," IEICE Trans. Fundamentals. Vol.E79, No.8, pp.1120-1129. 1996.
[11] Kei-Yong Khoo, Alan Kwentus, and Alan N. Wilson, Jr, "A Programmable FIR Digital Filter Using CSD Coefficients," IEEE Journal of Solid-State Circuits, Vol.31, No.6, pp.869-874, 1996.