

자가검사특성을 이용한 속도독립 비동기회로의 테스트

오은정*, 이정근*, 이동익*, 최효용**

*광주과학기술원 정보통신공학과 병행시스템연구실
**충북대학교 전기전자공학부

Testing for Speed-Independent Asynchronous Circuits Using the Self-Checking Property

Eunjung Oh*, Jeonggun Lee*, Dong-Ik Lee*, and Ho-Yong Choi**

*Concurrent System Research Lab. Dept. of Info. & Comm., K-JIST
E-mail: {eunjung,eulia,dilee}@csrl.kjist.ac.kr

**School of Electrical & Electronics Engineering, Chungbuk National University
E-mail: hychoi@cbucc.chungbuk.ac.kr

Abstract

In this paper, we have proposed a testing methodology for Speed-Independent asynchronous control circuits using the self-checking property where the circuit detects certain classes of faults during normal operation. To exploit self-checking properties of Speed-Independent circuits, the proposed methodology generates tests from the specification of the target circuit which describes the behavior of the circuit. The generated tests are applied to a fault-free and a faulty circuit, and target faults can be detected by the comparison of the outputs of the both circuits. For the purpose of efficient comparison, reachability information of the both circuits in the form of BDD's is used and operations are conducted by BDD manipulations.

The identification for undetectable faults in testing is also used to increase efficiency of the proposed methodology. The proposed identification uses only topological information of the target circuit and reachability information of the good circuit which was generated in the course of preprocess. Experimental results show that high fault coverage is obtained for synthesized Speed-Independent circuits and the use of the identification process decreases the number of tests and execution time.

I. 서론

비동기회로는 동기회로와는 달리 전역클럭을 사용하지 않기 때문에 제어가 더 복잡해지고 일반적으로 동기회로 보다 더 많은 래치가 사용된다. 이는 비동기 순차회로가 일반적으로 동기회로보다 더 높은 순차성을 갖게 되어 테스트의 어려움의 요인이 된다. 또한 합성 과정에서 레이스와 헤저드를 제거하기 위하여 중복성을 갖는 로직이 첨가된다. 이러한 중복성은 테스트 생성 시 효율성을 저하시키고 고장 검출율을 저하시키는 요인이 된다. 비동기회로의 테스트 생성이 동

기회로의 테스트 생성보다 더욱 어려운 문제로 간주되는 또 다른 요인은 비동기회로의 자체적인 시간을 갖는 연산(self-timed computation) 형태에 기인한다. 이로 인해 회로에 입력 벡터를 인가하고 출력을 관측할 수 있는 상태, 즉 안정상태 또는 정적 상태가 동기회로에 비하여 월등히 적다. 이는 회로의 제어용이도(controllability)와 관측용이도(observability)가 낮음을 의미한다. 따라서 기존에 연구된 동기순차회로 테스트 생성 방법론을 그대로 비동기 순차회로에 적용하면 그 유효성과 효율성을 보장할 수 없다.

위에 언급한 비동기회로의 테스트의 어려운 점에 반하여 비동기회로 중 일부는 고착고장(stuck-at fault)에 대하여 자가검사특성(self-checking property), 즉, 회로에 고착고장이 존재하면 회로가 멈추게 되어 그 고장을 검출할 수 있는 특성이 있기 때문에 이러한 고장의 검출을 비교적 쉽게 할 수 있다[1,2].

속도독립회로(Speed-Independent circuits)는 배선의 지연을 무시할 수 있다고 가정하기 때문에, 어떤 포크(fork)의 입력에서 발생한 전이는 그 수신자들 가운데 적어도 한 곳으로부터만 승인(acknowledge)을 받으면 된다. 이러한 포크를 등시포크(isochronic fork)라 한다. 즉, 어떤 포크의 입력에 전이가 발생하면 그 전이는 그 포크의 출력단에 동시에 도착한다고 가정하는 것과 같다[3]. 모든 포크가 등시포크라고 가정하는 속도독립회로는 출력고착고장모델(output stuck-at fault model)에 대해서 자가검사특성을 갖는다[1].

위에 언급한 비동기회로의 자가검사특성을 활용하면, 별도의 테스트 생성 방법론을 적용하지 않고 테스트할 수 있다. 또한 비동기회로의 자체적인 시간을 갖는 연산방법의 특성을 그대로 살리면서 테스트할 수 있는 장점이 있다. 이러한 테스트의 가장 큰 단점은 모든 고장을 다루기 위해서는 비현실적으로 긴 테스트가 필요하다는 것이다. 게다가 중복성(redundancy)을 갖는 비동기회로는 자가검사특성을 항상 만족하지 않는 문제점이 있다.

본 논문에서는 속도독립 비동기회로에 대하여 자가검사특성을 이용한 테스트 방법론을 제안한다. 먼저 회로에 인가될 테스트는 신호전이그래프(STG: Signal

Transition Graph)[4]로 기술된 회로의 명세로부터 추출한다. 고장회로와 정상회로에 생성된 테스트를 인가하면 자가검사특성을 이용하여 고장을 검출할 수 있다. 또한 검출불가능고장을 테스트 인가 전에 선별하는 작업을 선행하여 제안된 테스트 방법론의 효율을 피할 수 있다.

II. 속도독립 비동기회로의 테스트

1. 속도독립 비동기회로

D. E. Muller에 의하여 처음으로 제시된 속도독립 회로는 T. A. Chu가 그 동작을 표현하기 위해 신호전이그래프를 제안한 이후 많은 연구가 이루어지고 있다. 회로의 명세로 주어진 신호전이그래프를 이용하여 속도독립회로 구현성을 검사한 후, 신호전이그래프로부터 실제 회로를 유도할 수 있다. 신호전이그래프의 비입력신호들에 대응하는 논리함수는 실제적인 회로 구현 시 다음의 세 가지 형태의 신호 네트워크 즉, ACGpS(Atomic Complex Gate per Signal structure), ACGpEF(Atomic Complex Gate per Excitation Function structure), ACGpER(Atomic Complex Gate per Excitation Region structure)의 형태로 구현될 수 있다[5]. 본 논문에서는 ACGpER의 신호 네트워크를 갖는 속도독립회로를 대상으로 한다. 그림 1에 도시된 바와 같이 회로는 AND, OR, C-소자로 구성되며 각 게이트의 입력단에 인버터를 허용한다. S_i 와 R_i 는 각각 셋(set) 커버큐브와 리셋(reset) 커버큐브를 나타낸다. 또한 셋 혹은 리셋 커버큐브들과 OR 게이트의 집합은 각각 셋 함수와 리셋 함수를 의미한다.

회로를 구성하는 게이트 내부에는 고장이 없음을 가정한다. 고장은 오직 배선에서만 발생가능하며 단일 고착고장을 가정한다. 그림 2는 입력고착고장과 출력고착고장을 나타낸 것이다. 앞서 언급한 바와 같이 속도독립회로는 모든 출력고착고장에 대해서는 자가검사특성을 갖는다[1]. 따라서 배선에 출력고착고장이 존재하면, 회로가 동작 중에 언젠가는 더 이상 작동하지 않고 멈추어 버리는 현상을 나타내게 된다. 그러나 입력고착고장이 존재할 경우에는 이러한 자가검사특성을 보장하지 않는다.

2. 이진결정 그래프를 이용한 속도독립 비동기회로의 모델링[6]

본 절에서는 이진결정그래프(BDD: Binary Decision Diagram)를 이용하여 속도독립회로를 모델링한다. 속도독립회로의 다음상태는 단지 현재상태에 따라 결정된다. 이는 어떤 게이트가 여기(excite)되면 그 게이트는 언젠가는 그 값이 변화될 것이기 때문이다. 어떤 회로의 신호들의 집합을 S 라 하면 그 집합은 입력 신호 S_I , 출력신호 S_O , 내부신호 S_H 로 나눌 수 있다.

속도독립회로의 상태는 각각의 신호에 대하여 한 개의 이진변수를 갖는 이진함수로 나타낼 수 있다. 회로의 모든 가능한 상태들의 집합을 C_S 로 표현한다. 입력, 출력, 그리고 내부신호들의 상태는 회로의 상태 C 를 결정한다.

$$c = (s_1, \dots, s_v), s_j \in \{0, 1\}, 1 < j < v$$

회로의 각 상태는 집합 $B^v (B \in \{0, 1\})$ 중 하나의 민텀으로 표현된다. 회로의 상태 집합 $C \in 2^{C_S}$ 는 특성 함수(characteristic function)로 표현된다.

게이트의 상태는 게이트의 입력변수 (s_1, \dots, s_i) 와

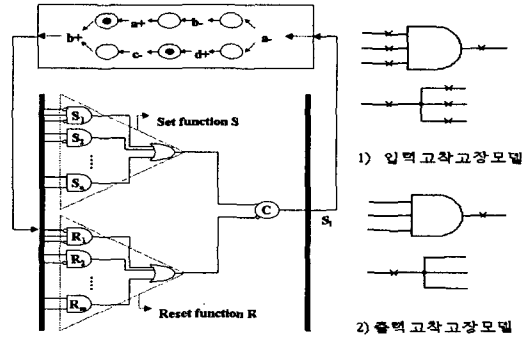


그림 1 ACGpER 구조의 신호 네트워크

그림 2 고착고장모델

출력변수(s_k)에 의해서 결정된다. 임의의 함수 $s_k = f_{s_k}(s_1, \dots, s_i)$ 를 구현한 게이트가 주어졌을 때, 함수의 특성함수로서 두 개의 특성함수를 생성한다.

- 정여기영역(positive excitation region)

$$f_{s_k}^+(s_1, \dots, s_i, s_k) = s_k' \cdot f_{s_k}(s_1, \dots, s_i, s_k)$$

- 부정여기영역(negative excitation region)

$$f_{s_k}^-(s_1, \dots, s_i, s_k) = s_k \cdot f_{s_k}(s_1, \dots, s_i, s_k)$$

위와 같이 여기영역을 각 게이트에 대해서 생성한 후 다음과 같은 전이함수를 비입력(non-input) 신호에 대해서 정의한다.

$$\delta_C : 2^{C_S} \times (S_O \cup S_H) \rightarrow 2^{C_S}$$

신호 s_k 가 여기된 상태들의 집합 C_1 으로부터 신호 s_k 가 변화한 새로운 상태들의 집합 C_2 를 계산한다. 신호의 전이함수는 다음과 같은 여기함수(excitation function)로 계산된다.

$$C_2 = \delta_C(C_1, s_k) = (C_1 \cdot f_{s_k}^+)_{s_k} \cdot s_k + (C_1 \cdot f_{s_k}^-)_{s_k} \cdot s_k$$

위 식의 첫 번째 부분은 C_1 의 상태에서 신호 s_k 가 상승전이를 함으로써 얻어지는 상태를 표현하고, 두 번째 부분은 하강전이를 수행함으로써 얻어지는 상태들을 표현한다.

비동기회로의 특성에 의해서 위와 같이 새로이 생성된 상태 C 를 항상 외부에서 관측할 수 있는 것은 아니다. 즉, 상태 C 가 불안정상태일 경우에는 외부에서 새로운 입력이 인가되기 전에는 더 이상 상태가 변하지 않는 안정상태에 도달할 때까지 계속 새로운 상태를 생성해야만 한다. 이는 상태 C 에 입력 I 를 인가한 이후에 발생가능한 모든 상태를 생성한 후, 입력 I 에 의해 더 이상 새로운 상태가 생성되지 않는 상태, 안정상태 C' 를 찾으려 된다. 이러한 안정상태 C' 이 다음 상태생성의 출발점이 된다.

3. 명세를 이용한 테스트 생성

신호전이그래프로 주어진 명세를 이용하여 테스트를 생성하면 회로의 구현 방법에 의존하지 않고 테스트할 수 있는 장점이 있다. 즉, 같은 명세를 이용하여 다른 방법으로 합성된 회로를 동일한 방법으로 테스트할 수 있다. 명세를 이용하여 테스트를 생성하는 방법은 다음과 같다.

- (1) 명세로 주어진 신호전이그래프의 도달성분석을 통해 상태그래프를 작성한다.
- (2) 상태그래프에서 안정상태만을 갖는 안정상태그래프(SSG: Stable State Graph)를 생성한다.
- (3) 안정상태그래프를 깊이우선탐색을 하여 다음의 조

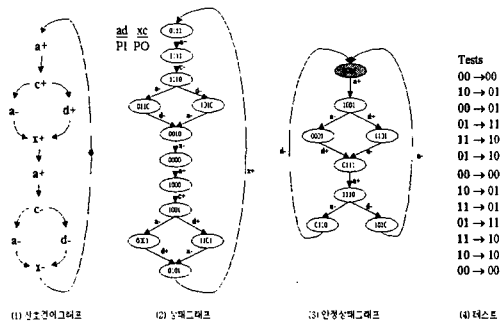


그림 3 명세를 이용한 테스트 생성 방법

건을 만족하는 주입력으로 이루어진 계열을 생성한다.

3-1) 계열의 출발 상태는 STG에서 주어진 초기상태이다.

3-2) 모든 상태와 전이를 포함하여야 한다.

그림 3은 명세로 주어진 신호전이그래프를 이용하여 상태그래프와 안정상태그래프를 생성하고 테스트를 생성하는 과정을 도시한 것이다. 그림 3(4)는 주입력으로 구성된 테스트와 그 테스트를 인가한 이후에 예상되는 주출력단의 값을 보여준다.

4. 검출불가능고장

검출불가능고장(undetectable fault)은 정상적인 동작에 영향을 미치지 않는 고장을 말한다. 일반적으로 비동기회로는 순차도가 높고 제어용이도와 관측용이도가 낮기 때문에, 테스트 인가 이전에 검출불가능고장을 분류하는 작업이 선행되어야 한다. 본 논문에서는 회로의 위상정보(topological information)과 정상회로의 도달성정보(reachability information)만을 이용하여 이러한 고장들을 효율적으로 선별한다. 정상회로의 도달성정보는 테스트 생성 과정 중에 생성되기 때문에 새로이 작성하지 않고 이를 그대로 이용하면 된다.

검출불가능고장 여부에 대한 검사를 효율적으로 수행하기 위해, 회로의 넷리스트에서 얻은 위상정보만을 이용하여 다음 방법에 의한 검사대상고장을 대폭 축소한다.

- ① 모든 단일 출력고착고장: 모든 단일 출력고착고장은 속도독립회로의 자가검사특성에 의하여 동작시 회로가 정지하는 특성을 갖는다[1].
- ② 출력고착고장과 등가인 입력고착고장: 등가고장중첩(equivalent fault collapsing) 분석을 이용하여 출력고착고장과 동일한 고장효과를 갖는 입력고착고장을 선별할 수 있다. 예를 들면, AND(OR) 게이트의 입력단에 발생하는 s-a-0(1) 고장은 AND(OR) gate 출력단의 s-a-1(0)과 같다.
- ③ 주출력으로 분기되는 배선에 발생한 고장: 주출력으로 분기되는 배선에 발생한 고장은 회로의 정상 동작 시에 항상 한 번 이상 그 값이 바뀔 것이기 때문에 항상 검출 가능하다.
- ④ C-소자의 입력에 발생한 고장: C-소자의 입력에 발생하는 고장은 적어도 한 번 이상의 전이가 발생하면 C-소자의 출력이 그 전 상태의 값을 계속 유지하게 되므로 항상 검출할 수 있다.

결과적으로 셋 영역과 리셋 영역의 첫 번째 단계이트들, 즉, AND(OR) 게이트의 입력단의 s-a-1(0) 고장만 고려하면 된다.

위와 같이 선별한 고장들에 대하여 다음과 같이 검

출가능성을 분석한다. s-a-a 고장의 영향이 전파될 출력단에 대한 정상회로와 고장회로의 출력함수 Fg와 Ff를 구한다. 본 논문에서 대상으로 하는 ACGpER의 신호 네트워크를 갖는 속도독립회로는 어떤 고장이 발생하면 그 고장 영향이 전파될 출력단이 유일하게 결정된다. 또한 출력단은 C-소자의 출력이거나 조합회로의 출력이기 때문에 다음과 같은 형태의 함수를 구할 수 있다.

$$Fg = F(k-a) = A + B \cdot X$$

$$Ff = F(k-a) = C + D \cdot X$$

여기에서 X는 이전 안정상태에서 F의 값이다.

$Fg \oplus Ff = 1$ 을 만족하기 위해서는 다음의 조건 중 하나를 만족하면 된다.

- ① $A \oplus C = 1, B = D = 0$
- ② $X = 0, A \oplus C = 1$
- ③ $X = 1, (A + B) \oplus (C + D) = 1,$

②와 ③의 경우는 이전 안정상태의 값에 의존하여 현재상태 값이 결정되는 경우이고, ①은 이전 상태 값에 무관하게 현재상태값이 결정되는 경우이다. 위의 식을 만족하는 A, B, C, D, X의 값을 갖는 상태가 정상회로의 도달가능상태들의 집합에 포함되어 있지 않으면 그 고장은 검출할 수 없다. 알고리즘 1은 검출불가능고장을 검출한다.

알고리즘 1

```
Undetectability_Analysis(Circuit F, Reachable_States(Circuit) ){
    Fg = Circuit( k-a );
    Ff = Circuit( k-a );
    T1: if ( A⊕C=1 && B=D=0 )
        if Conflict_Check(Fg, A⊕C=1) == OK
            Traverse(Reachable_States(Circuit),{A,B,C,D});
        else return Untestable_Fault;
    T1: else if ( A⊕C=1 && B=D≠0 )
        if Conflict_Check(Fg, B=D=0, A⊕C=1) == OK
            Traverse(Reachable_States(Circuit),{A,B,C,D});
        else goto Type 2;
    T2: if Conflict_Check(Fg, X=0 && A⊕C=1) == OK
        Traverse(Reachable_States(Circuit),{A,B,C,D,X})
        else goto Type 3;
    T3: if Conflict_Check(Fg, X=1 && (A+B)⊕(C+D)=1) == OK
        Traverse(Reachable_States(Circuit),{A,B,C,D,X})
    else return Untestable_Fault;
}
```

5. 속도독립 비동기회로의 테스트링

본 논문에서 제안된 자가검사특성을 이용한 속도독립회로 테스트링 방법을 알고리즘 2에 도시하였다.

알고리즘 2

```
main(Blif_Circuit,STG){
    State_Graph = Generate_State_Graph(STG);
    Stable_State_Graph = Generate_Stable_State_Graph(State_Graph);
    Sequences = Generate_Sequences(Stable_State_Graph);
    l = Num_of_Sequences;
    Good_Circuit[i] = Symbolic_Traversal(Blif_Circuit, Sequences);
    Fault_List = Undetectability_Analysis(Blif_Circuit, Good_Circuit[]);
    for ( every fault in Fault_List ) {
        do
            Faulty_Circuit = One_Step_Symbolic_Traversal(Blif_Circuit,
                Sequences[i]);
            If end of sequences are reached
                put the fault into Untestable_Fault_List
            i++;
        while(Good_Circuit[i] != Faulty_Circuit)
    }
```

먼저 주어진 신호전이그래프로부터 테스트를 생성하여 정상회로에 인가하여 도달성정보를 생성한다. 이러한 도달성정보와 회로의 위상정보를 이용하여 검출불가능고장을 선별한 후 이러한 고장들을 제외한 고장리스트를 작성한다. 고장리스트에 속한 각각의 고장들에 대하여 고장회로를 작성한 후, 고장회로의 출력이 정상회로의 출력과 달라 가정된 고장이 검출될 때까지 테스트를 인가한다.

III. 실험결과 및 분석

본 논문에서 제안된 테스트방법을 C로 작성하여 Sun Sparc Ultra-I에서 실험을 하였다. 널리 사용되고 있는 비동기논리합성도구인 Petrify[7]를 이용하여 합성한 속도독립회로들에 대해 BDD로 CUDD 2.1.1 package[8]를 이용하여 실험한 결과, 표1을 얻었다. 각 회로는 검출불가능고장을 고려하지 않고 모든 가능한 고장의 경우에 대해서 실험한 후, 동일한 회로와 테스트를 이용하여 검출불가능고장을 선별한 후 그 고장들을 제외한 고장들에 대하여 실험하였다. 입력/출력은 각 회로의 주입력단과 주출력단의 수를 나타낸다. 게이트 수는 회로에 사용된 게이트의 수를 말한다. 고장수의 첫 번째 행은 (검출된 고장 수)/(전체 고장 수)를 나타내며 두 번째 행의 첫 번째는 (검출된 고장 수)/(전체 고장 수-검출불가능고장 수)이다. 괄호로 묶여진 두 번째는 (검출불가능고장 수)/(전체 검출불가능고장 탐색대상 고장 수)를 나타낸다. 첫 번째 검출율은 전체 가능한 고장에 대한 검출된 고장의 비율이고, 두 번째는 검출불가능고장을 제외한 고장 중 검출된 고장의 비율이다. 수행시간은 각각의 실험에 걸린 시간이며 두 번째 행의 괄호는 검출불가능고장을 선별하는데 걸린 시간이다. 테스트 수는 테스트에 사용된 전체 테스트의 수이다.

위의 결과에서 보이는 바와 같이 속도독립회로의 자가검사특성을 이용하여 테스트를 수행하기 위하여 명세에 기술된 회로의 동작을 그대로 답습하기 때문에 고장의 검출여부를 판별하는데 많은 시간이 소요되었다.

본 논문에서 고려된 회로들은 그 크기가 비교적 작음에도 불구하고 검출불가능고장들이 존재함을 알 수 있다. 이는 비동기회로의 자체특성에서 이미 예상된 결과이다. 회로의 크기가 더 커지고 복잡도가 증가됨에 따라 검출불가능고장의 수가 더 많을 것이라 생각하면, 이러한 고장들을 테스트 인가 혹은 테스트 생성 전에 효과적으로 선별하는 작업이 필요함을 알 수 있다. 표 1에서 보이는 바와 같이 비교적 적은 시간에 이러한 고장들을 선별할 수 있었다. 이는 정상회로의 도달가능상태들의 정보를 이미 알고 회로의 위상정보만을 이용하기 때문이다. 결과에서 보이는 바와 같이 검출불가능고장의 선별과정을 선행함으로써 제안된 방법의 수행시간 감소에 커다란 역할을 하였다.

IV. 결론

본 논문에서는 속도독립회로의 자가검사특성을 이용한 테스트 방법을 제안하였다. 주어진 신호전이그래프를 기술된 명세로부터 작성된 테스트를 정상회로와 고장회로에 동시에 인가하여 그 출력들을 비교함으로써 가정된 고장의 검출여부를 판단함으로써 테스트를

실험결과

회로	입력/출력	게이트 수	고장 수	검출율(%)	수행시간 (sec)	테스트 수
hazard.g	2/2	6	*38/40	95	396.96	162
			38/38 (2/9)	100	(0.13)+298.26	138
chu150.g	3/3	7	46/48	95.83	381.18	148
			46/46 (2/11)	100	(0.17)+265.65	124
vbe5b.g	3/3	6	41/44	93.18	542.66	249
			41/41 (3/9)	100	(0.16)+247.16	144
martin.g	2/3	7	44/48	91.67	621.92	174
			44/44 (4/10)	100	(0.14)+467.30	130
full.g	2/2	6	35/36	91.67	124.01	101
			35/35 (1/8)	100	(0.13)+96.31	87
nak-pag	4/6	13	76/76	100	277.13	76
			76/76 (0/19)	100	(0.2)+277.13	76

하였다. 효율적인 테스트를 위해 데이터구조로 이진결정그래프를 이용하였다. 또한 회로의 위상정보와 선행작업에서 얻은 정상회로의 도달성정보만을 이용하여 검출불가능고장을 검출하는 알고리즘을 제안하여 제안된 테스트 수행시간과 적용된 테스트 수를 감소시킬 수 있었다.

본 논문에서 제안된 방법론은 명세가 있다는 가정 하에 이루어졌기 때문에, 명세가 주어지지 않는 회로에 대한 테스트 방법론의 연구를 향후 연구의 목표로 하고자 한다. 또한, 각 방법론에 따른 검출불가능고장의 선별조건에 차이를 고찰하고자 한다.

참고문헌

- [1] P. A. Beerel, "CAD Tools for the Synthesis, Verification, and Testability of Robust Asynchronous Circuits", Ph.D thesis, Stanford University, 1994.
- [2] Ilana David, Ran Ginosar, and Michael Yoeli, "Self-timed is self-diagnostic", Journal of Electronic Testing: Theory and Applications, (6):219-228, 1995.
- [3] Alain J. Martain, "The limitations to delay-insensitivity in asynchronous circuits", In William J. Dally, editor, from MIT Conference on Advanced Research in VLSI, pp. 263-278, MIT Press, 1990.
- [4] T.-A. Chu, "Synthesis of Self-timed VLSI Circuits from Graph-theoretic Specification", Ph.D thesis, Massachusetts Institute of Technology, 1987.
- [5] Alex Semenov, Alex Yakovlev, Eric Pastor, Marco A. Pena, Jordi Cortadella and Luciano Lavagno, "Partial Order Based Approach to Synthesis of Speed-Independent Circuits", In Proc. of ASYNC'97, pp. 254-265, Apr. 1997.
- [6] O. Roig, Jordi Cortadella, M. A. Pena, and E. Paster, "Automatic generation of synchronous test patterns for asynchronous circuits", In Proc. Design Automation conference(DAC), 1997.
- [7] J. Cortadella et. al., "Petrify: a tool for manipulating concurrent specifications and synthesis of asynchronous controllers", In Proc. of the 11th Conf. Design of Integrated Circuits and Systems, pp. 205-210, Barcelona, Spain, Nov. 1996.
- [8] Fabio Somenzi, "CUDD: CU Decision Diagram Package Release 2.1.2", Univ. of Colorado at Boulder, 1997.