

## EEPL을 사용한 저 전력 108-bit 조건합 가산기의 설계

조기선, 송민규

동국대학교 반도체학과

TEL : +82-2-2260-3824, FAX : +82-2-2264-9450

### Design of a Low Power 108-bit Conditional Sum Adder Using Energy Economized Pass-transistor Logic(EEPL)

Ki-Seon Cho and Min-Kyu Song

Dept. of Semiconductor Science, Dongguk University

E-mail : zooming@bakdoosan.dongguk.ac.kr

#### Abstract

In this paper, a novel 108-bit conditional sum adder(CSA) with Energy Economized Pass-transistor Logic(EEPL) is proposed. A new architecture is adopted, in order to obtain a high speed operation, which is composed of seven modularized 16-bit CSM's and two separated carry generation block. Further, a design technique based on EEPL is proposed to reduce the power consumption. With  $0.65\mu\text{m}$  single poly, triple metal, 3.3V CMOS process, its operating speed is about 4.95ns and the power consumption is reduced in comparison with that of the conventional adder.

#### I. 서론

최근의 Digital Signal Process(DSP), Multiplier, Arithmetic Logic Unit(ALU) 등에서 높은 비트 가산기는 시스템 성능을 결정 짓는 중요 요소이다. 따라서 고속 저전력 가산기의 필요성이 더욱더 증대되고 있다.

본 논문에서는 레벨 복원 회로인 Energy Economized Pass-transistor Logic(이하 EEPL)[1]을 이용한 108-bit

조건합 가산기(Conditional Sum Adder;이하 CSA)를 제안한다. 1990년 처음으로 Pass-transistor Logic(이하, PTL)[2]이 제안된 후 PTL은 전력소모가 적고 구조가 간단하다는[3][4] 특성 때문에 저 전력고속 디지털회로에 널리 쓰이고 있다. 제안한 CSA는 PTL과 EEPL을 기반으로 16-bit CSM과 분리된 Carry 발생블록 구조를 제안하며 고속 및 저 전력 동작을 실현하였다.  $0.65\mu\text{m}$ , single poly, triple metal, 3.3V CMOS 공정에서 기존의 가산기와 비교하였으며 4.95ns의 지연시간과 전력소모가 감소되어 고속 저전력 동작을 보였다.

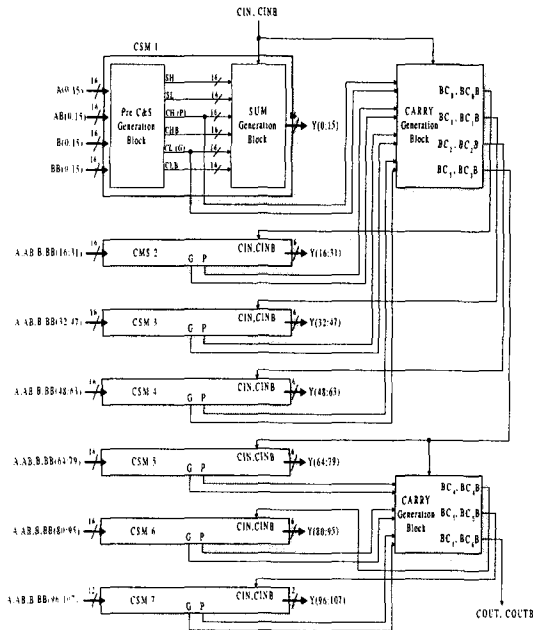
본 논문의 순서는 다음과 같다. II장에서는 제안된 108-bit CSA의 전체 구조를 나타냈으며, III장에서는 제안하는 덧셈기의 세부 블록 회로 설계를 설명하였고, IV장에서는 시뮬레이션 결과를 논하였으며, 마지막으로 V장에서는 결론에 대해 기술하였다.

#### II. 전체구조

본 연구에서 제안한 고속 108-bit가산기를 구현하기 위해 Carry 발생 블록(Carry Generation Block;이하 CGB)을 조건합 모듈(Conditional Sum Module;이하 CSM)로부터 분리하여 설계한 CSA를 제안한다. 제안한 가산기는 그림 1에 나타난 것처럼 7개의 16-bit

CSM과 2개의 CGB로 이루어지며 신호의 전달은 MDL구조를 가진다. 이렇게 함으로써 분리된 CGB의 Carry신호(BC<sub>i</sub>, BC<sub>iB</sub>)가 각 CSM의 SGB가 마지막 비트까지 계산되기 전에 각 CSM을 구동하기 때문에 전체 지연시간이 기존의 가산기[5]에 비해 2MUX만큼의 지연시간이 감소한다.

발생된 SH, SL, CH(P), CHB(P), CL(G), CLB(G)의 6가지 신호는 SGB로 전달되어 전 블록의 CSM에 Carry가 있을 때와 없을 때를 가정하여 2가지 경우로 계산되어진다. 이 계산이 수행되는 동안 CH(P), CHB(P), CL(G), CLB(G)신호는 분리된 CGB로 전달되어 각 CSM의 Carry 발생을 계산한 후 다시 SGB로 이의 결과가 Feed-back되어 최종 SUM을 발생시킨다.



[그림 1] 제안된 108-bit CSA의 전체구조

$$\begin{aligned}
 SH &= X_j \cdot Y_j + \overline{X_j} \cdot \overline{Y_j} && (XNOR) \\
 SL &= \overline{X_j} \cdot Y_j + X_j \cdot \overline{Y_j} && (XOR) \\
 CP &= (X_j + Y_j) \cdot C_{j-1} = X_j + Y_j && (OR) \\
 CG &= (X_j \cdot Y_j) + C_{j-1} = X_j \cdot Y_j && (AND)
 \end{aligned}
 \quad \dots\dots [식 1]$$

[표 1] Carry와 Sum의 분석표

	SUM <sub>j</sub>	CARRY <sub>j</sub>	
Generation	SL (XOR)	CL(G) (AND)	CLB(G) (NAND)
Propagation	SH (XNOR)	CH(P) (OR)	CHB(P) (NOR)

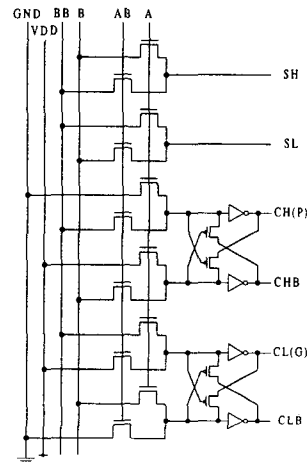
### III. 세부 블록 설계

#### 3-1. Conditional Sum Module(CSM)

16-bit 단위 블록으로 구성된 각 CSM은 그림 1과 같이 Pre C&S Generation Block(이하, PGB)과 Sum Generation Block(이하, SGB)으로 구성된다. PGB에서는 각 단위 비트의 Sum과 Carry를 분석하여 발생시키고, 이 신호는 SGB로 보내져 SGB에서 선택적으로 Sum을 발생시키도록 한다.

#### 3-2. Pre C&S Generation Block(PGB)

PGB의 각 단위 비트(j-bit) 신호를 식 1 및 표 1에 정리하였고 회로도를 그림 2에 나타내었다. 여기서 P는 Carry Propagation Signal, G는 Carry Generation Signal을 의미하며 즉, j-bit의 자리에서 Carry가 발생될 수도 있고 (j-1)-bit에서 발생된 Carry가 j-bit에 전달될 수도 있을 것이다.



[그림 2] PGB(Pre C&S Generation Block)의 회로도.

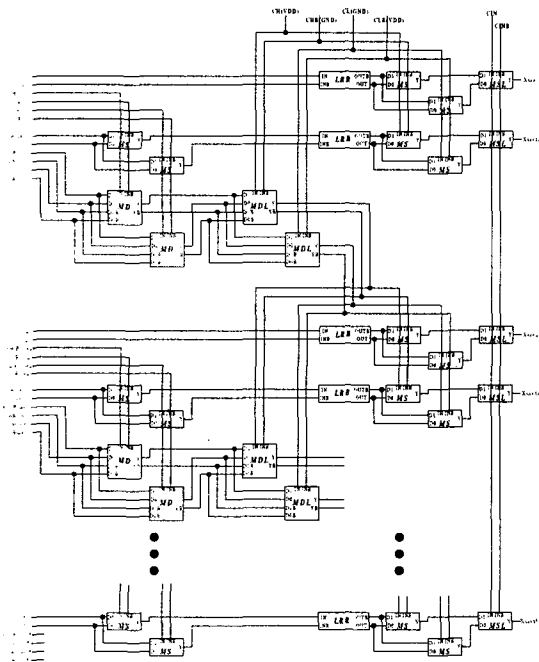
#### 3-3. Sum Generation Block(SGB)

16-bit으로 구성된 각 CSM의 SUM Generation Block을 그림 3에 나타냈다. 각 PGB로부터 분석된 신호들은 MS(Multiplexer with Single input), MSL (Multiplexer with Single input and Level restoration block), MD(Multiplexer with Double input), MDL (Multiplexer with Double input and Level restoration block)등을 거쳐 각 bit의 SUM이

발생되는 조건을 구성하게 된다.[5] 주요한 곳에는 LRB가 삽입되어 Full swing 구동을 하도록 설계되었다.

여기서, 각 bit의 SUM이 발생하는 조건을 보면 기존에는 바로 전 비트의 Carry와 SUM 신호를 이용하였는데, 본 논문에서는 2-bit전의 Carry와 SUM 신호를 이용하는 방법을 제안했다. 이를 간단히 식 2로 나타내었다.

$$\begin{aligned}
 SH_j &= X_j \cdot (G_{j-1} - 1 + P_{j-1}C_{j-2}) + \bar{X}_j \cdot (G_{j-1} + P_{j-1}C_{j-2}) \\
 &= \bar{X}_j \quad (\text{when } G_{j-1} + P_{j-1} = P_{j-1} = 1) \\
 &= X_j \quad (\text{when } G_{j-1} + P_{j-1} = P_{j-1} = 0) \\
 SL_j &= X_j \cdot (G_{j-1} - 1 + P_{j-1}C_{j-2}) + \bar{X}_j \cdot (G_{j-1} + P_{j-1}C_{j-2}) \\
 &= \bar{X}_j \quad (\text{when } G_{j-1} = 1) \\
 &= X_j \quad (\text{when } G_{j-1} = 0)
 \end{aligned}
 \tag{식 2}$$

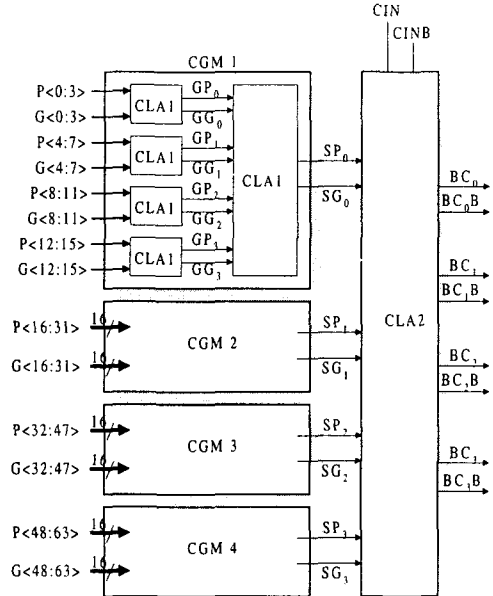


[그림 3] 16-bit Sum Generation Block(SGB)

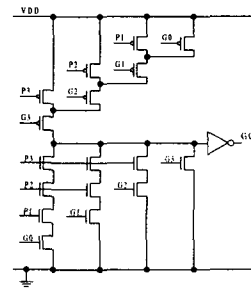
### 3-4. Carry Generation Block(CGB)

CLA1으로 모듈화된 4개의 블록과 하나의 CLA2로 구성된 제안된 고속 CGB의 구성을 그림 4에 나타냈다. 제안된 CGB 회로의 고속동작을 위해 PTL과 기존의 CMOS 로직을 비교하면, CMOS 로직이 논리적으로 하나의 Gate를 거친 속도인데 비해, PTL은 MUX 3개를 거쳐야 되므로 제안된 CGB 설계에서는 기존의 CMOS 로직을 사용하여 2MUX 정도의 지연시간이 감소되어 우수하다. 제안된 고속 CGB는 각 bit의 Propagation 신호와 Generation 신호를 전달받아 각

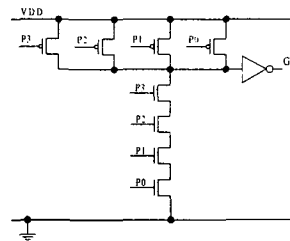
CSM의 Carry 발생 여부를 결정하게 된다. CLA1의 회로도를 그림 5에, 4개의 CLA1과 MDL로 구성된 CLA2의 회로를 그림 6에 나타냈다. CGB의 총 전달지연시간은 CLA1 3단과 MDL 2단을 거친 것과 같아, 8개의 MUX가 직렬로 연결된 지연시간과 같다.



[그림 4] 제안된 고속 Carry Generation Block(CGB)



(a)



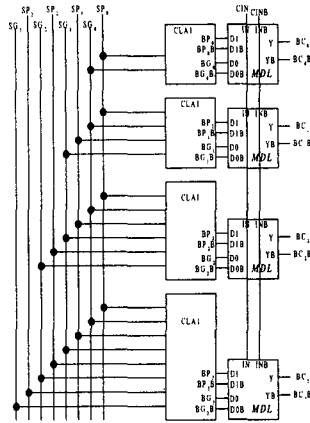
(b)

[그림 5] CLA1의 회로도

(a)Group Generate(GG) (b)Group Propagate(GP)

V 결론

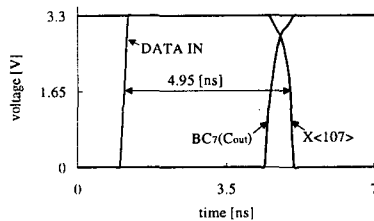
본 논문에서는 PTL과 EEPL에 기반을 둔 저 전력 고속 108-bit 조건합 가산기를 제안하였다. 저 전력 동작을 위해 PTL과 EEPL을 기반으로 설계하였고 고속 동작을 위해 CGB를 분리하였다. 고속, 저 전력 DSP등의 응용에 유용한 기술을 논하였다. 0.65 $\mu$ m, single poly, triple metal, 3.3V CMOS 공정에서 표 2와 같이 4.95ns의 지연시간과 전력소모가 감소되어 고속 저 전력 동작 특성을 보였다.



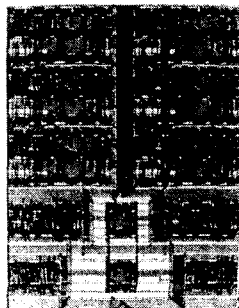
[그림 6] CLA2의 회로도

VI. 실험결과

그림 7에 보여진 108-bit 가산기의 SPICE 시뮬레이션 결과를 보면, Carry신호 발생 지연시간이 마지막 bit(107)의 SUM신호 발생 지연시간보다 짧음을 알 수 있다. X<107>은 마지막 bit인 107번째 bit의 SUM발생 신호를 의미하며 발생 지연시간은 약4.95ns이다. BC7은 마지막 CSA모듈에 전달되는 Carry 발생 신호다. 그림 8에 제안한 가산기가 적용된 54 비트 곱셈기의 칩 사진을 나타내었다.



[그림 7] 108-bit CSA의 Simulation 결과



[그림 8] 제안한 CSA를 포함한 54-bit 곱셈기의 칩 사진

[표 2] 제안된 108-bit 가산기의 성능

Process	0.65 $\mu$ m 1-Poly, 3-Metal, N-well CMOS
Logic size	98.8 $\mu$ m $\times$ 398.0 $\mu$ m
Power Supply	Single, 3.3V
Input / Output	two 108-bit / 108-bit
Delay Time	4.95ns

참고문헌

- [1] M.Song, et.al., "Design Methodology for High Speed and Low Power Digital Circuits with Energy Economized Pass-transistor Logic(EEPL)," in Proc.IEEE ESSCIRC '96, pp.120-123, Sep., 1996.
- [2] K.Yano, et.al., "Top-Down Pass-Transistor Logic Design," IEEE J.of Solid-State Circuits, Vol.31, no.6, pp.792-803, Jun., 1996.
- [3] T.Sakurai, et.al., "Low-Power Circuit Design for Multimedia VLSI," in Proc.IEEE ICVC'95, pp.37-42, Oct., 1995.
- [4] Gustavo a. Ruiz, "Evaluation of three 32-bit CMOS adders in DCVS Logic for Self-Timed Circuits," IEEE J.of Solid-State Circuits, Vol.33, no.4, pp.604-613, April, 1998.
- [5] N.Ohkubo, et.al., "A 4.4ns CMOS 54x54b Multiplier Using Pass-Transistor Multiplexer," IEEE J.of Solid-State Circuits, Vol.30, no.3, pp.251-257, Mar., 1995.
- [6] M.Song, et.al., "Power Optimization for Data Compressors of a Parallel Structured 54x54bit Multiplier," in Proc.IEEE ECCTD'95, pp.427-430, Sep., 1995.