

## 64배속 CD-ROM 및 10배속 DVD-ROM용 광대역 위상 고정 루프

\*진 우 강, \*이 재 신, \*\*최 동 명, \*이 건 상, \*김 석 기  
\*고려대학교 전자공학과, \*\*삼성 전자  
전화 : (02) 927-2910 / 팩스 : (02) 927-1582

### A Wide Range PLL for 64X CD-ROMs & 10X DVD-ROMs

\*Woo Kang Jin, \*Jae Shin Lee, \*\*Dong Myoung Choi, \*Gun Sang Lee, \*Suki Kim  
\*Dep. of Electronics Engineering Korea University, \*\*Samsung Electronics Co., Ltd  
E-mail : jwk@ulsil.korea.ac.kr

#### Abstract

In this paper, we propose a wide range PLL(Phase Locked Loop) for 64X CD-ROMs & 10X DVD-ROMs. The frequency locking range of the Proposed PLL is 75MHz ~ 370MHz. To reduce jitters caused by large VCO gain and supply voltage noise, a new V-I converter and a differential delay cell are used in 3-stage ring VCO, respectively. The new V-I converter has a 0.6V ~ 2.5V wide input range. In addition, we propose a new charge pump which has perfect current matching characteristics for the sourcing/sinking current. This new charge pump improves the locking time and the locking range of the PLL. This Chip is implemented in 0.25  $\mu\text{m}$  CMOS process. It consumes 55mW in worst case with a single 2.5V power supply.

#### I. 서론

현대 사회는 정보사회이다. 날이 갈수록 정보의 양은 방대해져가고 있으며 따라서 그러한 정보를 저장하기 위한 새로운 방법이 계속해서 개발되고 있다. 현재

대용량의 정보를 저장하는 매체로 가장 각광받고 있는 것이 바로 CD-ROM과 DVD-ROM이다. CD-ROM 및 DVD-ROM 재생기의 특성은 그것의 배속으로 판단할 수 있는데, 현재 48배속 CD-ROM과 8배속 DVD-ROM이 상용화되어 있다. 사용자들의 보다 빠른 정보 접근을 위해서 이들의 배속은 점점 더 높아질 것이 자명한데, 본 논문에서는 64배속 CD-ROM과 10배속 DVD-ROM을 위한 광대역 PLL을 설계하였다. PLL은 거의 모든 클럭 복원기(Clock Recovery)에서 사용되고 있는 방법이다[1]. CD-ROM과 DVD-ROM은 고배속화 되면서 CAV 타입의 회전 방식을 사용한다. CAV 타입의 회전 방식은 디스크의 최 외주에서의 선속도가 최 내주에서의 선속도보다 약 2.5배 이상 빠르다. 따라서 CAV 타입의 회전 방식을 갖는 CD-ROM 및 DVD-ROM용 PLL은 입력 신호의 주파수 변화 범위가 넓기 때문에 고정 범위(locking range)도 그만큼 넓어야한다. 이러한 넓은 고정 범위(wide locking range)를 구현하려면 VCO의 발진 주파수 범위도 넓어야한다. 그러나 VCO의 발진 주파수 범위를 넓히기 위해서 단순히 VCO 이득을 크게 하면 PLL의 안정도가 떨어지고, 또한 jitter 특성이 나빠지게 된다[2]. 본 논문에서는 CAV 타입의 회전 방식에서 필요로 하는 넓은 발진 주파수 대역을 확보하면서 VCO 이득을 줄이기 위해 새로운 전압-전류 변환기를 제안하였다. 또한 넓은 고정 범위 특성을 구현하면서 고정 시간(locking time)을 빠르게 하기 위해 완전한 소싱/싱킹 전류 매칭 특성을 갖는 새로운 전하 펌프를 구현하였다.

## II 광대역 PLL 구조

그림 1은 본 논문에서 설계한 광대역 PLL의 전체 블록 다이어그램이다. 그림과 같이 설계된 광대역 PLL은 두 개의 루프로 구성되어 있다. CD-ROM의 입력 신호는 EFM (Eight to Fourteen Modulation) 신호인데 EFM신호는 NRZ 타입이므로 일반적인 PFD (Phase Frequency Detector) 타입을 사용할 수 없고, 또 넓은 고정 범위를 갖는 PLL을 구현하기 위해 주파수 고정 루프(frequency locking loop)와 위상 고정 루프(phase locking loop)를 별도로 구성하였다.

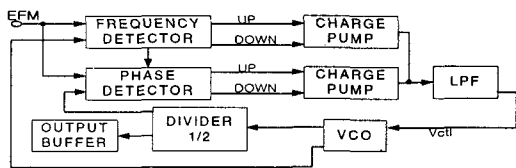


그림 1 광대역 PLL의 구조

EFM 신호가 입력되면 먼저 주파수 고정 루프가 동작하고, 입력 신호 주파수의  $\pm 10\%$  이내로 주파수가 고정되면 위상 고정 루프가 동작하여 주파수와 위상을 함께 고정시킨다.

## III 회로 설명

### 3.1 링 발진기

전원 잡음에 의해 야기되는 위상 jitter를 최소화하기 위해 링 발진기의 지연소자는 그림 2와 같은 차동 지연 소자(differential delay cell)를 사용하였다. 본 논문에서는 그림 2의 지연 소자 3단을 연결하여 링 발진기를 구현하였다. 링 발진기의 주파수는 지연 소자의 지연 속도를 알면 구할 수 있는데 이는 아래와 같다.

$$t_d = KR_{ds} C_p \quad , K : \text{비례상수} \quad (1)$$

본 논문은 3단 링 발진기를 사용하였으므로 주파수는 식 (2)와 같이 나타난다.

$$f(\text{frequency}) = \frac{g_{m1}}{6KC_p} \quad (2)$$

여기서  $g_{m1} = \sqrt{2\mu_p C_{ox}(W/L)I_{tail}}$  이므로 결국 링

발진기의 주파수는  $\sqrt{I_{tail}}$  에 비례한다.

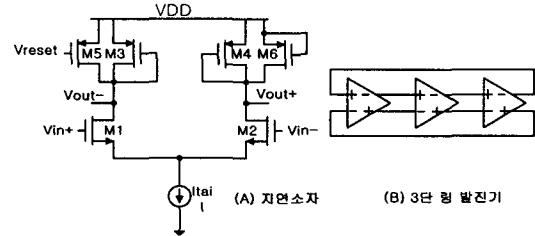


그림 2 지연 소자와 3단 링 발진기

64배속 CD-ROM의 경우 입력 신호의 주파수 변화 폭은 약 90MHz ~ 280MHz이다. 이때 주파수 탐지기 (Frequency Detector)의 오차를 줄이기 위해 입력 신호 주파수보다 2배 높은 VCO 주파수를 사용하기 때문에 결국 VCO는 180MHz ~ 560MHz의 변화를 갖도록 해야 한다. 본 논문에서는 공정 변화에 대응할 수 있도록 VCO 발진 주파수 대역을 150MHz ~ 740MHz로 여유를 갖도록 설계하였다.

### 3.2 전압-전류 변환기

위에서 기술한 바와 같이 64배속 CD-ROM과 10배속 DVD-ROM을 위한 PLL의 경우 VCO의 주파수 범위가 약 150MHz ~ 700MHz를 만족해야한다. 주파수 범위가 넓은 VCO를 구현하기 위해 단순히 VCO 이득을 키우게 되면 이로 인하여 시스템의 안정도가 떨어지게 되고, PLL의 jitter 특성이 나빠진다. 따라서 광대역 PLL의 경우 VCO 제어 전압 범위를 크게 하는 전압-전류 변환기가 필요하다. 그림 3은 새롭게 제안된 전압-전류 변환기를 나타낸다.

식(2)에 나타난 바와 같이 VCO 발진 주파수가  $\sqrt{I_{tail}}$ 에 비례하기 때문에 VCO가 입력 전압에 대해서 선형적으로 변화하는 특성을 갖게 하기 위해서는 전압-전류 변환기의 출력 전류( $I_{tail}$ )는 입력 전압( $V_{in}$ )의 제곱에 비례해야 한다. 제안된 전압-전류 변환기는 M5와 M2가 선형영역에서 동작하도록 함으로써 M1의  $V_{in}$  범위를 크게 하였다[3].  $V_{in}$ 이 선형적으로 증가할 때  $V_a$ 는 거의 선형적으로 감소하게 되어 결국  $I_{Va}$ 는  $V_{in}^2$ 으로 감소하게 된다. 여기서  $V_{in}$ 이 선형적으로 증가할 때 출력 전류는  $V_{in}^2$ 에 비례하게 증가하게 하기 위해  $I_{max}$ 에서  $I_{Va}$ 를 빼준다. 여기서  $V_{in} < V_{th}$  일 때 출력 전류가 0이 되어 VCO가 발진하지 않게 되는 것을 방지하기 위해서 최소 주파수를 위한

최소 전류(80  $\mu$ A)를 M11에서 항상 흘려주도록 하였다. 결국 전압-전류 변환기의 출력 전류는 식(3)과 같다. 여기서  $K_1$ 은 비례상수이다.

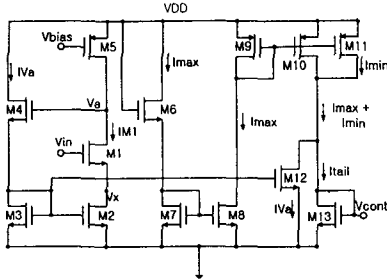


그림 3 제안된 전압-전류 변환기

$$I_{tail} = I_{max} + I_{min} - I_{Va} = K_1 Vin^2 + I_{min} \quad (3)$$

### 3.3 전하 펌프

전하 펌프가 가져야 될 중요한 특성중의 하나는 UP, DOWN 신호에 의한 소싱/싱킹 전류 매칭 특성이다. 입력되는 신호의 주파수가 VCO의 중심 주파수보다 많이 높거나 낮을 경우 주파수 고정 루프에서 VCO 입력 전압은 전원 전압 근방에서 고정된다. 주파수가 고정된 후, 위상 고정 루프 동작시 전하 펌프의 출력 전압이 전원 전압 근방에서 동작하기 때문에 소싱/싱킹 전류의 미스매칭이 발생한다. 전하 펌프의 소싱/싱킹 전류 차가 클수록 PLL의 고정 시간이 길어지게 되며, jitter 특성도 나빠지게 된다. 본 논문에서 제안된 전하 펌프는 이러한 전류 매칭 특성이 매우 우수하다. 그림 5는 본 논문에서 제안한 전하 펌프를 보여준다.

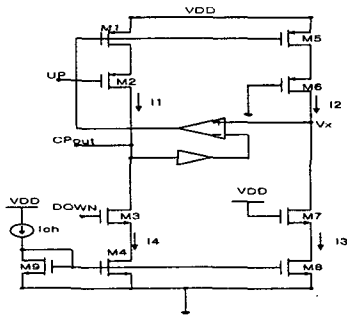


그림 5 제안된 전하 펌프

일반적인 전하 펌프의 경우 출력 임피던스를 크게 함으로써 드레인-소스 전압 차이로 인한 소싱/싱킹 전류 미스매칭을 감소시킬 수 있으나, 이러한 방법으로는 완전한 전류 매칭이 어렵다. 본 논문에서 제안한

전하 펌프는 전류 거울(current mirror)(M5 ~8)의  $V_x$  전압이 전하 펌프(M1 ~4)의  $CP_{out}$  전압을 따라가도록 피드백을 걸어 줌으로써 전하 펌프의 소싱/싱킹 전류를 완전히 매칭 시켜준다. 즉,  $V_{CP_{out}} = V_x$ 이고,  $M5=M6=M1=M2$ ,  $M7=M8=M4=M3$ 인 경우  $I_2 = I_3$ ,  $I_3 = I_4$ ,  $I_2 = I_1$  이므로  $I_1 = I_4$ 가 되어 전하 펌프의 완전한 소싱/싱킹 전류 매칭이 된다.

## IV 시뮬레이션 결과

### 4.1 전압-전류 변환기

그림 6은 제안된 전압-전류 변환기의 시뮬레이션 결과이다. 일반적인 전압-전류 변환기의 경우 VCO 제어 전압 범위가 전원 전압(VDD)의 약 60% 이하의 범위를 갖는데 반하여, 제안된 전압-전류 변환기의 경우 VCO 제어 전압 범위는 1.9V로써 전원 전압(2.5V)의 76%에 해당한다. 결국 VCO 제어 전압 범위를 넓힘으로 인하여 VCO 이득을 줄일 수 있게 되고, 그 결과 시스템의 안정도를 높이고, PLL의 jitter를 줄일 수 있게 되었다. 그림에서 보는 바와 같이  $V_{in}$ 이 0.6V보다 작을 때에는 항상 약 80  $\mu$ A의 전류가 흐르도록 하여 VCO가 발진을 멈추는 것을 방지하였고, 0.7V 이상에서는 출력 전류는  $V_{in}^2$ 에 비례하여 증가한다.  $V_{in} = 2.5V$ 일 때 최대 전류는 약 1.2mA이다.

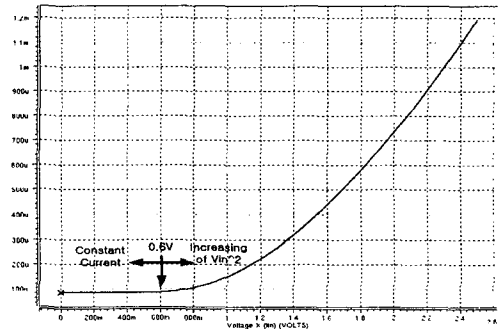


그림 6 전압-전류 변환기 특성 곡선

### 4.2 VCO

설계된 전압-전류 변환기를 이용한 VCO의 주파수 특성은 그림 7과 같다. 설계된 VCO는 150MHz ~ 740MHz의 동작 주파수를 갖으며 VCO 이득은 약 350MHz/V이다. 또한 VCO 출력 특성은 약  $\pm 8\%$  이내의 좋은 선형성을 갖는다.

그림 7에서 보듯이 약 0.7V 아래에서는 전류-전압

변환기에서  $80 \mu A$ 의 전류가 흐르기 때문에 150MHz의 주파수로 VCO가 동작하며 0.7V 이상에서는 선형적인 주파수 증가를 나타내고 있다.

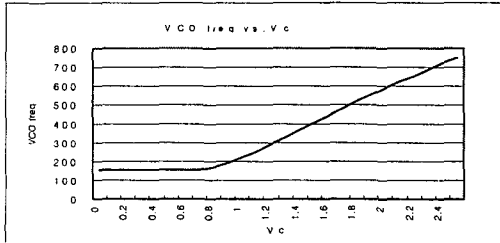


그림 7 VCO 주파수 특성

#### 4.3 전하 펌프

그림 8은 CPout 전압이 0V에서 2.5V로 증가 할 때 일반적인 전하 펌프와 제안된 전하 펌프의 소싱/싱킹 전류 시뮬레이션 결과이다. 일반적인 전하 펌프의 경우 소싱/싱킹 최대 전류 오차가 기준 전류의 약 12% 이상인 반면, 제안된 전하 펌프의 경우 CPout의 사용 영역에서 1% 이하의 우수한 매칭 특성을 보이고 있다.

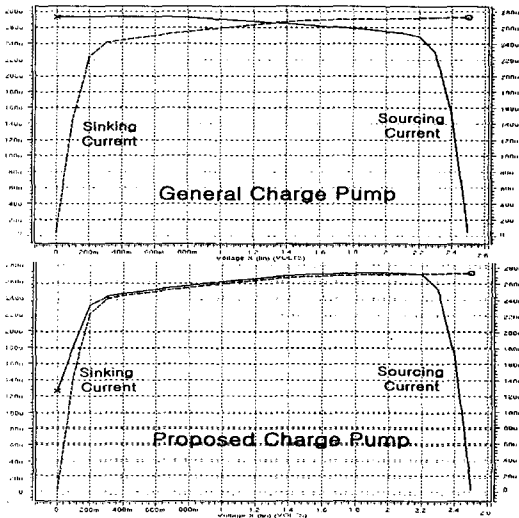


그림 8 전하 펌프의 소싱/싱킹 전류 매칭 비교

#### 4.4 Full Chip

그림 9는 제안된 광대역 PLL의 시뮬레이션 결과이다. 시뮬레이션은 입력 주파수를 160MHz로 하고, loop bandwidth를 2MHz로 하였다. 또한 입력 주파수를 75MHz와 370MHz로 하여 시뮬레이션 한 결과 PLL이 위상 고정됨을 확인 하였다.

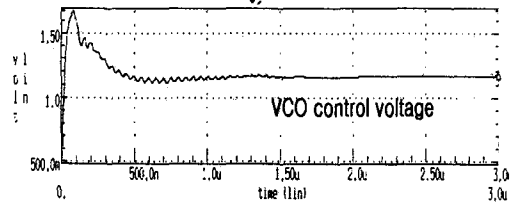


그림 9 Pull in process

### V 결론

본 논문에서는 64배속 CD-ROM 및 10배속 DVD-ROM을 위한 광대역 PLL을 제안하였다. 일반적으로 차동 지연 소자를 이용한 링 VCO의 경우 주파수 변화 폭을 넓게 하기 위해서는 VCO 이득을 크게 하여야 하지만, 본 논문에서는 새로운 전압-전류 변환기를 사용하여 VCO 이득을 최소화하여 PLL의 jitter를 줄이고 시스템의 안정도를 높였다. 또한 완전한 전류 매칭 특성을 갖는 전하 펌프를 제안하여 넓은 고정 범위를 갖는 PLL을 구현할 수 있었고, PLL의 고정 시간을 줄일 수 있었다. 본 논문에서 제안한 광대역 PLL의 주파수 고정 범위는 75MHz ~ 370MHz로써 225.5MHz의 중심 주파수에서  $\pm 65\%$ 의 변화 범위를 갖는다.  $0.25 \mu m$  CMOS 공정을 사용하여 소비 전력 및 칩의 크기를 최소화하였다. 설계된 광대역 PLL이 최고 주파수로 동작할 때의 전력 소비는 약 55mW이다.

### 참고문헌

- [1] Turgut S. Aytur and Behzad Razavi, "A 2-GHz, 6mW BiCMOS Frequency Synthesizer." IEEE J. Solid-State Circuits, vol.30, no.12, pp. 1457 ~ 1462, Dec.1995.
- [2] Frank Hezel and Behzad Razavi, "A Study of Oscillator Jitter Due to Supply and Substrate Noise," IEEE J. Solid-State Circuits, vol.46, no.1, pp. 56 ~ 62. Jan.1999
- [3] Chi-Hung Lin, et al., "A low-voltage low-power CMOS V-I converter with Rail-to-Rail differential input for Filtering Applications," IEEE International Conference on Electronics, Circuit and System, vol.1, pp. 165 ~ 168, 1998