

## SiGe HBT 를 이용한 10Gbps 2:1 시분할 멀티플렉서 설계

이상홍, 강진영, 송민규

한국전자통신연구원 회로소자기술연구소 화합물반도체연구부

전화: 042-860-1271, FAX: 042-860-6183, E-mail: shl@etri.re.kr

## 10Gbps 2:1 Time-Division Multiplexer using SiGe HBT

Sang-Heung Lee, Jin-Young Kang, and Min-Kyu Song

Micro-Electronics Technology Laboratory, ETRI

TEL: 042-860-1271, FAX: 042-860-6183, E-mail: shl@etri.re.kr

## Abstract

In the transmitter of optical fiber transmission systems, a time-division multiplexer combines several parallel data streams into a single data stream with a high bit rate. In this paper, we design a 2:1 (2-channels) time-division multiplexer using SiGe HBT with emitter size of  $2 \times 8 \mu\text{m}^2$ . The operation speed is 10Gbps, the rise and fall times of 20~80% are 34ps and 35ps, respectively and the dissipation of power is 0.86W.

## 1. 서론

광통신 시스템은 초고속 정보 통신망의 물리계층에서 기본이 되는 것으로서, 광통신 시스템에 대한 연구는 1960년대 말부터 동축선을 이용하는 통신 시스템의 정보 전송 능력의 한계를 극복하기 위해 시작되었다. 광통신 시스템은 기존의 통신시스템에 비하여 전송 용량, 신뢰성 및 보안성이 높으며, 무중계 거리가 길기 때문에 단위 데이터 전송에 소요되는 비용이 적어 경제성이 우수하다.[1]

일반적으로 광통신 시스템은 다음의 세 부분으로 구성되어 있다. 먼저, 전기적 신호를 광신호로 바꾸어 주는 송신부와 전송되어 온 광신호를 전기적 신호로 변환하여 주는 수신부 및 송수신부 간의 정보를 전송해주는 경로인 정보채널로 구성된다. 광통신 시스템의 동작속도는 송신부 및 수신부에서 처리할 수 있는 비트율과 밀접한 관계가 있기 때문에 광통신 시스템의 속도를 개선하기 위해서는 송신부 및 수신부 회로들의 고속화와 더불어 칩화가 필요하다.

광통신 시스템의 고속화에 필요한 고주파 아날로그 및 고 비트율 디지털 전자회로 블록들은 송신부 측의 시분할 멀티플렉서, 수신부 측의 equalizing 증폭회로, 클럭 복구회로, 판별회로 및 시분할 디멀티플렉서 등을 들 수 있다.[2-6] 이들 회로 중 본 논문에서는 광통신 시스템의 송신부의 시분할 멀티플렉서를 설계하였다.

시분할 멀티플렉서는 여러 병렬 스트림(stream)들을 높은 비트율을 갖는 하나의 직렬 스트림으로 결합하는 장치이다. 10Gbps 2:1 시분할 멀티플렉서의 경우, 10GHz의 클럭 펄스 마다 5GHz의 펄스폭을 갖는 병렬 데이터 스트림을 샘플링하여 10GHz 펄스폭의 직렬 데이터로 변환하는 장치이다.

본 논문에서는 광통신 시스템의 송신부 회로에 사용되는 2:1 (2 채널) 시분할 멀티플렉서를 SiGe HBT 소자를 이용하여 설계하였다. 설계된 회로의 동작속도는 10Gbps, 입력전압 및 출력전압은 각각  $400\text{mV}_{pp}$ 와  $800\text{mV}_{pp}$ , 20%~80% 간의 천이 시간인 상승시간과 하강시간은 각각 34ps와 35ps이며, 전력소모는 0.86W이다.

## 2. 10Gbps 2:1 시분할 멀티플렉서 설계

이 절에서는 SiGe HBT를 이용하여 10Gbps 2:1 시분할 멀티플렉서 설계에 관하여 논의한다. 설계에 사용된 SiGe HBT의 에미터 크기는  $2 \times 8 \mu\text{m}^2$ 이며, 주요 파라미터는 표 1과 같다.

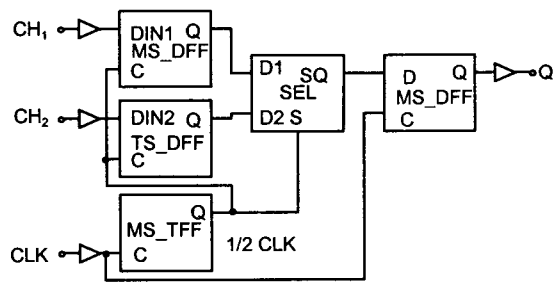
표 1. SiGe HBT 파라미터

Parameter	value
1. emitter mask size	$2 \times 8 \mu\text{m}^2$
2. current gain ( $\beta$ )	234
3. cut-off frequency ( $f_T$ )	60GHz
4. base resistance ( $R_B$ )	$55 \Omega$
5. emitter resistance ( $R_E$ )	$4.6 \Omega$
6. collector resistance ( $R_C$ )	$41 \Omega$
7. collector-base capacitance ( $C_{JC}$ )	55.3fF
8. emitter-base capacitance ( $C_{JE}$ )	119fF

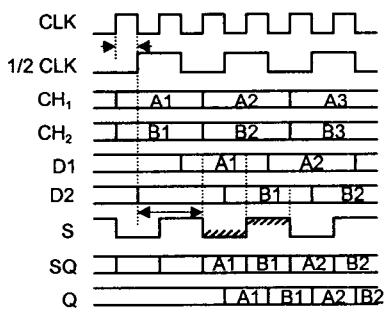
## 2.1 2:1 시분할 멀티플렉서 구조

그림 1(a)는 2:1 멀티플렉서 구조이며[5,7,8], 그림 1(b)는 (a)에 대한 타이밍도이다. 그림 1(a)의 구조에 사용된 회로는 Master-Slave D-플립플롭(MS\_DFF), Tristage D-플립플롭(TS\_DFF), 데이터 선택회로(SEL) 및 2:1 주파수 분주기(MS\_TFF)이다. 또한, 그림 1(b)는

다음에서 다룰 이들 회로에 대한 설명으로 부터 쉽게 이해될 수 있으므로 자세한 설명은 생략하겠다. 그림 1의 구조적인 특징은 다음과 같다. (1) 데이터 선택회로(SEL)가 값을 계산하는 시점은 클럭 주기를 T라 할 때 첫 클럭의 하강 천이 후 1.5T인 시점에서 계산된다. (2) 입력에 관련된 D-플립플롭들(MS\_DFF 및 TS\_DFF)은 입력 데이터를 리타이밍(retiming)하여 데이터 선택회로(SEL)에서 두 입력 데이터 신호 간에 180°의 큰 위상 여유를 만들어 내는데, 이는 동작 속도를 향상시키는 데 매우 효과적이다. (3) 출력측의 MS\_DFF은 출력 지터(jitter)를 최소화하기 위하여 출력 신호를 리타이밍한다.



(a) 2:1 시분할 멀티플렉서 구조



(b) 타이밍도

그림 1. 2:1 시분할 멀티플렉서

### 2.2 시분할 멀티플렉서의 상세 설계

이 절에서는 그림 1(a)의 각 블록의 설계에 관하여 언급한다. 본 논문에서는 ECL(Emitter-Coupled Logic) 회로를 이용하여 시분할 멀티플렉서 회로를 설계하였다. 지면 관계상 간단히 기술하고자 한다.

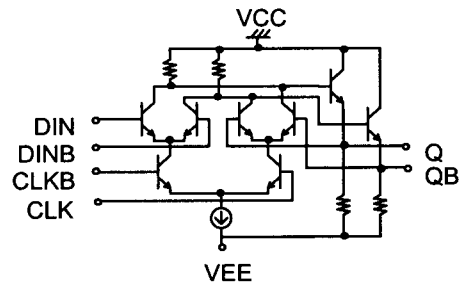
#### 2.2.1 입력 데이터 버퍼 및 클럭 버퍼 설계

입력 데이터 버퍼와 클럭 버퍼는 입력 정합, 신호의 임피던스 변환(impedance transformation) 및 dc 레벨 이동을 위해서 필요하다. 입력 데이터 버퍼 및 클럭 버퍼 모두는 입력 정합(input matching)을 위해 emitter-follower의 입력에 50Ω을 병렬 연결하여 사용

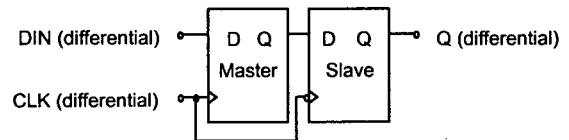
하였다. 입력 데이터 버퍼는 1단의 emitter-follower를 사용하였으며, 클럭 버퍼는 클럭 신호가 ECL 회로의 2번째 레벨의 입력으로 사용되기 때문에 2단으로 사용하였다.

#### 2.2.2 Master-Slave D-플립플롭 및 Tristate D-플립플롭 설계

그림 2(a)는 클럭 CLK가 LOW일 때 입력 데이터를 샘플링하고, HIGH일 때 데이터를 래치하는 D-래치회로이다. D-래치의 출력단 버퍼인 1단의 emitter-follower는 신호의 임피던스 변환 및 dc 레벨 이동을 위하여 사용되었다. 그림 2(b)는 그림 2(a)의 D-래치들이 2단 연속으로 연결되어 클럭의 상승 모서리에서 입력 데이터를 샘플링하여 하강 모서리에서 래치하는 Master-Slave D-플립플롭(MS\_DFF) 구조도이다. 출력 신호는 입력 데이터를 클럭이 샘플링한 후 클럭 펄스폭(T/2)만큼의 지연시간이 경과한 후 발생한다.



(a) D-래치



(b) Master-Slave D-플립플롭 구조

그림 2. Master-Slave D-플립플롭

Tristate D-플립플롭(TS\_DFF)은 D-래치가 3단 연속으로 연결되어 있는 회로이며 회로 구조는 그림 3과 같다. 출력 신호는 클럭이 입력 데이터를 샘플링한 후 클럭 주기(T)만큼의 지연시간이 경과한 후 출력 신호가 발생한다.

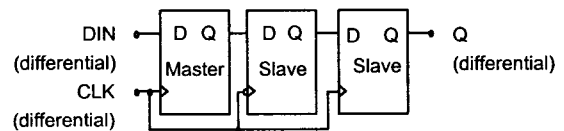


그림 3. Tristate D-플립플롭 구조

2.2.3 2:1 주파수 분주기 설계

그림 1에서 볼 수 있는 바와 같이 2:1 시분할 멀티플렉서를 동작시키기 위해서는 입력 클럭 주파수(CLK)를 1/2 주파수(1/2 CLK)로 나누는 주파수 분주기가 필요하다. 2:1 주파수 분주기(는 그림 4에서와 같이 Master-Slave D-플립플롭의 출력 QB를 Master D-래치의 입력 D로 케환(Master-Slave D-플립플롭의 출력 Q를 Master D-래치의 입력 DB로 케환)하여 실현(그림 1의 MS\_TFF)하였다. 주파수 분주기에 사용된 D-래치는 그림 2(a)의 D-래치와 동일하며, dc 레벨 이동을 위하여 그림 4의 Slave D-래치의 Q와 QB에 1단의 emitter-follower를 추가적으로 연결하여 사용하였다. 이와 같이 실현된 주파수 분주기는 입력 클럭을 샘플링한 후 입력 펄스폭(T/2) 만큼의 지연 시간이 경과한 후 주파수 분주를 시작한다.

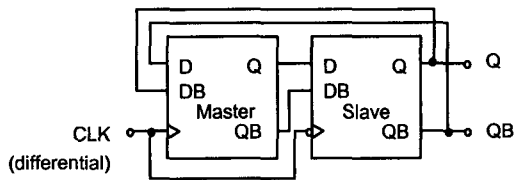


그림 4. 2:1 주파수 분주기 구조

2.2.4 데이터 선택기 설계

그림 5의 데이터 선택기(SEL)는 클럭(CLK)이 LOW일 때 DIN1을 선택하고 클럭이 HIGH일 때 DIN2를 선택한다.

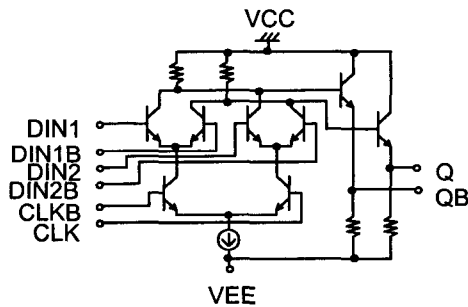


그림 5. 데이터 선택기

2.2.5 출력단 회로 설계

그림 1의 출력단 MS\_DFF의 출력을 800mVp-p로 증폭함과 동시에 출력 정합을 위해 50Ω의 부하(external load)를 사용한 차동증폭기를 이용하였다.

3. 실험 결과 및 검토

본 논문에서는 HP-EEsof의 Libra를 사용하여 시분할 멀티플렉서를 설계하였다. 공급전압은 -3.5V를 사

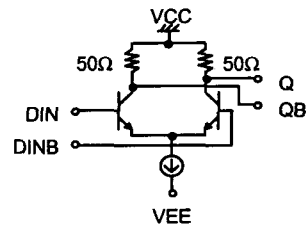
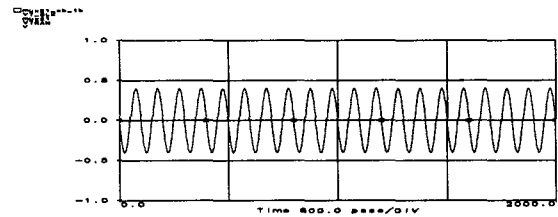
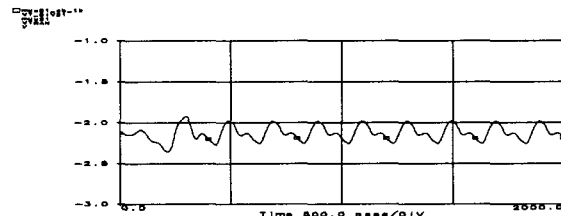


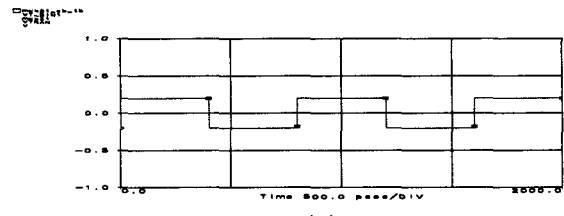
그림 6. 출력단 회로



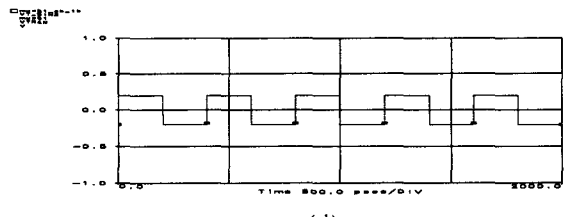
(a)



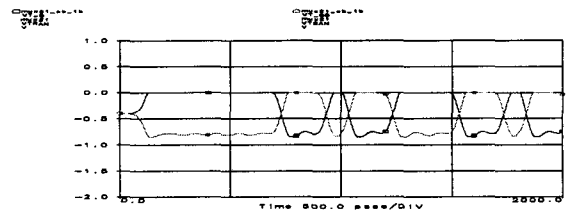
(b)



(c)



(d)



(e)

그림 7. 2:1 시분할 멀티플렉서 시뮬레이션 결과

용하였다. 그림 7(a)는 입력 클럭(10GHz), 그림 7(b)는 2:1 주파수 분주기의 출력 파형, 그림 7(c)와 (d)는 2 채널의 각각 입력 데이터 파형, 그림 7(e)는 출력 파형이다. 그림 7(c)의 DIN1은 1100110011...의 입력 데이터 스트링이고, 그림 7(d)의 DIN2는 1010101010...의 입력 데이터 스트링이다. 그림 7(d)의 출력 데이터 스트링은 1110010011100100...으로 DIN1과 DIN2를 번갈아 가면서 읽고(sampling) 있는 것을 알 수 있다. 이와 같이 입력 데이터와 출력의 관계로부터 본 논문에서 설계한 2:1 시분할 멀티플렉서는 정상적으로 동작함을 확인할 수 있었다. 20%-80% 간의 천이 시간인 상승시간 및 하강시간은 각각 34ps와 35ps이었다. 또한, 본 논문의 멀티플렉서의 전력소모는 0.86W로, 일반적인 사양의 멀티플렉서(1.5W 정도)와 비교하여 전력 소모면에서 43% 정도 적게 소모됨을 확인할 수 있었다. 본 논문의 정량적인 결과를 표 2에 요약하였다. 상승시간 및 하강시간, 전력소모의 관점에서 타문헌과 비교해 볼 때 본 논문의 결과는 아주 reasonable한 것으로 판단된다.

표 2. 본 논문의 설계 결과

item	results
1. differential clock amplitude (across 2x50Ω)	800mV <sub>p-p</sub>
2. differential data input amplitude (across 2x50Ω)	400mV <sub>p-p</sub>
3. differential data output amplitude (across 2x50Ω)	800mV <sub>p-p</sub>
4. rise time/fall time	34ps/35ps
5. power consumption	0.86W

#### 4. 결론

광통신 시스템의 송신부에 사용되는 시분할 멀티플렉서는 여러 병렬 스트림(stream)들을 높은 비트율을 갖는 하나의 직렬 스트림으로 결합하는 장치이다. 본 논문에서는 에미터 크기가 2x8um<sup>2</sup>인 SiGe HBT를 사용하여 2:1 시분할 멀티플렉서를 설계하였다. 설계된 회로의 동작속도는 10Gbps, 입력전압 및 출력전압은 각각 400mV<sub>p-p</sub>와 800mV<sub>p-p</sub>, 20%-80% 간의 천이 시간인 상승시간 및 하강시간은 각각 34ps와 35ps이며, 전력소모는 0.86W이었다.

본 논문에서 설계한 시분할 멀티플렉서의 경우 일반적인 경우 보다 43% 정도의 적은 전력 소모가 있었으며, 본 논문에서 설계한 시분할 멀티플렉서는 한국전자통신연구원에서 개발한 SiGe HBT 이용하여 제작할 예정이다.

#### 참고문헌

- [1] 박형무, "10Gbps급 고속 IC의 기술동향 및 국내현황," 전자공학회지, 제 22 권, 제 2 호, pp. 123-135, 1995년 2월.
- [2] H. M. Rein, "Multi-Gigabit-Per-Second Silicon Bipolar IC's for Future Optical-Fiber Transmission Systems," IEEE Journal of Solid-State Circuits, vol. 23, no. 3, pp. 664-675, June 1988.
- [3] H. M. Rein, et al., "Suitability of Present Silicon Bipolar IC Technologies for Optical Fibre Transmission Rates around and above 10 Gbit/s," IEE Proceeding, vol. 137, Pt. G, no. 4, pp. 251-260, Aug. 1990.
- [4] K. Runge, et al. "Silicon Bipolar Integrated Circuits for Multi-Gb/s Optical Communication Systems," IEEE Journal of selected Areas in Communications, vol. 9, no. 5, pp. 636- 644, June 1991.
- [5] H. Ichino, et al., "Over-10-Gb/s IC's for Future Lightwave Communications," IEEE Journal of Lightwave technology, vol. 12, no. 2, pp. 308-319, Feb. 1994.
- [6] L. I. Andersson, et al., "Silicon Bipolar Chipset for SONET/SDH 10 Gb/s Fiber-Optic Communication Links," IEEE Journal of Solid-State Circuits, vol. 30, no. 3, pp. 210-218, March 1995.
- [7] M. Ohhata, et al., "11Gbit/s Multiplexer or Demultiplexer using 0.15um GaAs MESFETs," Electronics Letters, vol. 26, no. 7, pp. 467-468, March 1990.
- [8] T. Harada, et al., "Si Bipolar Multiplexer, Demultiplexer, and Prescaler ICs 10Gb/s SONET Systems," ISSCC Digest of Technical Papers, pp. 154-156, Feb. 1993.