

최적화된 나선형 인덕터를 이용한 이동 통신용 저잡음, 저전력 2GHz CMOS VCO 설계에 관한 연구

조 제 광, 이 건 상, 이 재 신, 김 석 기
고려대학교 전자공학과
전화 : (02) 927-2910 / 팩스 : (02) 927-1582

A 2GHz, Low Noise, Low Power CMOS Voltage-Controlled Oscillator Using an Optimized Spiral Inductor for Wireless Communications

Je Kwang Cho, Gun Sang Lee, Jae Shin Lee, Suki Kim
Dept. of Electronic Engineering, Korea University
E-mail : cjk@ulsil.korea.ac.kr

Abstract

A 2GHz, low noise, low power CMOS voltage-controlled oscillator (VCO) with an integrated LC resonator is presented. The design of VCO relies heavily on the on-chip spiral inductor. An optimized spiral inductor with Q-factor of nearly 8 is achieved and used for the VCO. The simulated result of phase noise is as low as -114dBc/Hz at an offset frequency of a 600kHz from a 2GHz carrier frequency. The VCO is tuned with standard available junction capacitors, resulting in an about 400MHz tuning range (20%). Implemented in a five-metal 0.25 μm standard CMOS process, the VCO consumes only 2mW from a single 2.5V supply. It occupies an active area of 620 $\mu\text{m} \times 720 \mu\text{m}$.

I. 서론

이동 통신 시스템에서 RF 신호를 IF 신호로 변환해주는 부분이 주파수 합성기이다. 현재 상용화된 이동 통신 시스템은 슈퍼헤테로다인 구조를 채택하고 있으며, 첫 번째 주파수 합성기에 의해 채널 선택이 이루어진다. 따라서 채널 간격이 좁은 무선 시스템의 경우

RF 주파수 합성기의 위상 잡음 특성이 매우 좋아야 된다. 대부분의 이동 통신 송수신기는 Q값이 매우 높은 외장형 인덕터와 배랙터를 이용한 LC 공진형 VCO를 사용한다. MOS 회로로 구현된 링 VCO의 경우 구현상의 용이함이라는 장점이 있지만, Q값이 1 정도이기 때문에 좋은 위상 잡음 특성이 요구되는 이동 통신용으로는 적합하지 않다. 만일 실리콘 기판 위에 Q값이 높은 인덕터와 배랙터를 집적시킬 수 있다면, 단일 칩 LC 공진형 VCO의 설계가 가능할 것이며, 이를 이용한 주파수 합성기의 응용도 기대해 볼 수 있다.

본 논문에서는 CMOS를 이용한 이동 통신용 VCO에 대하여 논하였다. 이동 통신용 VCO는 RF 신호처리 IC의 특성상 저잡음, 저전력 및 고속동작의 특성을 가져야 하며 향후 단일 칩 시스템을 구현하기 위해서는 CMOS 공정을 이용한 회로설계가 필수적이다. 이를 위해 본 논문에서는 단일 칩 나선형 인덕터를 이용한 저잡음, 저전력 LC 공진형 VCO를 제안하였다. 나선형 인덕터 구조의 최적화를 통해서 높은 Q값을 갖는 인덕터를 설계할 수 있었으며, 이를 이용하여 저전력, 저잡음 VCO를 설계하였다.

II. 평면 나선형 인덕터

그림 1에 평면 정사각 나선형 인덕터의 레이아웃 및 등가 모델을 나타내었다.

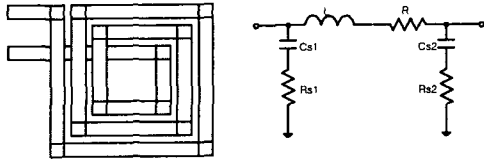


그림 1. 평면 나선형 인덕터의 레이아웃 및 등가 모델

L은 인덕터의 자기 및 상호 인덕턴스로 기존의 방법으로 비교적 정확히 구할 수 있다 [1]. 나선형 인덕터의 등가 모델 파라미터는 인덕터의 실리콘 기판에서의 구조 및 공정 파라미터와 밀접한 관계가 있는데, 아래에 중요한 몇 가지 항목을 고려하여 인덕터의 구조를 최적화 하였다. 인덕터에 대한 시뮬레이션은 ASITIC을 사용하였다 [2].

(1) Numbers of turns (N)

- 회전수가 커지면 인덕턴스의 값이 커지지만 기판과의 캐패시턴스가 커지므로 trade-off가 필요하다. 특히, 인덕터 내부로 갈수록 금속에서의 eddy current에 의해 저항의 증가율이 점점 커지므로 [3] 회전수를 너무 크게 하지 않도록 설계하였다.

(2) Metal-to-Metal spacing (sp)

- 인덕터의 트랙 간의 거리로서, 간격이 좁을수록 상호 인덕턴스가 커지는 장점이 있지만, proximity effect에 의한 직렬 저항이 커지는 단점이 있다. 그림 2에 sp의 변화에 따른 인덕터 Q값의 변화를 나타내었다.

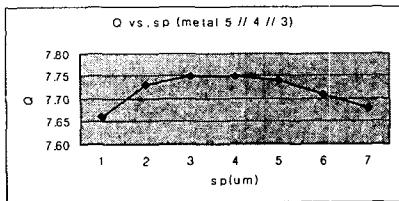


그림 2. 트랙 간격에 따른 Q의 변화

(3) Metal Width (W)

- 금속 폭을 작게 할 경우 인덕터의 직렬 저항이 문제가 되며, 반대로 크게 할 경우 skin effect의 영향을 상대적으로 많이 받게되며 기판과의 캐패시턴스도 커지게 된다. 그림 3에 금속 폭의 변화에 따른 Q값의 변화를 나타내었다.

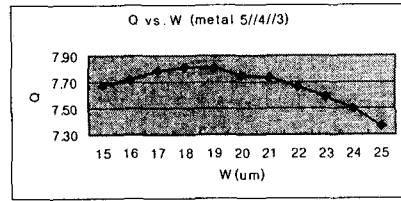


그림 3. 금속 폭에 따른 Q의 변화

(4) 바깥 금속 길이 (Length)

- 인덕터의 바깥 금속의 길이에 따라 인덕턴스, 저항 등 모든 파라미터들이 바뀌게 된다. 특히 바깥 금속의 길이를 너무 크게 할 경우 기판에 흐르는 eddy current에 의해 Q값이 감소하므로 각별한 주의가 필요하다. 본 연구에서 사용한 ASITIC은 기판의 eddy current를 고려하지 않기 때문에 최적의 길이는 시뮬레이션 값보다 약간 작게 할 필요가 있다. 그림 4에 길이의 변화에 따른 Q값의 변화를 나타내었다.

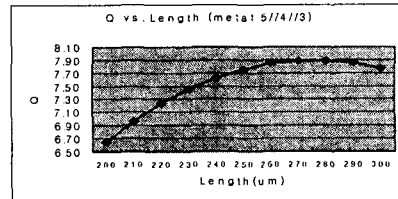


그림 4. 바깥 금속 길이에 따른 Q의 변화

(5) 기타

- 인덕터와 기판 사이의 oxide 두께는 두꺼울수록 좋으므로 최상위 금속을 인덕터로 사용한다. 금속의 쉬트 저항의 경우 설계자가 제어할 수 없는 부분이지만, 여러 개의 금속을 병렬로 연결함으로써 쉬트 저항을 크게 줄였다. 표 1에 금속 layer에 따른 L, R, Q값의 변화를 나타내었다.

표 1. 금속 Layer에 따른 L, R, Q 값의 변화

Metal Layers	L(nH)	R(Ω)	Q
M5	2.23	6.4	4.05
M5 // M4	2.19	3.8	6.39
M5 // M4 // M3	2.14	2.8	7.75

* W=20 μ m, sp=4 μ m, N=3, Length=250 μ m

이상의 여러 가지 요소들을 고려하여 최적화한 평면 나선형 인덕터의 구조를 표 2에 나타내었다.

표 2. 최적화된 나선형 인덕터의 구조

L	sp	W	N	Metal layers
250 μ m	4 μ m	20 μ m	3	M5//M4//M3

표 3에 최적화된 평면 나선형 인덕터의 등가 모델 파라미터를 나타내었다.

표 3. 최적화된 나선형 인덕터의 등가 모델 파라미터

L (nH)	R (Ω)	C _{S1} (fF)	R _{S1} (Ω)	C _{S2} (fF)	R _{S2} (Ω)	Q @ 2GHz
2.14	2.8	227	71	177	105	7.75

VCO를 위한 평면 나선형 인덕터 설계시 고려해야 되는 부분 중에 하나가 Q값이 최고가 되는 주파수이다. 왜냐하면 아무리 Q값이 큰 인덕터를 설계하였다 하더라도 최대의 Q값을 갖는 주파수가 발진 주파수와 큰 차이가 난다면 좋은 성능의 VCO를 기대하기 어렵기 때문이다. 그림 5에 최적화된 나선형 인덕터의 주파수 변화에 따른 인덕터 Q값의 변화를 나타내었다.

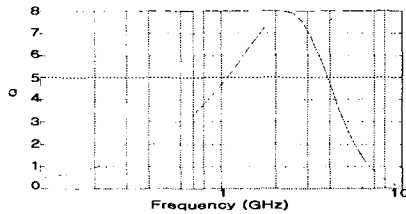


그림 5. 주파수 변화에 따른 Q값의 변화

Q값이 최대가 되는 주파수가 2.25GHz이며, 최대 Q는 8 정도이다. 본 논문에서는 발진 주파수가 1.8GHz~2.2GHz 정도이기 때문에 최대 Q값을 갖는 주파수와 발진 주파수가 거의 비슷하다. 그리고 자기 공진 주파수는 10.6GHz 이다.

III. LC 공진형 VCO

본 논문의 VCO는 내부 LC 공진 회로를 사용하며, 발진주파수는 배랙터 다이오드의 역바이어스 전압(Vc)을 조절하여 변화시킨다. 그림 6에 VCO 회로를 나타내었다.

설계된 인덕턴스 값이 2.14nH 이므로, 2GHz에서 발진하기 위해서는 2.8pF 정도의 캐패시턴스가 필요하다. 전체 캐패시턴스는 배랙터 다이오드의 캐패시턴스와 그 외 기생 캐패시턴스에 의해 결정되는데, VCO의 동작 주파수 범위를 넓히기 위해서는 전체 캐패시턴스에서 배랙터 다이오드에 의한 캐패시턴스 성분이 차지하는 비중이 크게 설계해야 한다. 본 논문에서는 Vc 전

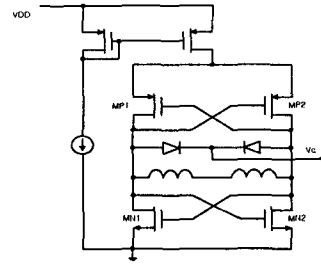


그림 6. VCO 회로

압이 0.5V~2.5V로 변할 때, 배랙터 다이오드의 캐패시턴스는 1.4pF~2.4pF, 기생 캐패시턴스 성분은 1pF이 되도록 하였다.

배랙터 다이오드는 CMOS 공정에서 N-well과 P+ 영역 사이의 P-N 접합에 의해서 구현된다. 배랙터의 Q값은 캐패시턴스에 직렬로 연결되는 기생 저항에 의해 결정되는데, 이는 interdigitated 레이아웃 기법을 적용하여 줄일 수 있었다. N-well과 기판 사이에 생기는 기생 다이오드는 Vc가 ac적으로 접지이기 때문에 무시할 수 있다.

VI. 시뮬레이션 결과

본 논문에서는 VCO의 초기 발진을 위한 발진 이득을 2.5로 설계하였다. 동작 주파수 범위는 1.85GHz에서 2.22GHz이며, VCO 이득은 185MHz/V이다. 위상 잡음에 대한 시뮬레이션은 기존에 발표되었던 유효 저항(effective resistance)을 이용하는 방법 [5] 사용하였으며, 그 결과를 그림 7에 나타내었다.

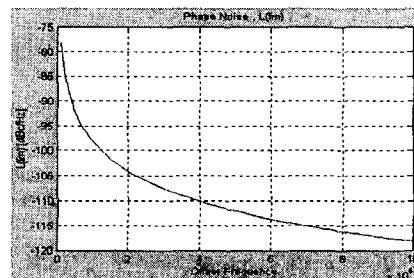


그림 7. 제안된 VCO의 위상 잡음 특성

표 4에 본 논문에서 설계한 VCO의 특성을 나타내었다.

표 4. 제안된 LC 공진형 VCO의 특성

Items	Simulated Results
Frequency range	1.85GHz~2.22GHz
Tuning range	about 400MHz (20%)
VCO gain	185MHz/V
Phase noise	-114dBc/Hz @ 600kHz offset
Power dissipation	2mW @ Vdd=2.5V
Die size	620 μm × 720 μm

표 5에 기존의 CMOS 공정을 이용해서 설계된 단일 칩 LC 공진형 VCO와 제안된 VCO와의 특성 비교를 나타내었다. 여기서 등가 위상 잡음(equivalent phase noise)은 동작 주파수를 2GHz, 오프셋 주파수를 600kHz라고 했을 때, 등가적으로 계산한 값들이다.

VI. 결론

본 논문에서는 최적화된 나선형 인덕터를 이용하여 저잡음, 저전력 이동 통신용 LC 공진형 VCO를 제안하였다. 최적화된 나선형 인덕터는 회전수 3, 바깥 금속 길이 250 μm, 트랙 간격 4 μm, 금속 폭 20 μm에서 금속 3,4,5층을 병렬 연결하였으며, 시뮬레이션으로 얻은 Q값은 7.75이다. VCO의 동작 주파수는 1.8GHz에서 2.2GHz까지 비교적 넓은 범위에서 동작하도록 하였다. 이는 중심 주파수(2GHz)의 20%에 해당하는 값으로 매우 큰 편이다. 위상 잡음은 시뮬레이션 결과 600kHz 오프셋 주파수에서 -114dBc/Hz 이며, 2.5V 단일 전원에서 소비 전력은 2mW이다. 공정은 5-metal 0.25 μm 표준 CMOS 공정을 사용하였다.

참고문헌

- [1] H. M. Greenhouse, "Design of Planar Rectangular Microelectronic Inductor," *IEEE Trans. on Parts, Hybrids and Packaging*, vol. HPH-10, pp. 101-109, Jun. 1974.
- [2] ASITIC, <http://www.eecs.berkeley.edu/~niknejad>.
- [3] J. Craninckx and M. Steyaert, "A 1.8-GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors," *IEEE J. Solid-State Circuits*, vol. 32, pp. 736-744, May. 1997.
- [4] B. H. Park and P. E. Allen, "A 1GHz, Low-Phase-Noise CMOS Frequency Synthesizer with Intergrated LC VCO For Wireless Communications," *Proc. IEEE Custom Integrat. Circuits Conf.*, 1998, pp. 26.4.1-26.4.4.
- [5] J. Craninckx and M. Steyaert, "Low-Noise Voltage Controlled Oscillators Using Enhanced LC-Tanks," *IEEE Trans. Circuits Syst.-II*, vol. 42, pp. 794-904, Dec. 1995.
- [6] B. Razavi, "A 1.8GHz CMOS Voltage-Controlled Oscillator," in *ISSCC Dig. Tech. Papers*, Feb. 1997, pp. 388-389.

표 5. 나선형 인덕터를 사용한 VCO의 특성 비교

Design	Process (CMOS)	Freq. [GHz]	Power (mW)	Tuning Range (%)	Phase Noise [dBc/Hz]	
					reported	equivalent
JSSC [3]	0.7- μm	1.8	6	14	-116 @ 600kHz	-115
CICC [4]	0.5- μm	0.9	6.6	14.7	-110 @ 200kHz	-112
ISSCC [6]	0.6- μm	1.8	7.6	6.7	-100 @ 500kHz	-100
This Work	0.25- μm	2.0	2	20	-114 @ 600kHz	-114