

## 위상동기시간을 개선한 Dual PFD 설계

이준호, 손주호, 김선홍, 김동용  
전북대학교 전자정보공학부  
Tel: 0652-270-2395 / Fax: 0652-270-2394

### Design of Dual PFD with Improved Phase Locking Time

Jun-Ho Lee, Ju-Ho Son, Sun-Hong Kim, Dong-Yong Kim  
Faculty of Electronic & Information Engineering, Chonbuk National University  
E-mail: expert\_lee@hanmail.net

#### Abstract

In this paper, Dual PFD(Phase Frequency Detector) with improved phase locking time is proposed. The proposed PFD consists of positive and negative edge triggered D flip-flop. In order to confirm the characteristics of proposed PFD, HSPICE simulations are performed using a  $0.25\mu\text{m}$  CMOS process. As a result of simulations, the proposed PFD has a characteristic of fast phase locking time with dead zone free.

#### I. 서론

위상동기루프는 주파수 합성, 클럭 및 데이터 복원 등의 기능을 수행하기 위해 통신 시스템에서 필수적으로 필요한 회로이다. 이동 통신용 부품중 주파수 합성기로 사용되는 RF(Radio Frequency) PLL(Phase Locked Loop)을 보면 동작 가능한 최대 주파수 뿐만 아니라 입력 주파수의 변화에 따른 주파수 추적속도 향상이 통화품질에 중요한 영향을 미치므로 설계의 중요한 관건이 된다. 이러한 주파수 추적속도를 향상시키기 위해서는 PLL의 loop bandwidth( $\omega_L$ )를 넓혀야 한다.

$\omega_L$ 을 넓히기 위한 방법은 루프필터의 값을 조절하거나 전압제어발진기(VCO)의 이득을 크게 하는 방향으로 이루어져 왔다. 그러나 이러한 방법으로는  $\omega_L$ 을 넓히는데 한계가 있고 원하는 만큼의 큰 속도향상을

얻기가 힘들다. 위와 같은 문제점을 해결하는 방향으로 본 논문에서는 주파수 추적속도를 향상시킨 Dual 구조의 PFD를 제안한다.<sup>[1]</sup>

#### II. 제안한 PFD의 동작원리

위상 검출기는 PLL의 중요한 소자로 두 입력 신호의 차이에 비례하는 전압을 출력시키는 소자로 여러 가지의 회로들이 사용되고 있다. 위상 검출기를 그 특징 별로 분류하면 크게 스위치 형태와 sequential 형태로 구분된다. 스위치 형태 위상 검출기로는 아날로그 곱셈기(analog multiplier)와 exclusive OR gate가 있고, sequential 형태 위상 검출기는 latch나 flip-flop 등의 기억 소자를 사용하는 것으로서 2-state와 3-state로 세분된다. 3-state sequential 형태 위상 검출기는 두 입력신호의 위상 차이 뿐만 아니라 주파수 차이도 검출하므로 위상 주파수 검출기(PFD)라고도 불린다. 그림 1 (a)에 일반적인 PFD의 블럭도를 보였는데 이 회로는 두 개의 D flip-flop과 AND gate로 구성되어 있다. 그림 1(b)는 정상 동작시의 입출력 파형을 나타낸 것으로서 동작은 다음과 같다. REF의 rising edge에서 UP = 1 이 되고, VCO의 rising edge에서 DN = 1 이 된다. UP과 DN이 모두 1 이 되면 AND gate에 의해 두 개의 D flip-flop이 reset되어 UP과 DN 모두 0 이 된다. 두 입력 신호의 위상차는 charge pump에 위상 차만큼의 UP신호가 전달되어 VCO의 주파수를 증가시키는 역할을 한다.

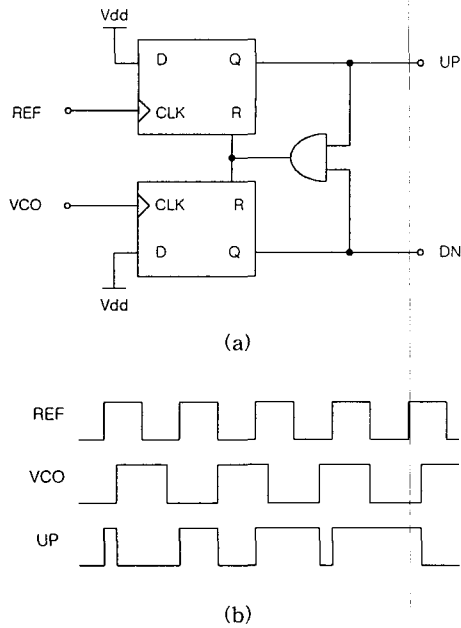


그림 1. 일반적인 PFD  
(a) block diagram (b) 입출력 파형

제안한 PFD회로는 그림 2 (a)와 같이 POSITIVE PFD와 NEGATIVE PFD 두 개를 합한 것으로서 POSITIVE PFD는 위에서 설명한 일반적인 PFD와 같이 동작하며 UP<sub>p</sub> 신호를 출력한다. NEGATIVE PFD는 두 개의 negative edge triggered D flip-flop과 AND gate로 구성되어 있다. REF의 falling edge에서 UP<sub>n</sub> = 1 이 되고, VCO의 falling edge에서 DN<sub>n</sub> = 1 이 된다. UP<sub>n</sub>과 DN<sub>n</sub>이 모두 1 이 되면 AND gate에 의해 두 개의 D flip-flop이 reset되어 UP<sub>n</sub>과 DN<sub>n</sub> 모두 0 이 된다. 그림 2 (a)와 같이 UP<sub>p</sub>와 UP<sub>n</sub>의 두 신호가 OR gate의 입력으로 들어가서 그림 2 (b)의 UP 신호를 출력한다. REF clock과 VCO clock이 각각 40ns와 48ns이고, REF clock이 VCO clock보다 위상이 앞설 때 시뮬레이션 된 입출력 파형은 그림 3과 같다.<sup>[1]</sup> 그림 1 (b)와 그림 2 (b)를 비교해보면 위상차( $\theta$ )가  $0 < \theta < \pi$  인 경우 일반적인 PFD는 UP신호를 한 주기동안 1번 검출하는데 제안한 PFD는 UP신호를 한 주기에 2번 검출하는 것을 알 수 있다. 따라서 제안한 Dual PFD는 위상차가 생길 때 일반적인 PFD보다 많은 UP 또는 DN 신호를 charge pump에 전달함으로써 VCO의 출력 주파수를 증가 또는 감소를 시켜 PLL의 위상동기시간을 빠르게 한다.

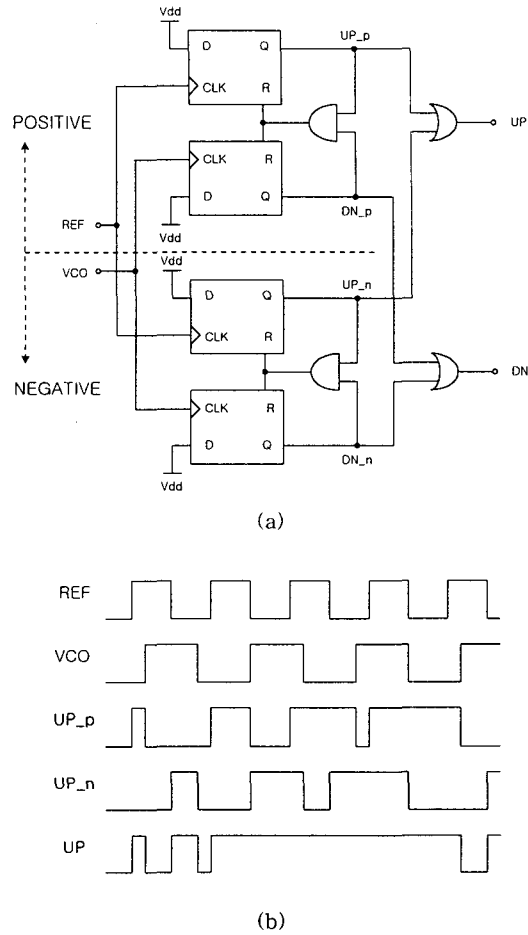


그림 2. 제안한 Dual PFD  
(a) block diagram (b) 입출력 파형

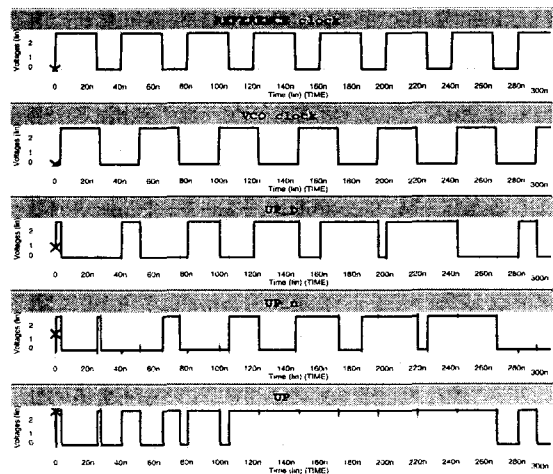


그림 3. Dual PFD의 입출력 파형

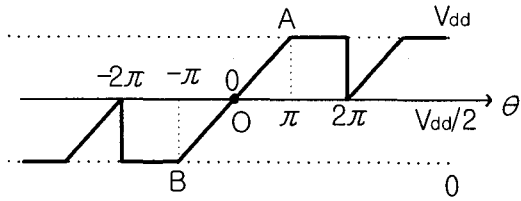
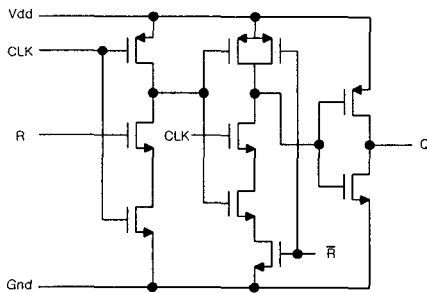
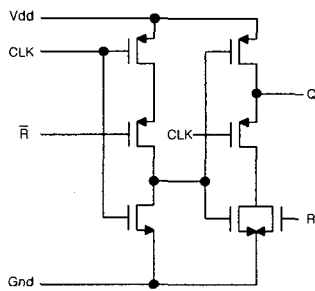


그림 4. Dual PFD의 동작 특성



(a)



(b)

그림 5. 동적 D flip-flop

(a) positive edge triggered

(b) negative edge triggered

그림 4는 위상차( $\theta$ )에 대한 Dual PFD의 평균값을 나타낸 것으로서 PFD의 평균 출력전압  $V(t)$ 의 과거 DC 전압이  $V_{dd}/2$ 라고 가정하여  $t=0$ 인 시작에서의  $V(t)$ 를  $V_{dd}/2$ 로 두었다. 여기에서 위상차에 따라 평균값은 단조증가 혹은 단조감소를 하며, 그림 3과 같이 단조증가 할 경우에는 그림 4의 점 O에서 출발하여 점 A를 거쳐 계속 오른쪽으로 진행한다.  $\theta$ 가 점 O에서 시작한 후  $-\pi$  radian에서  $+\pi$  radian사이의 범위를 벗어나지 않는 한 위상 검출기는 A와 B를 연결하는 직선 특성식을 따라 동작한다.

직선부분인 A~B영역에서의 소신호 위상검출기 이득

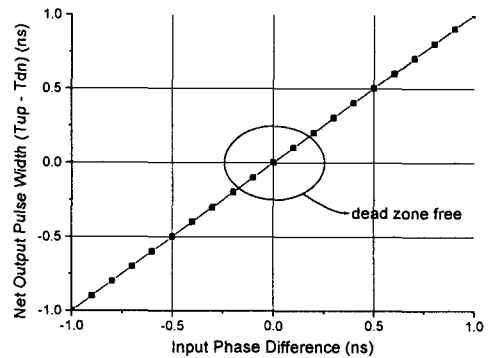


그림 6. Dual PFD의 입출력 전달특성

$K_D$ 는

$$K_D = V_{dd}/2\pi \quad (1)$$

로 주어지고, 위상검출기의 평균 출력전압  $V(t)$ 는

$$V(t) = K_D\theta(t) + V_{dd}/2 \quad (2)$$

로 주어진다. 또한 이 영역에서의 UP-DN의 평균값  $UP(t)-DN(t)$ 는 위상차  $\theta$ 에 비례하여 식 (3)으로 주어진다.

$$UP(t) - DN(t) = \frac{1}{\pi} \theta(t) \quad (3)$$

이를 식 (2)에 적용하면  $V(t)$ 는 식 (4)와 같이  $UP(t)-DN(t)$ 의 식으로 표시된다.<sup>[1][2]</sup>

$$V(t) = \frac{V_{dd}}{2} [UP(t) - DN(t)] + \frac{V_{dd}}{2} \quad (4)$$

### III. D flip-flop 회로 구성

그림 5와 같이 D flip-flop을 정적 게이트 대신 동적 CMOS구조를 사용함으로써 회로가 간단하고 PFD의 동작속도를 빠르게 할 수 있다. 그림 5 (a)는 POSITIVE 방식의 D flip-flop이고, 그림 5 (b)는 NEGATIVE 방식의 D flip-flop이다.<sup>[3]</sup> 그림 6은 시뮬레이션 된 동적 PFD의 입력 위상차( $T_{REF} - T_{VCO}$ )에 대한 출력신호의 위상차( $T_{UP} - T_{DN}$ )를 나타낸 것으로서 dead zone 없이 작은 위상차도 검출하는 특성을 가졌다.

본 논문에서는 동적 CMOS 구조를 사용함으로써 NAND로 구성된 D flip-flop을 간소화시키며 구조적으로 트랜지스터의 수와 기생 캐패시터를 줄여 PFD의 동작속도를 증가시켰다.<sup>[4]</sup>

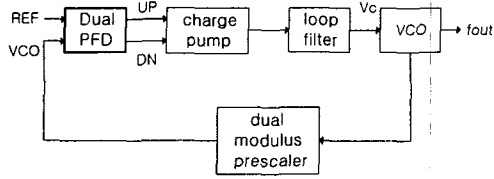


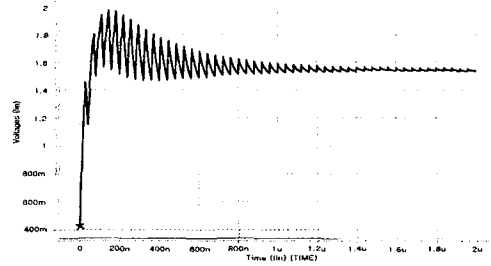
그림 7. PLL block diagram

#### IV. 시뮬레이션 및 고찰

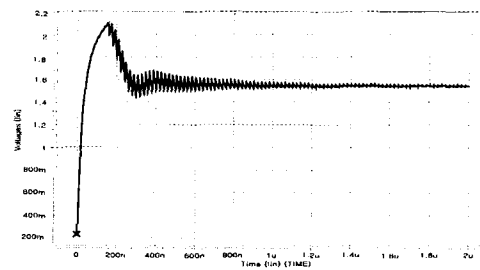
제안한 Dual PFD는 시뮬레이션 결과 두 입력의 주파수가 같고 위상차( $\theta$ )가  $0 < \theta < \pi$  인 경우 일반적인 PFD에 비해 2배의 출력신호를 charge pump에 전달하며  $\pi < \theta < 2\pi$  인 경우 출력신호는 High로 일정한 특성을 가진다. 또한, Dual PFD에 그림 7과 같이 PLL을 구성하여 시뮬레이션을 하였다. 차지펌프는 UP신호와 DN신호에 의한 차지펌프 전류의 오차를 줄이기 위해서 차동구조로 설계하였고, 루프필터는 VCO 조정전압의 리플을 줄이기 위해서 수동필터를 사용하였다. VCO는 링 오실레이터를 이용하였고, 분주기는 TSPC(True Single Phase Clock) flip-flop을 이용한 dual modulus prescaler로서 높은 주파수를 분주할 수 있도록 설계하였다. PLL의 입력으로 25MHz clock을 넣어주었으며 분주수가 64인 경우에 대해서 시뮬레이션 한 결과는 그림 8과 같다. 그림에서 알 수 있듯이 Dual PFD는 일반적인 PFD에 비해 위상동기시간이 빠르며 PLL 입력신호 주기의 0.1% 이내로 locking 하는데 걸리는 시간은  $1.6 \mu\text{sec}$ 로 일반적인 PFD의 경우  $2.1 \mu\text{sec}$  보다 빠른 위상동기시간을 갖는다.

#### V. 결론

일반적인 PFD보다 빠른 위상동기시간을 갖는 Dual PFD를 제안하였다. Dual PFD는 UP 또는 DN신호를 한 주기에 2번 검출하여 charge pump에 전달함으로써 PLL의 위상동기시간을 빠르게 한다. 제안한 회로를  $0.25 \mu\text{m}$  CMOS 공정파라미터를 이용하여 HSPICE 시뮬레이션을 한 결과 일반적인 PFD는 위상동기시간이  $2.1 \mu\text{sec}$ 이지만 Dual PFD를 구성함으로써  $1.6 \mu\text{sec}$ 로 성능이 개선되었다. 따라서 제안한 Dual PFD는 빠른 위상동기시간을 필요로 하는 이동통신분야 및 VLSI 칩의 동기화에 사용될 수 있다.



(a)



(b)

그림 8. VCO조정전압(Vc) 안정화 시간비교

(a) 일반적인 PFD

(b) Dual PFD

#### References

- [1] M. Soyuer and R. G. Meyer, "Frequency Limitations of a Conventional Phase-Frequency Detector," *IEEE J. Solid State Circuits*, vol.25, pp.1019-1022, Aug. 1990
- [2] 박홍준, *CMOS 아날로그 집적회로 설계*, 시그마프레스, 1999
- [3] Q. Huang, R. Rogenmoser, "Speed Optimization of Edge-Triggered CMOS Circuits for Gigahertz Single-Phase Clocks," *IEEE J. Solid-State Circuits*, vol.31, pp.456-465, Mar. 1994
- [4] V. von Kaenel, D. Aebischer, C. Piguet, and E. Dijkstra, "A 320 MHz, 1.5mW @ 1.35V CMOS PLL for Microprocessor Clock Generation," *IEEE J. Solid State Circuits*, vol.31, pp.1715-1722, Nov. 1996