

투스텝 구조를 가진 10비트 40Msample/s 폴딩&인터폴레이팅 아날로그-디지털 변환기

김수환, 성준제, 김태형, 김석기, 임신일*
고려대학교 전자공학과
서울시 성북구 안암동 5가 1번지
* 서경대학교 컴퓨터공학과
Tel:02-927-2398/Fax:02-927-1582

A 10-bit 40-Msample/s Folding & Interpolating A/D Converter with two-step Architecture

Soo-hwan Kim, Jun-jeey Sung, Tae-hyoung Kim, Suki Kim, Shin-il Lim*
Department of Electronics Eng., Korea Univ.
5 Ga Anam-Dong Sungbuk-ku Seoul, Korea
* Department of Computer Eng., Seokyeong Univ.
eksh@ulsil.korea.ac.kr

Abstract

This paper describes a 40-Msample/s 10-bit CMOS folding and interpolating analog-to-digital converter (ADC). A new 2-step architecture is proposed. The proposed architecture is composed of a coarse ADC block for the 6bits of MSBs and a fine ADC block for the remaining 4bits. The amplified folding analog signals in the coarse ADC are selectively chosen for the fine ADC. In the fine ADC, the bubble errors of the comparators are corrected by using the BGM(binary-gray-mixed) code[1] and extra two comparators are used to correct underflow and overflow errors.

The proposed ADC was simulated using CMOS 0.25 μ m parameters and occupies 1.0mm \times 1.0mm. The power consumption is 48mW at 40MS/s with 2.5-V power supply. The INL is under ± 2.0 LSB and the DNL is under ± 1.0 LSB by Matlab simulations.

1. 서론

ADC는 변환속도를 기준으로 저속, 중속, 고속 ADC로 분리한다[2]. 저속이며 12비트에서 15비트까지 높은 해상도를 갖는 ADC로는 적분형 ADC와 시그마-델타 변환기를 예로 들 수 있고, 중속이며 8비트에서 12비트 정도의 해상도를 갖는 ADC로는 SAR형 ADC 등이 있다. 낮은 해상도에 고속으로 동작하는 ADC로는 플

래시형 ADC와 폴딩-인터폴레이팅 ADC가 있다. 본 논문에서는 폴딩-인터폴레이팅 ADC의 단점인 낮은 해상도를 극복할 수 있는 방법으로 새로운 투스텝 구조를 가진 폴딩-인터폴레이팅 ADC를 제안함으로써 보다 높은 해상도를 가질 수 있도록 하였고 영상 신호 처리에 응용될 수 있는 고속의 변환속도와 작은 칩 면적을 구현할 수 있었다. 본문에서는 기본적인 폴딩-인터폴레이팅 ADC에 대해 설명하고, 제안된 투스텝 구조를 가진 폴딩-인터폴레이팅 ADC의 구조 및 동작원리, 각 블록의 동작 등에 대하여 알아본다. 마지막으로 시뮬레이션 결과와 본 논문의 결론을 내었다.

2. 본론

1) 폴딩-인터폴레이팅 ADC

기본적으로 변환속도가 가장 빠른 ADC 구조는 플래시 ADC이다. 이 구조의 가장 큰 단점은 해상도가 높아질수록 지수적으로 증가하는 비교기를 필요로 하므로 칩 면적 증가와 함께 전력소모가 커진다는 것이다. 그러므로 보다 높은 해상도를 갖는 ADC를 구현하기에는 이러한 플래시 구조는 적당하지 못하다. 폴딩 구조를 사용한 ADC는 플래시 구조의 가장 큰 단점인 비교기의 수를 줄이면서 플래시 ADC와 같이 1클럭 주기에 결과를 내어 고속으로 동작할 수 있다는 장점이 있다.

플래시 ADC의 경우 4비트의 해상도를 위해서는 15

개의 비교기가 필요하지만 폴딩 구조를 사용하면 MSB를 결정하는 2개의 비교기를 포함하여 5개의 비교기만으로 구현이 가능하다. 물론 4개의 폴딩 블록이 필요하지만 플래시 구조의 ADC에 비해서는 상당히 개선되었다고 볼 수 있다.

폴딩 블록의 개수를 줄이기 위한 방법으로 인터폴레이팅을 한다. 인터폴레이팅을 함으로서 폴딩 블록의 개수를 줄일 수 있어 전력소모 및 ADC의 크기를 줄일 수 있다. 주의해야할 점은 인터폴레이팅을 하는 구간에서 폴딩 블록의 출력 신호는 입력구간에서 선형성을 보장해야 한다.

결과적으로 폴딩-인터폴레이팅 구조를 사용하면 비교기의 개수를 줄일 수 있을 뿐 아니라 폴딩 블록의 개수도 줄일 수 있는 장점이 있다.

2) 제안된 투스텝 폴딩-인터폴레이팅 ADC

새롭게 제안한 투스텝 폴딩-인터폴레이팅 A/D 변환기의 블록 구성도를 그림 2.1에 나타내었다. 기존의 폴딩 ADC는 6bit 정도의 해상도를 갖는데 비하여 제안된 폴딩 ADC는 2-step 구조를 사용하여 10bit의 고정 해상도를 구현할 수 있었다.

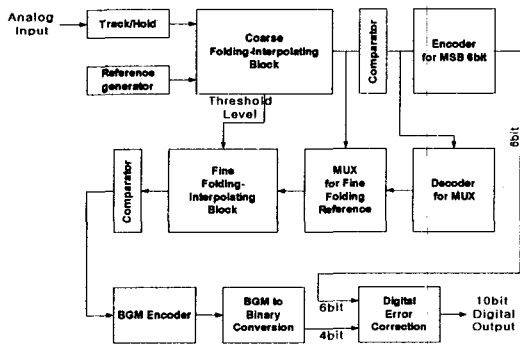


그림 2.1 제안된 A/D 변환기의 블록 구성도

그림에서 coarse 폴딩 블록은 폴딩 factor 4를 가진 증폭기와 4개의 저항으로 인터폴레이팅하여 6비트에 해당하는 64 구간을 결정하게 된다. Coarse 폴딩 블록에서의 비교기는 MSB 2비트를 결정하는 2개의 비교기와 나머지 4비트를 결정하기 위한 16개의 비교기가 사용된다. Fine 폴딩 블록에서는 폴딩 factor 1을 갖는 2개의 폴딩 블록으로 구현되며 16개의 저항으로 인터폴레이팅하여 4bit의 해상도를 갖게 된다. Fine 폴딩 블록에서는 overflow와 underflow를 감지하여 1비트를 보상하기 때문에 17개의 비교기가 필요하다. 일반적인 투스텝 구조를 가지는 ADC는 첫 번째 ADC에서 나온 결과를 가지고 D/A 변환하여 입력신호와와의 차이를 일

정한 gain을 가지고 증폭한 다음 두 번째 단으로 보내어 A/D 변환을 하지만, 본 논문에서 새롭게 제안한 구조에서는 coarse 폴딩 블록의 아날로그 출력이 입력에 대한 정보를 가지고 있으므로 그림 2.2와 같이 coarse ADC의 디지털 결과에 따라 선택적으로 폴딩 블록의 아날로그 출력 값 2개를 fine ADC로 넘겨주게 된다. 이렇게 함으로써 불필요한 D/A 변환기를 없앨 수 있으며, DNL을 보장할 수 있고, 폴딩 증폭기의 gain에 구애를 받지 않게 10bit의 해상도를 구현할 수 있다.

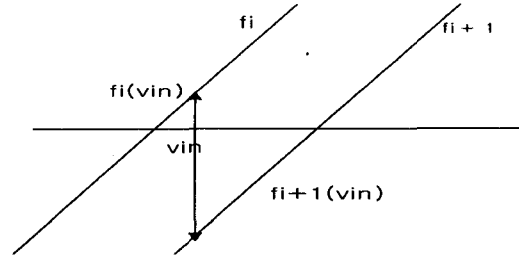


그림 2.2 두 번째 폴딩 블록으로 전해지는 신호

다음 그림 2.3은 제안된 폴딩-인터폴레이팅 A/D 변환기의 타이밍도이다. Track&Holder는 두 번째 폴딩 블록이 동작 할 때까지만 입력을 hold한다. 즉, fine ADC의 비교기가 동작할 때 까지 아날로그 입력신호를 유지하고 있으면 된다.

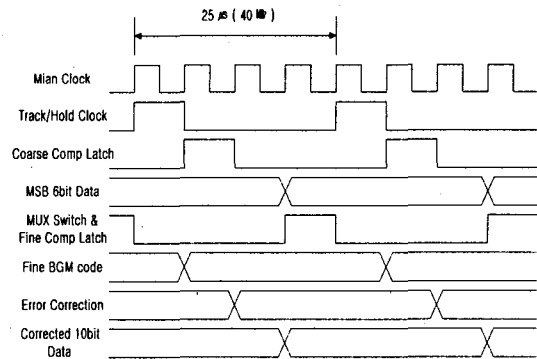


그림 2.3 제안된 투스텝구조 A/D변환기의 타이밍도

3) 폴딩 블록

Coarse 폴딩 블록에서 가장 중요한 것은 폴딩 factor의 값을 결정하는 문제이다. 폴딩 factor가 커질수록 어느 정도까지는 비교기의 수를 많이 줄일 수 있으나, 폴딩 증폭기가 그만큼 많이 필요해지므로 주파수 특성에 제한을 받게 된다. 물론 칩 크기나 전력 소모 면에서도 큰 이득을 기대할 수 없다. 제안된 구조에서는 coarse 폴딩 블록에선 폴딩 factor를 4로 하고 fine 폴딩 블록에선 폴딩 factor를 1로 하였다.

첫 번째 폴딩 블록에서 6비트의 해상도를 내기 위해

서는 5개의 폴딩 블록에서 나오는 신호를 가지고 인터플레이팅하여 17개의 폴딩 신호를 만들어 냈다. 5개의 폴딩 신호를 위해서는 폴딩 factor 4인 증폭기 5개가 필요하다. 제안된 구조에서는 신호가 모두 differential 인 점을 착안하여 폴딩 factor 5인 증폭기 하나를 사용함으로써 폴딩 factor 4인 증폭기 3개와 폴딩 factor 5인 증폭기 하나를 사용하여 증폭기 수를 하나 줄일 수 있었다. 그림 2.4는 이 결과를 보여주고 있다.

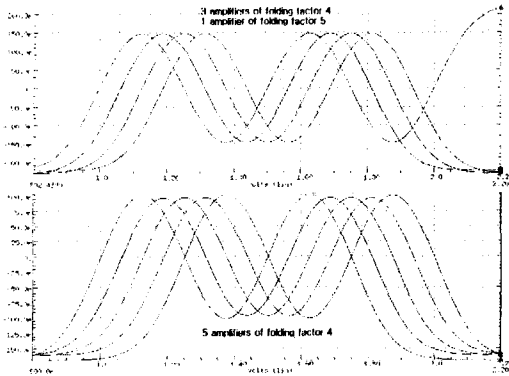


그림 2.4 다른 폴딩 factor를 사용한 신호의 비교

Fine 폴딩 블록은 폴딩 factor 1을 사용하여 비교기의 수는 늘어나지만 선형성의 특성이 좋아 10비트의 해상도를 만족시킨다. Differential 증폭기 두개를 사용하였으며 16개의 저항으로 인터플레이팅하여 17개의 신호를 만들었다.

4) 다이내믹 래치형 비교기

설계된 비교기는 첫 번째 stage에서 신호를 약간 증폭하고 두 번째 stage에서 positive feedback으로 high와 low를 판단하는 다이내믹 래치형 비교기이다. 비교기의 입력이 differential pair중 하나를 off 시킬 만큼이 되면 comparison 구간에서도 dynamic latch 부분은 static current가 흐르지 않게 되고, 미세한 두 입력을 비교할 때만 dynamic latch 부분은 static current가 흐르게 됨으로써 저 전력 특성을 갖게 된다.

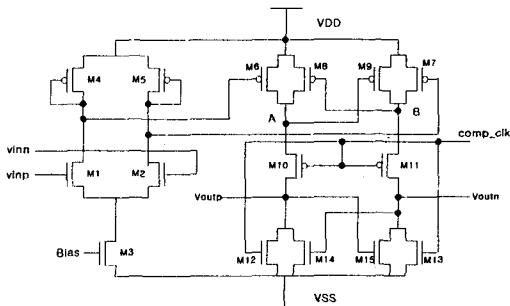


그림 2.5 설계된 비교기 schematic

5) 디지털 인코딩

6비트를 만드는 fine ADC의 인코딩은 비교기 출력에서 나오는 circular thermometer code를 binary code로 변환한다. 나머지 4비트를 만들어 내는 fine ADC의 인코딩은 비교하는 구간이 작으므로 bubble error가 생길 수 있는데 이를 위하여 BGM code를 사용하여 error를 보상할 수 있게 하였다.[1] 그리고 underflow와 overflow를 감지하여 1비트 에러를 보상할 수 있게 하였다.

그림 2.6에서와 같이 MSB와 MSB-1을 결정하기 위해서 f1 코드를 이용한다. i), ii), iii) 구간을 구별하기 위해 두 개의 비교기가 필요하며 다음과 같이 각각 MSB와 MSB-1구간이 결정된다.

- i) 구간 : MSB = 0, MSB-1 = ~f1
- ii) 구간 : MSB = f1, MSB-1 = ~f1
- iii) 구간 : MSB = 1, MSB-1 = ~f1

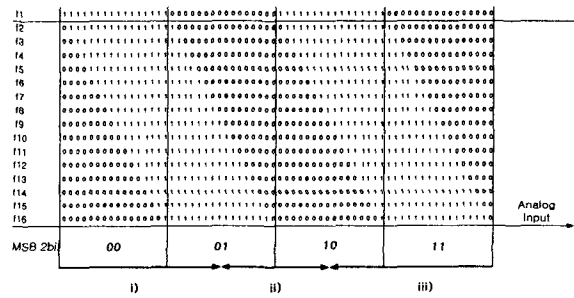


그림 2.6 Coarse ADC encoding diagram

이렇게 함으로써 MSB와 MSB-1 code가 비교기의 offset이 있더라도 f1 코드에 의해 동기 시킬 수 있다. Circular thermometer code를 binary code로 인코딩하기 위해 일단 thermometer code로 바꿔주어야 하는데 이는 f1 code가 0이면 전체코드를 반전시켜 입력이 증가할수록 1이 쌓이는 thermometer code로 만들 수 있다.

6) 디지털 에러 보상

Coarse ADC의 비교기에서 offset에 의해 에러가 발생하여 fine ADC에서 overflow나 underflow가 발생할 때 1을 더해주거나 빼주어서 1비트를 보상할 수 있다.

Fine ADC로 전해지는 아날로그 신호는 이상적으로 '0' level을 포함하고 있다. 그러나 offset에 의해서 error를 가지게 되면 fine ADC에서는 overflow이면 모두 '1'을 가지게 되고, underflow이면 모두 '0'의 코드를 가지게 된다. 모두 '1'의 코드를 가지게 되면 coarse ADC의 6비트에서 '+1'을 수행하고 fine ADC의 4비트는 모두 '0'을 만들고, 모두 '0'의 코드를 가지게 되면 coarse ADC의 6비트에서 '-1'을 수행하고 fine ADC의 4비트는 모두 '1'을 만들어 1비트의 에러를 보상하게 된다.

그림 2.7은 1비트 디지털 에러 보상을 나타낸다. 이는 전체 10비트의 underflow나 overflow도 감지하여 보상해 줄 수 있다.

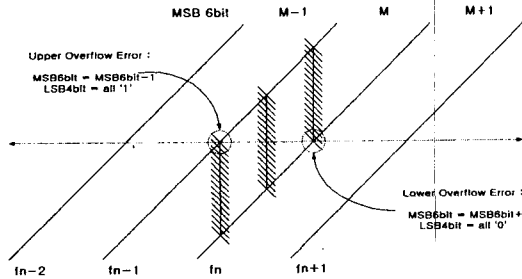


그림 2.7 1비트 디지털 에러 보상

7) 시뮬레이션 특성

제안된 폴딩-인터폴레이팅 A/D 변환기의 INL, DNL은 각 블록의 HSPICE 시뮬레이션 결과를 바탕으로 Matlab 시뮬레이션을 하여 얻을 수 있었다. Matlab 시뮬레이션 과정에서 인가되는 에러요소는 표 2.1과 같다.

표 2.1 Matlab 시뮬레이션 랜덤에러

저항 mismatch	±5%
Coarse folding reference voltage	±2mV
Hold capacitor leakage	±1mV
Coarse comparator offset	±2mV
Fine comparator offset	±4mV

Matlab simulation 결과 최대 INL은 ±2LSB가 나왔으며 DNL은 ±1LSB의 값이 나왔다. 그림 2.8은 제안된 ADC의 HSPICE 시뮬레이션 결과이며 그림 2.8은 Pad를 포함한 Layout 그림이다.

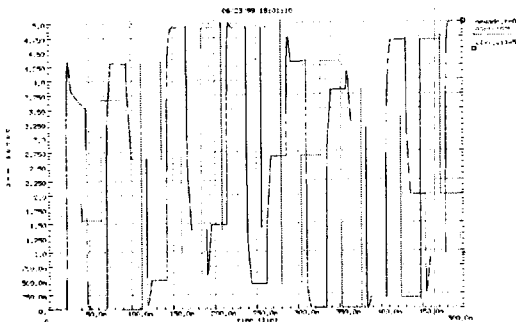


그림 2.8 제안된 ADC의 HSPICE 시뮬레이션 결과

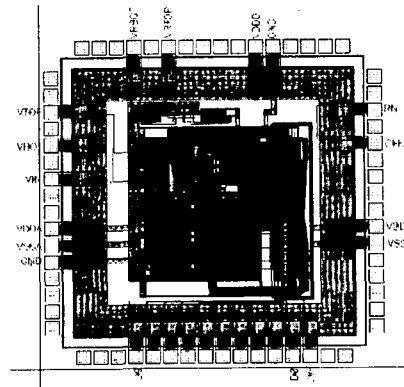


그림 2.9 Layout

3. 결론

본 논문에서는 영상신호처리 등의 분야에서 필요한 작은 면적의 고속, 저전력 특성을 갖는 10-bit 40MS/s 2-step 폴딩-인터폴레이팅 ADC를 제안하였다. 작은 면적과 저전력 특성을 얻기 위해서 새로운 2-step 구조를 제안하였으며 bubble error를 해결하기 위해서 BGM 인코딩을 사용하였다. 또한 제안된 ADC는 각 폴딩 증폭기의 gain에 탄력적으로 동작하도록 설계하였다. 제안된 ADC의 특성은 다음의 표 3.1과 같다.

표 3.1 제안된 폴딩-인터폴레이팅 A/D 변환기의 특성

FIADC 특성	
Resolution	10 bit
Conversion Speed	40 MHz
Power supply	+2.5V(±10%), 0V
Power consumption	48mW
Core size	1.0mm*1.0mm
INL (Matlab simulation)	±2LSB
DNL (Matlab simulation)	±1LSB
Technology	0.25µm
Input Range	1Vp-p

4. 참고문헌

[1] Sanroku Tsukamoto, "A CMOS 6-b, 400-MS/s ADC with Error Correction." IEEE JSSC, vol. 12 pp 1939-1947, Dec. 1998
 [2] 성준제, "시분할 구조와 디지털 에러 보상을 사용한 10비트 1MHz 사이클릭 아날로그-디지털 변환기." 대한전자공학회 추계학술대회, pp 715~718, 1998.11.