

저전압 CMOS 아날로그 4상한 멀티플라이어 설계

유 영 규*, 박 종 현**, 윤 창 훈***, 김 동 용*

*전북대학교 전자정보학부

**전북대학교 공업기술연구소

***우석대학교 정보통신공학과

전화 : (0652) 270-2395 / 팩스 : (0652) 270-2394

Design of Low voltage CMOS Analog Four-Quadrant Multiplier

Young Gyu Yu*, Jong Hyun Park**, Chang Hun Yun***, Dong Yong Kim*

*Faculty of Electronic and Information Engineering, Chonbuk National University

**The Research Institute of Industrial Technology, Chonbuk National University

***Department of Information and Communication Engineering, Woosuk University

E-mail : ie3cas@netian.com

Abstract

In this paper, a low voltage CMOS analog four-quadrant multiplier is presented. The proposed multiplier is composed of a pair of transconductor and lowers supply voltage down to $V_T + 2V_{DS,sat} + V_{DS,triode}$. The designed analog four-quadrant multiplier have simulated by HSPICE using $0.25\mu\text{m}$ n-well CMOS process with a 1.2V supply voltage. Simulation results show that the THD can be 1.28% at maximum differential input of $0.7V_{P-P}$.

I. 서론

아날로그 멀티플라이어는 두신호의 곱에 비례하는 출력을 발생시키는 장치로서 통신 시스템에서 신호를 변조, 복조시키는 중요한 블록이다 이들 아날로그 멀티플라이어의 응용 회로에는 주파수 합성기(frequency mixer), 적응 필터(adaptive filter), neural network, 위상 동기 루프(phase-locked loop) 등 각종 신호 처리 소자로 널리 이용되고 있다.

CMOS 공정을 이용한 아날로그 멀티플라이어는 다양한 방법으로 구현될 수 있는데 첫 번째 가변 트랜스컨덕턴스(variable transconductance) 방법으로 Gilbert 셀을 기본으로 구현된 아날로그 멀티플라이어이다[1]. 두 번째는 quarter-square 방법으로 포화 영역에서 동작하는 MOS 트랜지스터의 제곱 관계식을 이용한 것으로 덧셈과 차동단(sum and difference stage), 제곱

단(squaring stage), 차동단이 필요하다[2][3]. 세 번째 선형 영역에서 동작하는 MOS 트랜지스터의 전압 전류 관계식을 이용하여 구현하는 아날로그 멀티플라이어이다[4]. 이 밖에도 펄스 폭 변조(pulse width modulator)[5], 스위치드 커패시터(switthed capacitor) 방법이 있다.

CMOS 아날로그 멀티플라이어는 공급 전압이 감소함에 따라 입력 동작 범위에 대한 출력 신호의 폭이 감소되는 선형성의 저하를 갖게 된다. 선형성의 증가를 위해 능동 감쇠기(active attenuative)를 이용한 아날로그 멀티플라이어[1] 제시되었고 이 외에도 선형성의 향상을 위한 여러 가지 방법들이 연구되고 있다[6]. 본 논문에서는 선형 영역에서 동작하는 MOS 트랜지스터를 이용하여 낮은 공급 전압에서도 높은 선형성을 갖는 아날로그 멀티플라이어를 설계한다.

II. 선형 트랜스컨덕터를 이용한 아날로그 4상한 멀티플라이어 설계

그림 1은 PMOS 이득단을 갖는 트랜스컨덕터이다 [7]. 그림 1에서 M1이 선형 영역에서 동작할 때 V_{DS1} 은 M3의 V_{SG3} 로 변화시킬 수 있고 V_{SG3} 는 조정 전압 V_C 와 조정 전류 I_C 로 조절이 가능하다. V_C 에 의한 V_{DS1} 의 조절은 제곱근(square root) 관계식을 갖는 I_C 보다 우수한 조정 특성을 보이지만 V_C 와 V_{DD} 사이에 전압 차가 필요하기 때문에 저전압 회로에 적합하지 않다. 따라서 저전압에 동작하기 위해서는 I_C 에 의한 전압 조절이 필요하다.

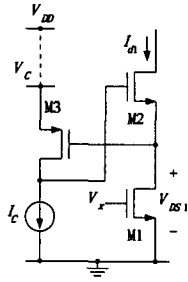


그림 1. PMOS 이득단을 갖는 트랜스컨덕터
Fig. 1. Transconductor with PMOS gain stage

그림 1에서 M1이 선형 영역에서 동작하고 M2, M3가 포화 영역에서 동작할 때 최소 공급 전압 $(V_{DD})_{min}$ 은 식(1)과 같다.

$$(V_{DD})_{min} = V_T + 2V_{DS,sat} + V_{DS,triode} + V_{DD} - V_C \quad (1)$$

여기서 V_T 는 트랜지스터의 문턱 전압(threshold voltage)이다.

그림 2는 감쇠기[1]를 이용한 제안된 트랜스컨덕터이며, 그림 1의 조정 전류 I_C 는 트랜지스터 M4로 변환되었고 M3의 소스는 V_{DD} 에 연결되었다. M4의 게이트 전압 V_B 의 작은 변화에도 M4의 드레인 전압과 출력 전류의 변화가 크기 때문에 감쇠기를 이용하여 트랜스컨덕터를 구성하였다. 감쇠기에서 트랜지스터 M5는 M6을 동작시키기 위해 선형 영역에서 동작하고 M6은 포화 영역에서 동작한다. 몸체 효과를 무시할 때 감쇠기의 출력 전압 V_B 는 식(2)와 같다.

$$V_B = \left[1 - \sqrt{\frac{W_5 L_6}{W_5 L_6 + W_6 L_5}} \right] (V_C - V_{DD} - |V_{Tp}|) + V_{DD} \quad (2)$$

여기서 W 는 채널의 폭, L 은 채널의 길이이다. 감쇠기의 이득을 식(3)과 같이 정의한다.

$$m = 1 - \sqrt{\frac{W_5 L_6}{W_5 L_6 + W_6 L_5}} \quad (3)$$

그림 2에서 M1, M5가 선형 영역에서 동작하고 M2, M3, M4, M6이 포화 영역에서 동작할 때 최소 공급 전압 $(V_{DD})_{min}$ 은 식(4)와 같다.

$$(V_{DD})_{min} = V_T + 2V_{DS,sat} + V_{DS,triode} \quad (4)$$

식(1)과 (4)로부터 제안된 회로는 그림 1의 회로보다 낮은 공급 전압에서 동작이 가능하다.

그림 2에서 트랜지스터 M1이 선형 영역에서 동작

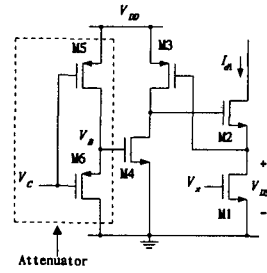


그림 2. 감쇠기를 갖는 제안된 트랜스컨덕터
Fig. 2. The proposed transconductor with attenuator

할 때 출력 전류 I_{d1} 은 식(5)와 같다.

$$I_{d1} = K_1 V_{DS1} \left[(V_x - V_{Tn}) - \frac{1}{2} V_{DS1} \right] \quad (5)$$

여기서 $K_1 = \mu \cdot C_{ox}(W/L)$ 로 μ 는 이동도, C_{ox} 는 산화물 커패시턴스이다. 식(5)에서 출력 전류는 V_{DS1} 의 함수이고 V_{DS1} 은 M3의 V_{SG3} 에 의해 조절될 수 있다. 또한 M3의 V_{SG3} 는 조정 전압 V_C 로 조절이 가능하다. 그림 2에서 M3가 포화 영역에 동작할 때 소스-게이트 전압은 식(6)와 같다.

$$V_{SG3} = \sqrt{\frac{2I_{D3}}{K_3}} + |V_{Tp}| \quad (6)$$

M3의 드레인 전류와 M4의 드레인 전류가 같기 때문에 M4가 포화 영역에서 동작할 때 식(6)은 식(7)로 나타낼 수 있다.

$$V_{SG3} = \sqrt{\frac{K_4}{K_3}} (V_B - V_{Tn}) + |V_{Tp}| \quad (7)$$

$V_{DS1} = V_{DD} - V_{SG3}$ 이므로 식(2)와 식(7)를 이용하여 V_{DS1} 을 구할 수 있다.

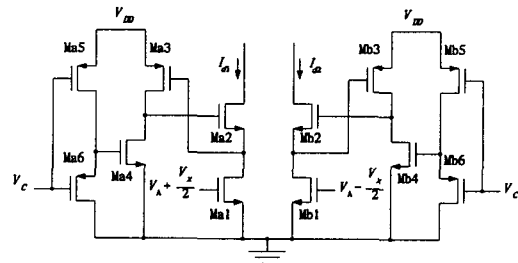


그림 3. 제안된 완전 차동 트랜스컨덕터
Fig. 3. The proposed fully differential transconductor

$$\begin{aligned}
 V_{DS1} &= V_{DD} - V_{GS3} \\
 &= V_{DD} - \sqrt{\frac{K_4}{K_3}} [m(V_C - V_{DD} - |V_{Tp}|) \\
 &\quad + V_{DD} - V_{Tn}] - |V_{Tp}|
 \end{aligned} \tag{8}$$

그림 3은 제안된 완전 차동 트랜스컨덕터 회로이다. 그림 3에서 Ma1과 Mb1이 선형 영역에서 동작한다면 I_{d1} 과 I_{d2} 의 차동 전류 I_{o1} 는 식(9)와 같다.

$$\begin{aligned}
 I_{o1} &= I_{d1} - I_{d2} \\
 &= K_1 V_{DS1} \left[\left(V_A + \frac{V_x}{2} - V_{Tn} \right) - \frac{1}{2} V_{DS1} \right] \\
 &\quad - K_1 V_{DS1} \left[\left(V_A - \frac{V_x}{2} - V_{Tn} \right) - \frac{1}{2} V_{DS1} \right] \\
 &= K_1 V_{DS1} V_x
 \end{aligned} \tag{9}$$

식(8)을 이용하여 식(9)는 다음과 같이 나타낼 수 있다.

$$\begin{aligned}
 I_{o1} &= K_1 V_x \left\{ V_{DD} - \sqrt{\frac{K_4}{K_3}} [m(V_C - V_{DD} - |V_{Tp}|) \right. \\
 &\quad \left. + V_{DD} - V_{Tn}] - |V_{Tp}| \right\}
 \end{aligned} \tag{10}$$

식(10)에서 제안된 완전 차동 트랜스컨덕터는 조정 전압 V_C 에 따라 출력 전류의 가변이 가능하다.

그림 3에서 제안된 완전 차동 트랜스컨덕터를 이용하여 조정 전압 V_C 에 소신호 v_x 를 인가하여 그림 4와 같은 아날로그 4상한 멀티플라이어 구성할 수 있다. 식(11)은 제안된 아날로그 4상한 멀티플라이어의 출력 전류이고 v_x 와 v_y 의 곱을 갖는 멀티플라이어의 식을 얻을 수 있다.

$$\begin{aligned}
 I_{out} &= (I_{d1} - I_{d2}) - (I_{d3} - I_{d4}) \\
 &= K_1 V_x \left\{ V_{DD} - \sqrt{\frac{K_4}{K_3}} \left[m \left(V_C + \frac{V_x}{2} - V_{DD} - |V_{Tp}| \right) \right. \right. \\
 &\quad \left. \left. + V_{DD} - V_{Tn} \right] - |V_{Tp}| \right\} \\
 &\quad - K_1 V_x \left\{ V_{DD} - \sqrt{\frac{K_4}{K_3}} \left[m \left(V_C - \frac{V_x}{2} - V_{DD} - |V_{Tp}| \right) \right. \right. \\
 &\quad \left. \left. + V_{DD} - V_{Tn} \right] - |V_{Tp}| \right\} \\
 &= m K_1 \sqrt{\frac{K_4}{K_3}} V_x V_y
 \end{aligned} \tag{11}$$

IV. 시뮬레이션 결과

제안된 모든 회로는 0.25 μ m CMOS n-well 공정과 라미터를 이용하여 1.2V 공급전압에서 HSPICE 시뮬레이션 하였다. NMOS와 PMOS 트랜지스터의 문턱전

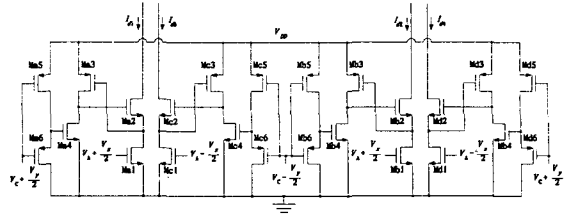


그림 4. 제안된 아날로그 4상한 멀티플라이어
Fig. 4. The proposed analog four-quadrant multiplier

압은 $V_{Tn}=0.556V$ $V_{Tp}=0.609V$ 이다. 그림 5는 그림 3의 제안된 완전 차동 트랜스컨덕터의 DC 특성이다. 입력 전압 V_x 가 -0.8V에서 0.8V까지 차동 입력 전압이 인가될 때 조정 전압 V_C 에 따른 출력 전류를 나타내고 있다.

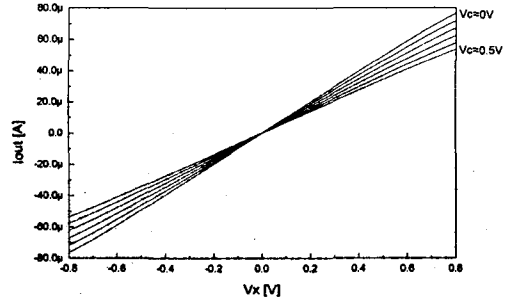


그림 5. 제안된 트랜스컨덕터의 DC 특성
Fig. 5. DC characteristics of the proposed transconductor

그림 6은 4상한 멀티플라이어의 DC 특성이다. v_x 가 -0.7V에서 0.7V까지 변화할 때 v_y 는 -0.7V에서 0.7V까지 0.1V 스텝을 가지고 시뮬레이션 하였다.

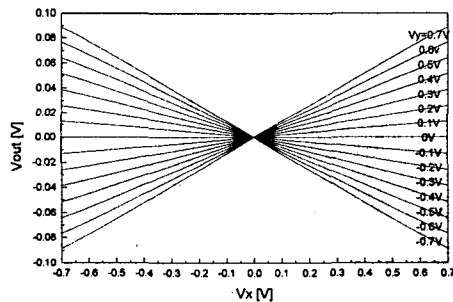


그림 6. 아날로그 4상한 멀티플라이어의 DC 특성
Fig. 6. DC characteristics of analog four-quadrant multiplier

그림 7은 제안된 멀티플라이어의 AC 특성이다. v_y 가 0.7V이고 출력 저항과 부하 커패시터를 3k Ω , 0.5pF 연결하였을 때 차단주파수는 79MHz이다.

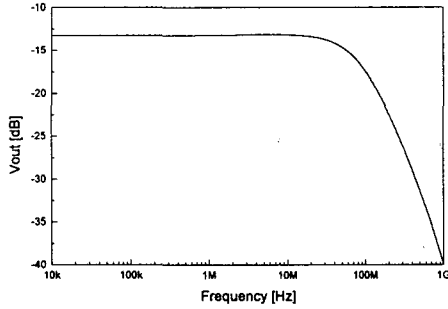


그림 7. 아날로그 4상한 멀티플라이어의 AC 특성
Fig. 7. AC characteristics of analog four-quadrant multiplier

그림 8은 v_x 에 0.7V_{P-P}를 갖는 5MHz의 사인 (sinusoidal) 입력과 v_y 에 0.7V_{P-P}를 갖는 0.5MHz의 사인 입력을 인가했을 때 곱셈된 파형이다.

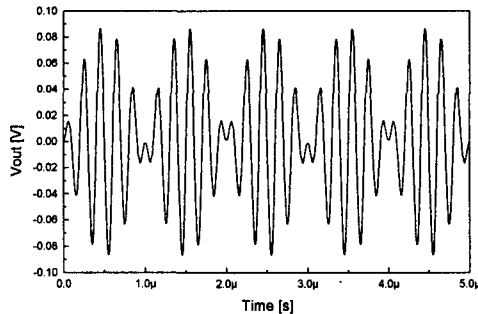


그림 8. 0.5MHz와 5MHz 신호의 곱
Fig. 8. Multiplication of 0.5MHz and 5MHz signals

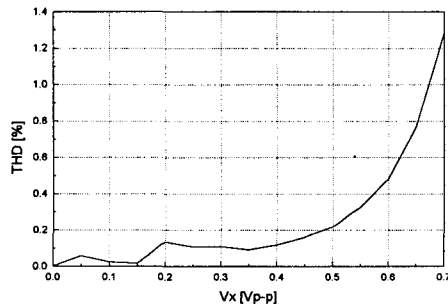


그림 9. v_x [V_{P-P}]의 변화에 따른 시뮬레이션된 THD
Fig. 9. Simulated THD as a function of v_x [V_{P-P}]

그림 9은 v_y 가 0.7V이고 v_x 에 5MHz의 사인 입력을 V_{P-P} 의 함수로 시뮬레이션한 THD 특성이다. v_x 가 0.7V_{P-P} 일 때 THD는 1.28%이다.

IV. 결론

본 논문에서는 저전압에서 동작하는 CMOS 아날로그 4상한 멀티플라이어를 설계하였다. 설계된 멀티플라이어는 한 쌍의 선형 트랜스컨덕터로 구성되는데 본 논문에서 제안된 트랜스컨덕터는 감쇠기를 이용하여 드레인 전압의 변화와 출력 전류의 변화를 감소시켰고 공급 전압을 $V_T + 2V_{DS,sat} + V_{DS,triode}$ 로 낮게 유지할 수 있다. 설계된 아날로그 4상한 멀티플라이어는 1.2V 공급전압에서 0.25 μ m CMOS n-well 공정 파라미터를 이용하여 HSPICE 시뮬레이션 하였다. 시뮬레이션 결과 0.7V_{P-P} 최대 입력에서 THD는 1.28%이고 79MHz의 차단 주파수, 537 μ s의 전력 소모를 갖는다. 따라서 제안된 회로는 저전압, 고주파수 동작이 요구되는 아날로그 회로에 응용 가능할 것이다.

참고문헌

- [1] S. C. Qin and R. L. Geiger, "A $\pm 5V$ CMOS analog multiplier," *IEEE J. Solid-State Circuits*, vol. 22, pp. 1143-1146, Dec. 1987.
- [2] K. Bult and H. Wallinga, "A CMOS analog four-quadrant multiplier," *IEEE J. Solid-State Circuits*, vol. 21, pp. 430-455, Jun. 1986.
- [3] J. S. Pena-Finol and J. A. Connelly, "A CMOS analog four-quadrant multiplier using the quarter-square technique," *IEEE J. Solid-State Circuits*, vol. 22, pp. 1064-1073, Dec. 1986.
- [4] C. W. Kim and S. B. Park, "New four-quadrant CMOS analogue multiplier," *Electron. Lett.*, vol. 24, pp. 1268-1270, Nov. 1987.
- [5] D. Brodarac et al., "Novel sampled-data MOS multiplier," *Electron. Lett.*, vol. 27, pp. 783-785, April 1991.
- [6] C. G. Hwang, A. Hyogo, M. Ismail, H. S. Kim, G. Moon, "LV COMS high speed analog multiplier," *Proc. IEEE Int. Symp. on Circuits and Systems*, pp. 1189-1192, 1998.
- [7] P. Likittanapong, A. Worapishet, and C. Toumazou, "Linear CMOS transconductor for low voltage applications," *Electron. Lett.*, vol. 34, pp. 1124-1125, June 1998.