

불규칙한 소오스/드레인 금속 접촉을 갖는 비대칭 n-MOSFET의 전기적 특성 및 모델

공 동 욱, 정 환 회, 이 재 성*, 이 용 현

경북대학교 전자전기공학부

Tel : (053) 940-8620, Fax : (053) 950-5520, E-mail : kto@hanmail.net

(*) 위덕대학교 정보통신공학과

Tel : (0561)760-1646, E-mail : jaesung@viro.uiduk.ac.kr

Electrical Characteristics and Models for Asymmetric n-MOSFET's with Irregular Source/Drain Contacts

Tong-Ook Kong, Hwan-Hee Jeong, Jae-Sung Lee*, and Yong-Hyun Lee

School of Electronic and Electrical Engineering, Kyungpook National University

Tel : (053) 940-8620, Fax : (053) 950-5520, E-mail : kto@hanmail.net

(*) Dept. of Computer & Communication Engineering Uiduk University

Tel : (0561)760-1646, E-mail : jaesung@viro.uiduk.ac.kr

Abstract - Electrical characteristics of asymmetric n-MOSFET's with different source and drain geometry are experimentally investigated using test structures having various gate width. Saturation drain current and resistance in linear region are estimated by a simple schematic model, which consists of conventional device having parasitic resistor. A comparison of experimental results of symmetric and asymmetric devices gives the parasitic resistance caused by abnormal device structure. The suggested model shows good agreement with the measured drain current for both forward- and reverse-modes.

I. 서 론

비대칭 MOSFET은 사용하는 목적에 따라 크게 두 가지가 있다. 첫째, 소오스, 드레인 또는 채널영역의 도우핑을 달리하거나, 소자의 형태를 변형시켜 소자의 성능을 향상시키기 위한 것이 있고[1~3], 둘째, 소오스, 드레인 또는 전체적인 소자의 형태를 불규칙하게 변형시켜 소자의 집적도를 높이기 위한 것이 있다[4~6].

소자의 성능을 향상시키기 위한 비대칭 MOSFET에는 채널 도우핑 분포를 달리한 MOSFET과 사다리꼴 형태의 게이트 전극을 가지는 MOSFET, 그리고 소오

스와 드레인의 도우핑 분포를 달리한 MOSFET 등이 보고되었다[1~3]. 이러한 MOSFET은 대칭형 MOSFET과 비교하여 동작속도, hot carrier 효과, 농작전압, 짧은 채널효과 등에서 개선된 특성을 나타낸다.

소자의 성능을 향상시키기 위한 비대칭 MOSFET와는 달리 소자의 집적도 향상에 초점을 맞추어 설계 및 제조된 MOSFET은 일반적으로 대칭형 MOSFET 보다 특성이 열화된다[4,5]. 소자의 집적도 향상을 위한 MOSFET로는 소오스/드레인이 비대칭 구조를 가지거나 소오스/드레인이 게이트를 직각이 아닌 각도로 교차하는 구조 등이 제시되었다[4~6]. 이러한 소자에서는 비대칭 구조로 인한 기생 저항 성분이 존재하게 되어 소자의 전기적 특성이 열화된다. 기생 저항의 단점은 silicide 공정으로 대부분 극복할 수 있다. 그러나, 수 Ω/\square 정도의 silicide 비저항과 silicide와 소오스/드레인 영역과의 접촉 저항 성분이 존재하게 되어 silicide 공정으로 비대칭 소자의 열화 특성을 완전히 극복할 수는 없다[7,8]. 따라서, 회로 설계자가 이러한 비대칭형 MOSFET을 회로 설계 시 사용하기 위해서는 소자에 대한 정확한 이해가 필요하다.

본 논문에서는 비대칭 소오스/드레인 구조와 일반적 대칭구조를 갖는 n 채널 MOSFET을 각각 제조하여 그 전기적 특성을 조사하여 모델을 제시하였다. 또한, 이차원 공정 시뮬레이션 프로그램과 소자 시뮬레이션 프로그램을 통해 제시된 모델을 검증하였다.

II. 소자제조 및 측정

대칭형 및 비대칭형 n-MOSFET은 공정에 의한 특성 차를 최소로 하기 위하여 단일 웨이퍼에 제조하였으며, LOCOS (local oxidation of silicon) 소자 분리 (isolation)와 CMOS(complementary MOS)공정으로 제조되었다. 기판으로는 약 $2 \times 10^{15} \text{ cm}^{-3}$ 의 붕소가 도핑된 p형 (100) 실리콘 웨이퍼를 사용하였다. 제조된 소자의 게이트 산화막 두께는 약 70 Å 정도이고, 마스크 상의 게이트 길이는 $0.35 \mu\text{m}$, 유효 게이트 길이는 약 $0.27 \mu\text{m}$ 정도이다. 제조된 소자의 형태를 그림 1에 나타내었다. 게이트 폭은 $3.2 \mu\text{m}$ 에서 $27.2 \mu\text{m}$ 까지 변화시켰으며, 금속 배선을 위한 접촉(contact)부분의 크기는 $0.6 \times 0.6 \mu\text{m}^2$ 이다. 비대칭 MOSFET의 드레인 접촉의 갯수는 대칭형 소자의 경우와 동일하나 소오스는 접촉이 하나뿐이다. 비대칭 MOSFET에서 소오스영역의 접촉이 없는 부분의 길이(l)를 0.4, 0.5, 0.6 및 $0.7 \mu\text{m}$ 로 변화시켜 이 부분에 의한 기생 저항 값의 변화를 분석하였다.

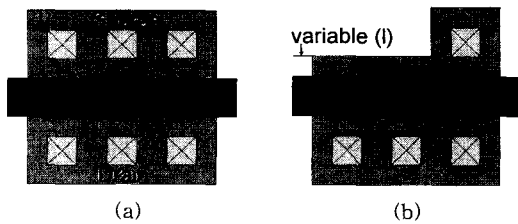


그림 1. 제조된 n-MOSFET 소자의 형태: (a) 대칭형, (b) 비대칭형.

제작된 소자의 전기적 특성은 HP-4145B 반도체 파라미터 분석기를 이용하여 측정하였다. 포화 드레인 전류는 $V_{GS} = V_{DS} = 3.3 \text{ V}$ 에서 측정되었으며, 선형영역에서의 드레인/소오스간 직렬 저항은 $V_{DS} = 0.1 \text{ V}$ 에서 측정되었다. 직렬 저항에는 드레인/소오스 저항 뿐 아니라 채널 저항도 포함된다.

III. 결 과

1. 전기적 특성 측정

그림 2는 대칭형 및 비대칭형 n-MOSFET의 포화 드레인 전류를 게이트폭에 대하여 나타낸 그래프이다. 대칭형 n-MOSFET은 포화 드레인 전류가 게이트폭에 비례하는 특성을 나타내었으나, 비대칭형 MOSFET의 경우에는 전류의 증가폭이 크게 감소하였다. 특히 약 $15 \mu\text{m}$ 이상의 게이트폭에 대해서는 드레인 포화 전류가 거의 증가하지 않았으며, 소오스 접촉이 없는 부분의 길이(l)가 짧을수록 포화 드레인 전류의 크기가 더욱

감소하였다. 즉, 소오스 접촉이 없는 부분의 길이가 짧을수록 이 부분의 저항이 증가하여 소자의 특성이 더욱 열화되었다.

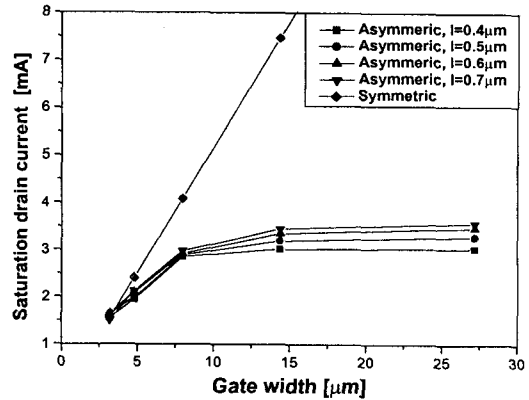


그림 2. 게이트폭에 따른 대칭형 및 비대칭형 n-MOSFET의 포화 드레인 전류 특성.

비대칭 n-MOSFET의 드레인 소오스간 직렬저항의 변화를 분석하기 위하여 선형영역에서의 직렬저항을 측정하여 그 결과를 그림 3에 나타내었다. 대칭형 MOSFET은 직렬저항이 게이트폭에 반비례하는 특성을 나타내었으나, 비대칭 MOSFET은 감소폭이 매우 적었다. 이것은 비대칭형 MOSFET에서 드레인 저항은 게이트폭이 증가함에 따라 감소하지만, 소오스 저항은 소오스 접촉이 하나뿐이므로 게이트 폭이 증가하더라도 크게 감소하지는 않기 때문이다. 이러한 저항은 실제 소자에 걸리는 전압을 감소시키기 때문에 드레인 포화전류 특성에 직접적으로 영향을 미친다.

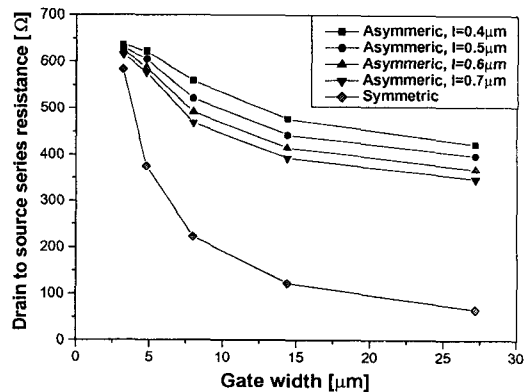


그림 3. 게이트폭 변화에 따른 선형영역에서의 드레인/소오스간 직렬저항특성.

2. 시뮬레이션

비대칭형 소자의 드레인 포화전류 열화의 원인을 소오스 접촉이 하나임으로 인해 증가한 소오스 저항 때문인 것으로 가정하여 대칭형 소자의 소오스에 저항성분을 첨가하여 측정치와 일치하도록 시뮬레이션 하였다. 즉, 비대칭 MOSFET을 대칭형 MOSFET에 소오스 저항을 첨가하여 모델링하였다. 그림 4는 소오스 접촉이 없는 부분의 길이(l)가 0.4, 0.5, 0.6, 및 0.7 μm 인 비대칭 n-MOSFET에 대해 게이트 폭에 의존하는 첨가 저항 값의 변화를 나타낸다. 이들 저항값은 게이트 폭의 1.9~2.0승에 비례하여 증가하는 특성을 나타내었다.

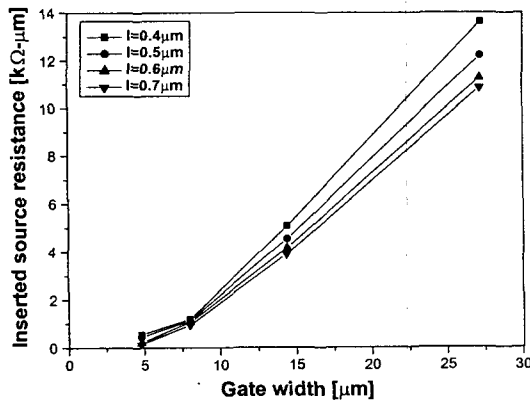


그림 4. 비대칭 n-MOSFET의 시뮬레이션시 첨가한 소오스저항의 게이트 폭에 대한 특성.

주어진 비대칭 소자 구조에서 전류의 흐름을 억제하는 기생 저항의 크기는 그림 5에서처럼 소오스 접촉과 드레인 접촉사이의 거리에 의존하게 된다. 가장 큰 기생저항은 가장 멀리 떨어진 두 접촉사이에 존재하게 된다. 그림 5에서 기생 저항 요소의 길이 및 너비를 각각 a 와 b 라고 할 때, 이들은 식 (1)과 식 (2)로 주어진다.

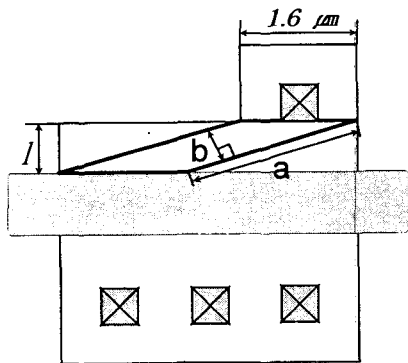


그림 5. 첨가한 저항값 분석을 위한 비대칭 MOSFET.

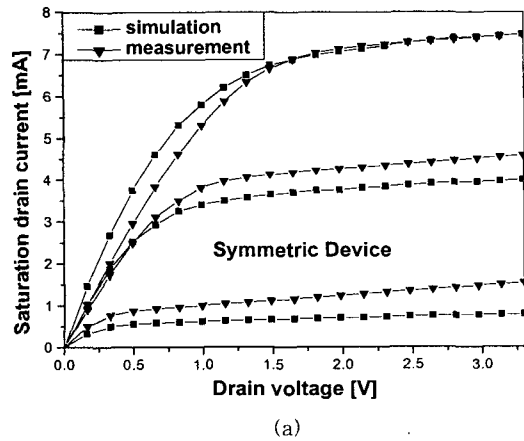
$$a = \sqrt{(W_{gate} - 1.6)^2 + l^2} \quad (1)$$

$$b = 1.6 \frac{l}{a} \quad (2)$$

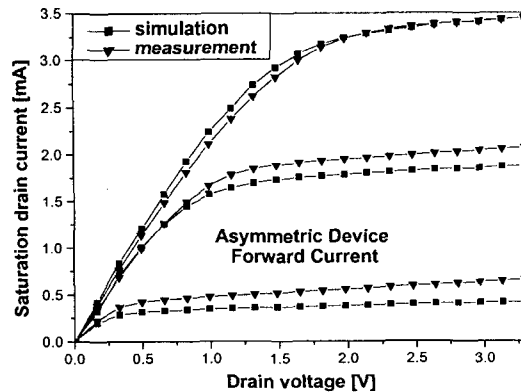
여기서 W_{gate} 는 게이트폭이고, a, b, l, W_{gate} 의 단위는 μm 이다. 각 접촉사이의 저항은 a/b 에 비례하게 된다. 두 수식으로부터 저항 요소의 저항값은 게이트 폭의 약 2승에 비례함을 알 수 있고, 시뮬레이션시 첨가한 저항값과 비슷한 경향을 보인다.

IV. 고찰

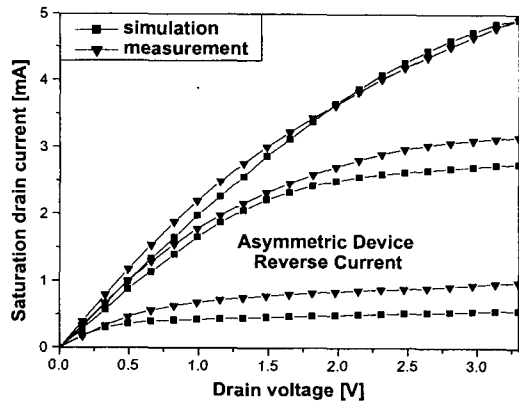
제시한 모델을 이용한 시뮬레이션의 정확성을 확인하기 위하여 측정된 포화드레인 전류의 그래프와 저항 첨가 시뮬레이션으로부터 얻어진 그래프를 서로 비교하여 그림 6에 나타내었다. 여기서, 포화 드레인 전류는 1.1, 2.2 및 3.3V의 게이트 전압에서 각각 측정되었다. 비교한 MOSFET은 모두 게이트 폭이 14.4 μm 이고, 비대칭 MOSFET의 경우 소오스 접촉이 없는 부분의 길이(l)는 0.7 μm 이다. 그림 6에서 비대칭형 MOSFET



(a)



(b)



(c)

그림 6. 대칭형 및 비대칭형 소자에 대한 포화 드레인 전류의 계산값과 측정값의 비교: (a) 대칭형 소자, (b) 순방향 바이어스의 비대칭형 소자, (c) 역방향 바이어스의 비대칭형 소자.

을 $V_{DS}=3.3$ V와 $V_{GS}=3.3$ V을 중심으로 시뮬레이션 하였기 때문에, 대칭형 및 비대칭형 소자의 그래프가 $V_{DS}=3.3$ V와 $V_{GS}=3.3$ V에서는 거의 정확하게 일치하고 있으나, $V_{GS}=1.1$ V, 2.2 V에서는 측정값이 조금 더 큰 것을 알 수 있다. 이러한 차이는 일반적인 대칭형 소자의 그래프에서도 같은 정도의 크기로 발생하고 있고 전체적인 그래프의 형태가 매우 비슷하므로 제시된 모델이 비교적 정확함을 알 수 있다.

V. 결 론

본 논문에서는 일반적인 대칭형 구조 및 비대칭형 구조의 n-MOSFET을 각각 제조하여 그 특성을 조사하였다. 이 측정 결과와 시뮬레이션 결과를 바탕으로 비대칭형 n-MOSFET에 대한 모델을 제시하였다. 비대칭 구조로 인한 기생저항은 게이트 폭의 증가에 대해 이차 함수적으로 증가하였다. 제시된 모델을 이용하여 비대칭형 n-MOSFET의 포화 드레인 전류를 측정값과 거의 동일하게 계산할 수 있었다.

참고문헌

[1] Shinji Odanana and Akira Hiroki, "Potential Design and Transport Property of 0.1- μ m MOSFET with Asymmetric Channel Profile," *IEEE Trans. Electron Devices*, vol. 44, pp. 595-600, April 1997.

[2] Shyh-Chyi Wong, Shyh-Yuan Hsu, Yeong-Her Wang, Mau-Phon Houg and Shih-Keng Cho, "A DC Model for Asymmetric Trapezoidal Gate MOSFET's in Strong Inversion," *IEEE Trans. Electron Devices*, vol. 45, pp. 1459-1467, July 1998.

[3] Taqi N. Buti, Seiki Ogura, Nivo Rovedo and Kentaroh Tobimatsu, "A New Asymmetrical Halo Source GOLD Drain (HS-GOLD) Deep Sub-Half-Micrometer n-MOSFET Design for Reliability and Performance," *IEEE Trans. Electron Devices*, vol. 38, August 1991.

[4] Patrice Grignoux and Randall L. Geiger, "Modeling of MOS Transistors with Nonrectangular-Gate Geometries," *IEEE Trans. Electron Devices*, vol. ED-29, pp. 1261-1269, August 1982.

[5] T. Ohzone and N. Matsuyama, "Electrical characteristics of CMOSFET's with gates crossion source/drain regions at 90° and 45°," *Proc. IEEE 1995 Int. Conf. Microelectron. Test Structures*, vol 8, pp. 197-192, 1995.

[6] Hyunsang Hwang, Hyungsoon Shin, Dae-Gwan Kang and Dong-Hyuk Ju, "Current-Crowding Effect in Diagonal MOSFET's," *IEEE Electron Device Letters*, vol. 14, pp. 289-291, June 1993.

[7] Yuan Taur, Jack Yuan-Chen Sun, Dan Moy, L. K. Wang, Bijan Davari, Stephen P. Klepner and Chung-Yu Ting, "Source-Drain Contact Resistance in CMOS with Self-Aligned $TiSi_2$," *IEEE Trans. Electron Devices*, vol. ED-34, pp. 575-580, March 1987.

[8] G. K. Reeves, A. S. Holland, H. B. Harrison and P. W. Leech, "Electrical Modeling of Silicide Ohmic Contacts for MOS Devices," *Proceeding of the 26th European Solid State Device Research Conference*, pp. 303-306, 1996.