

MILLIMETER WAVE PACKAGE 및 기생 현상

이해영, 윤호성, 김성진
아주대학교 전자공학부

E-mail) hylee@madang.ajou.ac.kr

Millimeter Wave Package and Parasitic Effects

Hai-Young Lee, Ho-Sung Yoon, Sung-Jin Kim

School of Electrical and Electronics Engineering, Ajou Univ.

E-mail) hylee@madang.ajou.ac.kr

Abstract

In this paper, we showed parasitic effects in the millimeter wave package, and proposed a suppression method of parasitic effects using Si lossy layer. From CB-CPW used as a transmission line of the MIMIC package, PPL mode is generated and this causes the parasitic effects considered from this paper. Parasitic effects caused by PPL mode such as resonance, radiation, and crosstalk in the single and multi-chip package can affect to the performance of MIMIC seriously. To suppress these parasitic effects, we adapted Si lossy layer ρ . The PPL mode can be suppressed by the lossy layer, and it eliminates the parasitic effects. It is expected that showed results can be used as luxurious data for design MIMICs and various types of millimeter wave applications.

I. 서 론

최근 정보화에 대한 관심이 높아짐에 따라서 통신환경은 급격히 변화하고 있으며, 보다 다양한 통신 서비스 및 품질 향상을 향한 대중의 요구 또한 급격히 증가하고 있다. 이러한 대중의 요구에 부응하여 통신의 영역은 기존의 음성데이터 뿐만 아니라, 화상데이터의 양방향 서비스로까지 넓어지고 있으며, 데이터는 그 종류뿐만 아니라, 크기 또한 급격히 증가하고 있다. 이에 따라, 최근에는 초고속, 대용량 통신 시스템의 개발이 절실히 요구되어지고 있으며, 활발한 연구 및 개발이 이루어지고 있다. 이러한 추세에 따라 밀리미터

파 대역 이상에서 동작하는 MIMIC(Millimeter wave Monolithic Integrated Circuit)의 개발에 대한 중요성은 크게 부각되고 있다[1][2].

그런데, MIMIC의 주 전송선로로써 사용되어지는 CB-CPW는 기본 CPW 모드로부터 직접 기생 PPL(Parallel Plate Line) 모드가 유도되며, 이 모드는 CPW의 접지 면과 패키지의 그라운드 패들(Ground Paddle) 사이를 따라 진행하며, 칩 내부에서 발생하는 공진 및 혼신의 원인이 된다. 이러한 칩 내부의 공진 및 혼신 외에 그림 1에서와 같이 유한한 폭과 유한한 길이를 가지는 CB-CPW에서는 PPL 모드의 공진 주파수에서 방사(Radiation)가 일어난다. 대부분의 MIMIC를 비롯한 밀리미터파용 소자의 패키징 재료로는 금속이 사용되기 때문에 방사된 에너지는 패키지 내에서 거의 손실 없이 반사되어 패키지 공진을 일으키게 된다. 또한, 멀티 칩 패키지 내 다른 칩의 전송선로 및 소자에 흐르는 신호에 영향을 주어 소자 전체의 특성을 왜곡시키는 원인이 된다[3]-[6].

본 논문에서는 이러한 멀티 칩 패키지 내에서 발생하여 문제가 될 수 있는 기생 현상에 대해서 제시하고, 불필요한 기생 현상을 억제할 수 있는 방법에 대하여 제안하였다. 제시된 기생 현상은 칩 내 공진 및 혼신, 그리고 밀리미터파 패키지 내에서의 공진 및 혼신이 있다. 또한, 이러한 현상을 억제하기 위하여 제안된 방법은 기존의 MIMIC의 주기판으로 사용되어지는 GaAs 기판 밑면에 비저항 ρ 를 갖는 Si 기판을 부착한 것이다.

본 논문에서는 제시된 현상을 주파수에 영역에서 관찰하기 위하여 FDTD(Finite Difference Time Domain method)를 이용하여 멀티 칩 패키지 구조에 대해 완전 파형 해석(Full Wave Analysis)을 수행하였다. 이로부터 밀리미터파 대역에서 패키지 내의 공진 및 혼신이 심각함을 확인하였고, Si 손실층을 이용하여 패키지 내에서 발생하는 기생 현

상들을 효과적으로 제거할 수 있음을 보였다[7][8].

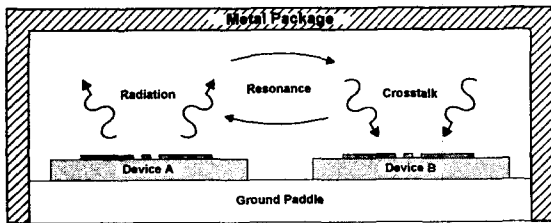


그림 1. 금속 패키지에서의 공진 및 누화
Fig. 1 Resonance and crosstalk in the metal package

II. 싱글 칩 내에서의 공진 및 방사 특성

1. PPL 모드에 의한 공진 특성

기본 CPW 모드로부터 발생하는 PPL 모드는 폭이 제한된 CB-CPW 전송선로의 경계면에서 반사를 일으킴으로써 특정한 주파수에서 공진이 일어나게 한다. 이와 같은 개념으로부터 그림 2의 구조에 대해서 모의 실험을 하였다. 제시된 구조는 접지면의 폭과 길이가 제한된 CB-CPW 전송선로 구조로써 두께 100 μm 를 가지는 GaAs 기판을 주기판으로 이용하였다. 경계 조건은 전경계면에 PML(Perfect Matched Layer) 경계조건을 적용하여 결과의 정확성 및 신뢰성을 높였다.

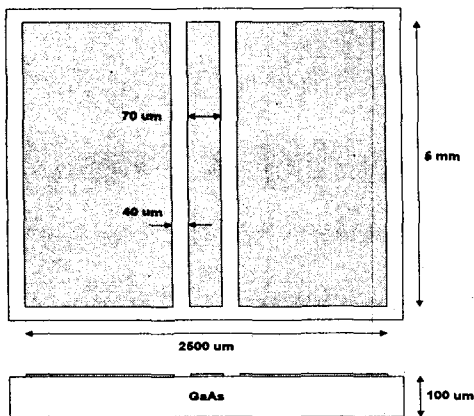


그림 2. 모의실험을 위한 FW-CBCPW 구조
Fig. 2 FW-CBCPW structure for simulation

그림 3은 그림 3에 대한 FDTD 모의실험 결과이다. 그림 3의 결과에서 공진은 약 35 GHz 에서부터 발생하며, 그

이후의 공진이 일어나는 주파수는 매우 불규칙적인 것을 볼 수 있다. 이는 기본 CPW 모드로부터 발생하는 PPL 모드가 일정치 않은 방향으로 진행함으로 인해 다양한 경로로 다중 반사를 일으키기 때문이다. 따라서, 이 중 가장 긴 경로에서 일어나는 반사에 의해 가장 낮은 주파수의 공진이 먼저 일어나며 그 이상의 주파수에서는 다양한 경로에서 일어나는 반사에 의해 불규칙적인 주파수에서 공진이 발생한다.

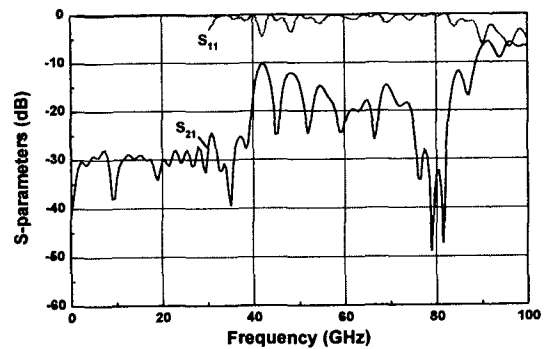


그림 3 CB-CPW 전송선로에서의 특성
Fig. 3 Resonance in the CB-CPW

2. PPL 모드에 의한 방사 특성

그림 4는 앞서 그림 2의 길이가 5 mm인 CB-CPW 전송선로 구조에 대한 손실 특성을 나타낸 것이다. 그림에서 손실은 처음 공진이 일어나는 약 35 GHz에서 급격히 증가하는 것을 볼 수 있다. 이는 공진이 일어나는 주파수에서부터 방사가 일어나는 것으로, CB-CPW 전송선로의 접지면이 PPL 모드에 의한 공진이 일어남으로 인하여 하나의 패치 안테나와 같이 동작하는 것이다. 여기서 방사되는 양은 최대 약 -5 dB 정도으로써 CB-CPW 전송선로의 전송 특성을 크게 열화 시킨다.

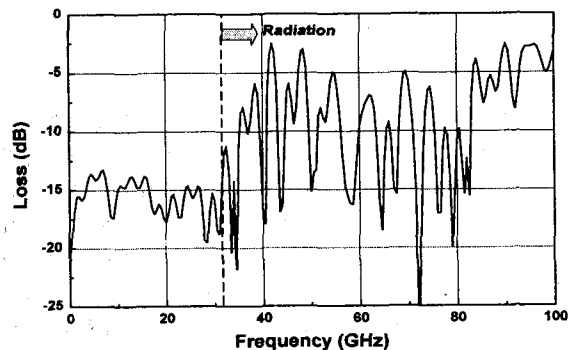


그림 4. CB-CPW에서의 방사 손실 특성
Fig. 4 Radiation loss in the CB-CPW

III. 실리콘 손실층

1. 도체 손실 계산

본 논문에서는 CB-CPW 구조에서 발생하는 PPL 모드를 억제하기 위하여 비 저항 ρ 를 가지는 Si 기판을 이용하였다. PPL 모드는 Si 기판의 도체손실에 의하여 감소되며, 이는 도전율을 가지는 물질의 표면 저항을 계산함으로써 구할 수 있다[9].

그림 5는 본 논문에서 제안된 CB-CPW의 손실층으로써 제안된 Si 기판의 표면저항(Surface Resistance)을 구하기 위한 기본 개념을 나타낸 것이다. 그라운드 패들 부분은 완전 도체(Perfect conductor)이며, TEM 모드가 입사되는 것으로 가정하였다. 이러한 가정으로부터 GaAs 주기판과 Si 손실층의 경계면에서의 식 (4)와 같이 입력 임피던스를 구할 수 있다. 이것의 실수 값을 취하면 표면 저항을 계산할 수 있는데, 이는 Si 층에 의한 손실을 나타낸다.

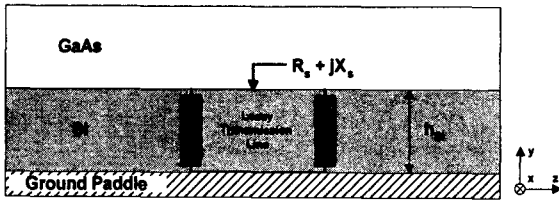


그림 5. 표면 저항의 기본 개념
Fig. 5. Basic concept of surface resistance

$$E_x = \frac{\sqrt{j\omega \mu_0 (\sigma + j\omega\epsilon)}}{\sigma + j\omega\epsilon} \left(C_1 e^{\sqrt{j\omega \mu_0 (\sigma + j\omega\epsilon)} \cdot y} - C_2 e^{-\sqrt{j\omega \mu_0 (\sigma + j\omega\epsilon)} \cdot y} \right) \quad (1)$$

$$H_x = C_1 e^{\sqrt{j\omega \mu_0 (\sigma + j\omega\epsilon)} \cdot y} + C_2 e^{-\sqrt{j\omega \mu_0 (\sigma + j\omega\epsilon)} \cdot y} \quad (2)$$

$$\frac{C_2}{C_1} = - e^{2\sqrt{j\omega \mu_0 (\sigma + j\omega\epsilon)} \cdot h} \quad (3)$$

$$Z_s = R_s + jX_s = - \frac{\sqrt{j\omega \mu_0 (\sigma + j\omega\epsilon)}}{\sigma + j\omega\epsilon} \left(\frac{1 + e^{2\sqrt{j\omega \mu_0 (\sigma + j\omega\epsilon)} \cdot h}}{1 - e^{2\sqrt{j\omega \mu_0 (\sigma + j\omega\epsilon)} \cdot h}} \right) \quad (4)$$

2. PPL 모드의 최적 억제 조건

그림 6은 앞서의 식 (1)~(4)로부터 계산된 Si 기판의 비 저항에 따른 표면저항을 나타낸 것이다. 그림 7에서 주파수 및 손실층 두께의 증가에 따라 저항이 최대가 되는 비 저항은 높은 쪽으로 이동한다. 따라서, 사용주파수 및 기판의 두

께에 맞추어 적절한 비 저항을 갖도록 해야 한다. 또한, 주파수가 높아짐에 따라서 저항이 급격히 증가함을 볼 수 있는데, 이로부터 손실층을 이용한 혼신 감소 방법이 밀리미터파 대역 이상에서 매우 유용함을 알 수 있다.

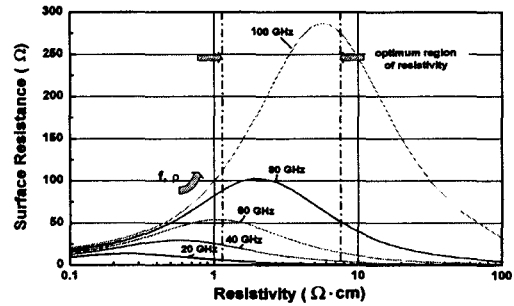


그림 6. $h = 200 \mu\text{m}$ 인 Si 손실층의 표면 저항
Fig. 6. Surface resistance of Si lossy layer with $h = 200 \mu\text{m}$

IV. 패키지 공진 및 혼신 특성

제한된 폭을 가지는 CB-CPW 전송선로에서 PPL 모드의 공진에 의해 방사되는 에너지는 멀티 칩 패키지에서 다른 칩의 전송선로나 소자에 간섭하여 혼신을 일으킨다.

그림 7(a),(b)는 각각 본 논문에서 패키지 공진에 의한 혼신 특성을 관찰하기 위해 설정한 CB-CPW 전송선로이다. 제시된 구조에서 CB-CPW는 각각 다른 $100 \mu\text{m}$ 두께를 갖는 GaAs 기판 위에 구성되어 있으며, 1.25 mm 의 간격으로 떨어져 있다. 이러한 구조를 모의 실험 함으로써 패키지 공진에 의한 혼신 특성을 관찰할 수 있다. 특히, 그림 7(b)의 구조는 주기판 밑면에 Si 손실층을 부착함으로써 패키지 공진이 억제됨으로 인하여 멀티 칩 패키지 내의 혼신 또한 억제됨을 보이기 위한 구조이다.

그림 8의 그래프는 그림 7(a),(b)의 구조를 FDTD로 모의 실험한 결과 중에서 패키지 공진에 의한 혼신 특성만을 나타낸 것이다. 그림 7(a),(b)에서 신호는 왼쪽의 전송선로에 인가되며, 이로부터 PPL 모드의 발생 및 방사에 의한 패키지 공진이 일어나게 된다. 왼쪽의 전송선로에서 방사된 에너지는 패키지 공진을 일으키며 오른쪽의 분리된 전송선로에 간섭함으로써 혼신을 일으킨다. 이렇게 일어난 혼신은 그림 8에서와 같이 특정한 공진 주파수에서 크게 일어난다. 특히, 공진 주파수에서의 혼신은 통상 -20 dB 이상으로, 능동소자의 동작에 간섭할 경우에는 특성을 크게 왜곡시킬 수 있는데, 이는 Si 손실층을 설치함으로써 억제할 수 있음을 결과를 통하여 알 수 있다.

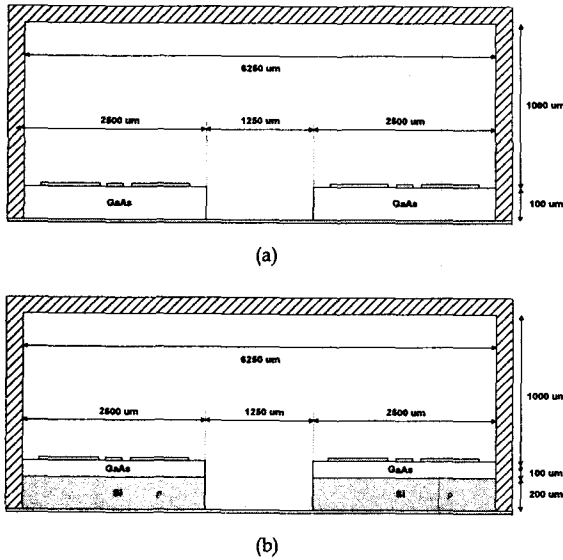


그림 7 모의 실험을 위한 멀티 칩 구조 (a) 혼신이 일어나는 구조 (b) 혼신 억제를 위한 구조
 Fig. 7 Multi chip structure for simulation (a) crosstalk occurring (b) crosstalk suppressed

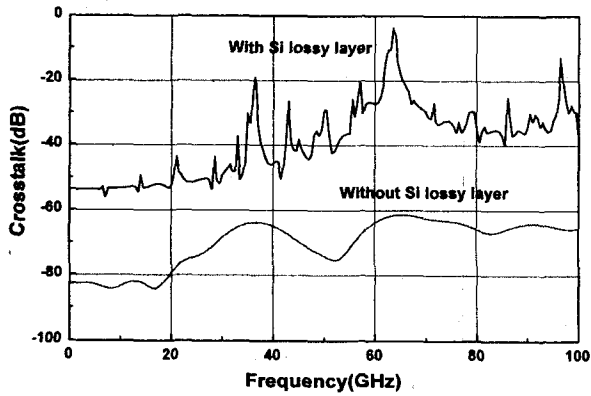


그림 8 멀티 칩 패키지 내에서의 해석된 혼신 특성
 Fig. 8 Simulated crosstalk in the multi chip package

V. 결 론

본 논문에서는 밀리미터파 대역에서 CB-CPW로부터 인가되는 PPL 모드에 의한 패키지 공진 및 혼신과 같은 기생 현상에 대해 제시하고, 기생 효과를 효과적으로 제거할 수 있는 방법을 제안하였다. 제안된 구조는 GaAs 기판에 도핑

된 Si 기판을 부착하여 PPL 모드를 Si 기판의 도체손실 성분을 이용하여 억제하는 것으로, 200 um의 두께와 0.33 $\Omega \cdot \text{cm}$ 의 비저항을 갖는 Si 기판을 부착할 경우 패키지 공진 및 그에 의한 혼신을 효과적으로 억제할 수 있음을 확인하였다.

본 제시된 현상 및 제안된 구조는 저가격, 고품질 MIMIC 설계를 포함한 여러 응용분야에 귀중한 자료로서 이용될 수 있을 것으로 기대된다.

VI. 참고문헌

- [1] Peter Russer, "Si and SiGe Millimeter-Wave Integrated Circuits," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-46, pp. 590-603, 1998
- [2] Yuu Watanabe, "A Flip-Chip MMIC Design with Coplanar Waveguide Transmission Line in the W-Band," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-46, pp. 2276-2281, 1998
- [3] K. Beilenhoff and W. Heinrich, "Excitation of the Parasitic Parallel-Plate Line Mode at Coplanar Discontinuity," *Proc. IEEE. MTT-S Digest*, pp. 1789-1792, 1997
- [4] W. Heinrich, A. Jentzsch, and G. Baumann, "Millimeter-Wave Characteristics of Flip-Chip Interconnects for Multichip Modules," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-46, pp. 2264-2268, 1998
- [5] F. Schieder, H. Heiliger, W. Heinrich, "Coupling between Neighboring CPW's in MMIC's," *IEEE. MGWL*, Vol. 8, pp. 290-292, 1998
- [6] Kwok-Keung M. Cheng, "Effect of Conductor Backing on the Line-to-Line Coupling between Parallel Coplanar Lines," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-45, pp. 1132-1134, 1997
- [7] David M. Sheen, Sami M. Ali, Mohamed D. Abouzahra, Jin Au Kong, "Application of the three-dimensional Finite-Difference Time-Domain method to the analysis of planar microstrip circuits," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-38, pp. 849-857, July 1997.
- [8] Allen Taflov, *Computational Electrodynamics - The Finite-Difference Time-Domain method*, Artech House, 1995, pp. 59-80
- [9] H. Sobol, M. Caulton, *Technology of Microwave Integrated Circuits*, pp. 36-43