

DSP 기반 통신 소프트웨어의 설계 및 테스트베드

황 택 규(黃宅奎)

한양대학교 전자계산학과

전화 : (0345) 400-4047/ 팩스 : (0345) 418-8226

Design of Communication Software Based on DSP and Implementation of Testbed

Tak Gyu Hwang

Department of Computer Science and Engineering Hanyang University

E-mail : tghwang@cse.hanyang.ac.kr

Abstract

In this thesis, we research about Communication System Construction and Test-Bed Realization Method and Software's Design with written program into Embedded Micro Controller's restricted memory region using a DSP Chip to deal with mainly high speed communication. Tools used for modern communication network control use TI or AMD general chip class, but nevertheless responsibility for the point at issue, Analog Device is architecture design model moderated for small communication system.

In this thesis, we present extended model, and realize basic case.

I. 서론

하드웨어 모델의 급격한 발달로 인하여 구현할 수 있는 응용의 범위도 늘어나게 되었다. 널리 쓰이고 있는 범용 프로세서인 intel 80x계열에서 보여주는 대용량 메모리나 느린 처리 속도, 가격이 높은 점, 실시간 처리에 적합하지 않은 점등은, intel i960,386EX, AMD모델 등을 채택하고 있는 Embedded System

Model에서는 고려의 대상이 된다. 특히, 빠른 처리를 요구하는 응용 분야에서는 위의 모델 중에 더 나은 가격/성능대비, 처리 할 수 있는 연산의 범위 및 기타 메모리의 한계, 인터럽트 수 및 버스의 구조를 고려하는데, 이 논문에서는 외부 신호의 입력 및 통신에서의 신호의 노이즈등을 고려하였고, 특히 고속의 통신처리에 적합하다는 면에서 시험 모델로 DSP Chip을 선택하였다. [1] 이 논문에서는 2절에서는 DSP Chip을 이용한 시험 모델의 구현을 보여주고, 3절에서는 이것을 기반으로 DSP 내부 메모리에 다운로드될 프로그램의 설계 및 응용 프로그램의 설계를 기술하고, 이런 하드웨어와 소프트웨어의 설계를 기반으로 한 송수신의 내용 등을 기술하고 결론을 맺는다.

II. Test-Bed 설계 및 구현

80x계열에서 개발된 통신망 제어에 쓰인 하드웨어 플랫폼을 보면 성능이 우수하고 메모리가 충분하다는 점은 있으나, 개발여건이 좋지 않거나 빠른 처리 속도를 가지지는 못하였다. 이런 문제를 해결하기 위한 방안으로 출력에서 나오는 신호를 바탕으로 Point-To-Point 방식의 RS-232C 및 RS-422, 485방식을 구현할 시 또는 Ethernet이나 TOKEN-Ring과 같은 방식에 손쉽게 적용할 수 있는 Prototype 및 구동 프로그램을 작성하여, EZ-ICE 개발환경 하에서 DSP로 구현한

Test-Bed에 적용시켜 외부기기의 제어 및 통신망에서의 데이터 흐름에 구현하였다. [5][6]. 통신망 및 기기 제어를 위한 처리를 위해 이 논문에서 구성한 DSP의 Test-Bed는 그림 1과 같다. [6]

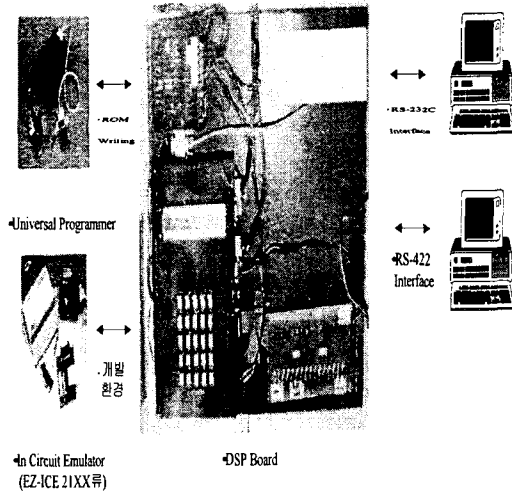


그림 1. Test-Bed

DSP보드는 전체프로그램을 실행하는 ADSP-2101 CPU, 통신을 담당하는 TC232E, Extra Chip(통신 칩) 및 기타 통신 인터페이스를 담당할 부분, 구동프로그램을 담당하는 EPROM, CPU와 TC232E 사이에서 사용하는 데이터를 저장하는 RAM, CPU와 버스 제어간의 인터페이스를 담당할 GAL이나 PAL Logic등으로 구성되어 있다. 이 Logic은 추후에 하나의 확장 보강화 할 예정이다.[1][7].

본 구현에서 사용되는 ADSP-2101 CPU의 기능으로는 송수신 데이터를 처리하는 Double-Buffered 통신 서비스 기능과 IRQ0~ IRQ3까지의 4가지 External Interrupt 기능 및 BMODE에 의한 Boot Mode Select가 있고, BMS나 DMS,PMS에 의한 부트 및 데이터, 프로그램 메모리를 제어할 수 있는 기능, 타이머를 Interrupt할 수 있는 기능을 가지고 있다. 여기서 송,수신 데이터 처리를 위한 통신 서비스는 그림 2와 같다. 그림에서와 같이 DSP보드에는 워드나 바이트의 송수신과 관련된 SPORT 인터럽트와 RS232C를 통한 데이터 송수신을 위한 RS-232C 인터럽트 두 가지가 있다. RS-232C 인터럽트의 발생시 CPU는 8251A와 TC232C에 데이터의 전송 명령을 내리고 RS-232C Interface가 워드나 바이트의 데이터를 수신하는 경우에는 TC232E가 CPU에 인터럽트를 걸어 데이터를 수신한다. 이 것

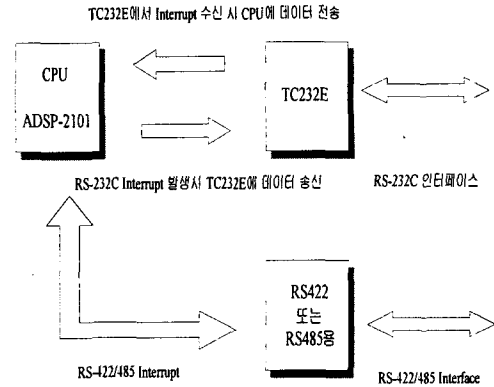


그림 2. CPU와 TC232E간의 인터럽트 서비스 관계

은 접속 규격만 다른 RS-422이나 485에도 동시 적용 가능하고 target 시스템에 접속된 망으로 구성된 컴퓨터들 사이에서도 가능하다. [3] 외부의 기기 데이터를 송수신하기 위해 Photo-Coupler를 사용하여 데이터의 손실이나 방해를 고려하였으며, 기타 소프트웨어적으로 BCC (Block Check Character)를 두었다.[2]

DSP보드에 구현된 GAL(Gate Array Logic)은 Address Decoding 및 CPU의 Data 및 외부입력기간의 중재 모듈을 구현한 모듈로서 GAL16V8 (10~15ns)를 사용하여 구현하였다. GAL에서 수행하는 기능은 외부 통신 인터페이스 Chip에서 수행되는 각종 Interrupt이나 Signal등을 구현하기 위한 Equation으로 구성되어 있고, PAL(Programmable Array Logic)에 비해 속도가 빠르고 동기화에 적합한 점을 들어 채택하였다. 위의 GAL Logic Equation은 Ethernet이나 TCP-IP전용칩의 신호 처리를 위한 것에도 적합하다.[7]

ADSP-2101은 16Bit Fixed-Point가 가능한 MicroProcessor로서 Performance를 최대로 하기 위해 Dual Data Bus와 Instruction Bus를 취하고 있다. 모든 명령어는 Single-Cycle에 수행이 가능하도록 설계되어 있고 CPU내에 Program Memory를 내장하고 있고 ROM과 Data Memory를 같이 가지고 있다. Memory는 Power를 켜는순간 ROM Boot (0 Page)에는 시스템을 진단할 수 있는 루틴이 들어가있고, ROMBoot (1 Page)에는 System Setup 루틴이 들어가 있다. 또한 Harvard Architecture에 근거한 Program과 Data Memory가 분리되어 있는것도 특징이다. 위와 같은 개념하에서 설계한 메모리 맵을 보면 그림 3, 4와 같다.

Address	Content	Description	Extra
0000h	Reset (startup)		
0000h - 0000h	Internal RAM Loaded From	Internal RAM Loaded From	Page 4
0000h - 0000h	Timer (low priority)	External Boot Memory	
0000h			
0000h - 0000h		External Memory	
0000h - 0000h		External Memory	Page 7

그림 3. 프로그램 메모리 맵

Address	Content	Description
0000h - 0000h	SRAM (32k)	External DW4110
0000h - 0000h		External DW4110
0000h - 0000h		OK External DW4110
0000h - 0000h	None (4k)	
0000h - 0000h	External Device & Application	
0000h - 0000h	Serial Port - Byte	
0000h - 0000h	Memory Mapped Control Register	Reserved

그림 4. 데이터 메모리 맵

III. 소프트웨어의 설계

DSP Board상에서 구동하는 프로그램은 RS-232C 및 RS-422/485와 외부기기 및 컴퓨터간의 접속을 통한 전송 및 제어를 위해 DSP-Assembly로 구현하였고, Stand-Alone방식에 의거 독자적으로 운용될 수 있는 C언어의 혼합 프로그램으로 되어 있다. 외부기기의 연결 및 통신 망과의 구동을 위해 DSP내에 있는 메모리의 부족을 극복하기 위해 External Memory를 추가하였고, 이곳에는 외부 기기의 이상 상태, 입력 신호 및 RS-232 및 RS-422/485를 위한 프로토콜 루틴이 추가되어 있다. [1][6]. 구동 프로그램은 그림 5와 같이 송, 수신 메시지에 따른 흐름도로서 표현할 수 있고, 전체 시스템의 초기화 및 RS-232C 및 RS422/485의 인터럽트 루틴 및 외부기기 및 통신망에서의 신호를 전달하

는 루틴으로 구성되어 있다.

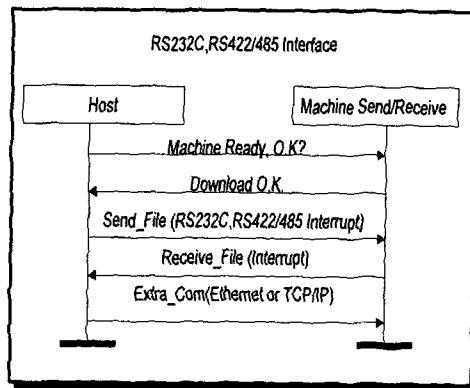


그림 5. 송,수신 메시지에 따른 흐름도

1회에 전송할 수 있는 char수가 제한되어 있으므로 외부 기기를 구동하기 위한 프로그램은 위의 그림에는 표시되어 있지 않으나 여러번의 전송이 필요하고 이때 발생하는 에러는 BCC(Block Check Character)에 의해 표시되어 에러 처리를 하는 제어 코드를 추가하는 프로토콜의 설계가 필요하다.

구동프로그램을 다운로드하기 위한 FlowChart는 아래와 같고, 그림 6에 기술된 Flowchart에 쓰인 루틴은 거의 일반적인 Downloading Routine과 비슷하나 DSP나 TI, 또는 AMD 등의 모델에 따라 Format이 틀리는 점은 고려되어야 할 사항이다. 또한, 이점은 네트워크의 일반적인 구조를 분류할 때 폐쇄형 네트워크에 속하며, TCP/IP나 Ethernet과 같은 개방형 네트워크, 또는 MAP과 같은 개방형 네트워크에서는 새로 고려되어야 할 부분이고, 특히, DSP Model에서만 사용이 가능하도록 설계된 파일의 포맷은 프로그램작성시 고려해야 할 사항이다. [3][5].

IV. 결론 및 추후 연구

기존의 8051이나 80196과 같은 모델에서의 문제점인 개발환경의 어려움을 덜고, User가 손쉽게 새로운 응용프로그램을 구현할 수 있게 EZ-ICE 장비를 이용하여 망 제어 및 로봇 제어에 활용할 수 있는 기반 기술은 가능하다, 무엇보다 DSP내의 Addressing이 충분히 확보되지 않아 제한된 기능을 수행할 수 밖에 없었다. 위에서 구현한 Model은 기초적인 것에 지나지 않아 실제 더 큰 시스템이나 개방형 네트워크로의 확장이나 수 십대의 기기나 컴퓨터를 제어할 시는 무엇보다 자

