

다층신경망을 이용한 디지털회로의 효율적인 결함진단

조 용 현, 박 용 수*

대구효성가톨릭대학교 공과대학 전자정보공학부
yhcho@cuth.cataegu.ac.kr

An Efficient Fault-diagnosis of Digital Circuits Using Multilayer Neural Networks

Yong-Hyun Cho, Yong-Soo Park

School of Electronics and Information Eng., Catholic Univ. of Taegu-Hyosung
yhcho@cuth.cataegu.ac.kr

< Abstract > This paper proposes an efficient fault diagnosis for digital circuits using multilayer neural networks. The efficient learning algorithm is also proposed for the multilayer neural network, which is combined the steepest descent for high-speed optimization and the dynamic tunneling for global optimization. The fault-diagnosis system using the multilayer neural network of the proposed algorithm has been applied to the parity generator circuit. The simulation results shows that the proposed system is higher convergence speed and rate, in comparison with system using the backpropagation algorithm based on the gradient descent.

1. 서 론

전자회로 기술의 발전과 더불어서 정확한 시험 및 진단장비에 대한 수요가 창출되고 있다. 전자회로의 시험은 결함이나 오동작이 발생될 때 빠른 감지와 차단, 그리고 교정이 필요하다. 그러나 이것은 특별한 시험순서에 따라서 기록된 증상을 분석함으로써 이루어진다.[1] 기존의 접근 방식은 결함을 책임지는 회로에 대해 결함의 발생 시점에서 부터 역추적하여 결함을 격리시키는 전문가 시스템을 도입한 것이다. 이 접근 방식은 주어진 회로의 진단여부를 진단하는데 요구되는 비용이 매우 큰 단점이 있다.[1,2]

최근 인공적인 신경망이 기존 방법들의 대안으로 제시되고 있다.[3-6]. 대규모 병렬처리 장치들로 구성된 신경망은 학습 패러다임을 가진다. 이 학습 특성을 이용해 전문가 시스템 구축과 관련된 비용을 감소시키기 위해

서 많은 연구가 되고 있다.

본 논문에서는 다층신경망을 전자회로의 결함진단 시스템에 이용하는 방안을 제시하며, 이와 함께 다층신경망의 효율적인 학습알고리즘을 제안하여 좀 더 효율적인 결함진단을 위한 방안을 제시한다. 새로운 학습알고리즘은 기울기하강과 동적터널링의 결합이다. 제안된 결함진단 시스템을 패리티 발생기에 적용하여 기존의 역전과 학습알고리즘의 다층신경망을 이용한 시스템의 성능과 비교검토 하였다.

II. 역전과 학습알고리즘

다층신경망은 입력 및 출력 층 사이에 하나이상의 은닉층을 가진다. 다층신경망의 학습알고리즘으로써 역전과 학습알고리즘이 가장 널리 이용되고 있다. 그러나 기존의 역전과 알고리즘에는 몇 가지 제한이 있다. 기존의 역전과 알고리즘과 기울기하강에 기초한 변형 역전과 알고리즘은 수렴속도와 학습 파라메타 설정에 대한 견실성에서 제약을 받는다. 또한 전역최적적으로의 수렴도 보장되어 있지 않다. 기존 역전과 알고리즘을 간단히 기술하면 다음과 같다.

i_{jp} 와 y_{kp} 를 p 번째 입력신호에 대해 은닉층과 출력층으로 부터 각각 j 번째와 k 번째 뉴런 출력이라 하자. 그때 신경망의 입·출력 관계는 다음과 같다. 즉,

$$\begin{aligned} y_{kp} &= f_k \left(\sum_j w_{kj} i_{jp} \right) \\ i_{jp} &= f_j \left(\sum_i w_{ji} x_{ip} \right) \end{aligned} \quad (1)$$

이다. 여기서, $f(\cdot)$ 와 w_{kj} 는 뉴런의 활성화수와 가중치

를 나타낸다. 이때 전체 오차함수 $E(\mathbf{w})$ 및 p 번째 신호에 대한 오차함수 $E_p(\mathbf{w})$ 는 다음과 같이 정의된다.

$$E(\mathbf{w}) = \sum_p E_p(\mathbf{w})$$

$$E_p(\mathbf{w}) = 1/2 \sum_k (d_{kp} - y_{kp})^2 \quad (2)$$

여기서 d_{kp} 는 출력층의 k 번째 뉴런에서의 원하는 출력이다. 가중치 벡터 \mathbf{w} 에 대한 전체 오차함수 $E(\mathbf{w})$ 를 최소화하기 위하여, 기존의 역전파 알고리즘에서는 $(\partial E_p(\mathbf{w}) / \partial \mathbf{w})$ 를 계산하고, $E_p(\mathbf{w})$ 의 기울기하강 방향으로 이들 가중치를 경신한다.

이때 출력층의 가중치 경신식은

$$w_{kj}(t+1) = w_{kj}(t) + \alpha \delta_{kp} i_{jp}$$

$$\delta_{kp} = (y_{kp} - d_{kp}) f'_k \left(\delta \sum_j w_{kj} i_{jp} \right)_{kp} \quad (3)$$

와 같으며, 은닉층의 가중치 경신식은

$$w_{ji}(t+1) = w_{ji}(t) + \alpha \delta_{jp} x_{ip}$$

$$\delta_{jp} = f'_j \left(\sum_i w_{ji} x_{ip} \right) \sum_k \delta_{kp} w_{kj} \quad (4)$$

이다. 여기서 가중치 경신은 식(5)와 (6)에 따라 역전파로 이루어진다. 이 알고리즘을 이용한 여러 가지 성공적인 응용들이 보고된 바 있다.

III. 새로운 학습알고리즘

동적 터널링 알고리즘은 Yao[7]에 의해 제안되었다. 이는 동적최적화와 동적터널링을 조합한 전역최적화 알고리즘이다. 동적최적화는 초기 상태에서 시작하여 국소최적점을 찾기 위한 것이고, 동적터널링은 하위유역에 위치한 새로운 초기 조건을 찾기 위한 것이다. 즉, 동적터널링은 동적최적화가 국소최적에 빠지는 것을 방지한다. 따라서 이를 다중신경망의 학습알고리즘으로 적용할 수 있을 것이다.

가중치 벡터 \mathbf{w} 에 대한 오차함수 $E(\mathbf{w})$ 최소화 문제를 생각하자. 문제는 기울기 $(\partial E_p(\mathbf{w}) / \partial \mathbf{w})$ 를 이용하여 $E(\mathbf{w})$ 의 국소최소인 \mathbf{w}^* 를 찾을 수 있다. 즉, $\Delta_p \mathbf{w} = -\alpha (\partial E_p(\mathbf{w}) / \partial \mathbf{w})$ 은 동적최적화와 유사하다. 동적 터널링은 국소최소인 \mathbf{w}^* 에 결정론적이거나 랜덤하게 교란 ϵ 을 가지고 시작하는 다음과 같은 미분방정식의 동적흐름으로 주어진다. 즉,

$$\Delta_p \mathbf{w} = - (\partial E_p(\mathbf{w}) / \partial \mathbf{w}) [1 / \{(\mathbf{w} - \mathbf{w}^*)^T (\mathbf{w} - \mathbf{w}^*)\}^k - k E_p^*(E_p^*(\mathbf{w}))] \quad (5)$$

이다. 여기서 T는 전치를 나타내며, k는 터널링 페널티,

그리고 λ 값은 $(\partial E_p(\mathbf{w}) / \partial \mathbf{w})$. $E_p^*(\mathbf{w}) = E_p(\mathbf{w}) - E_p(\mathbf{w}^*)$ 의 영점 \mathbf{w}^* 의 지수(order)보다 크거나 같은 값을 가진다. 또한 $E_p^*(\cdot)$ 는 다음과 같이 2 영역을 가지는 piecewise-linear 함수로 정의된다.

$$E^*(z) = z, \text{ if } z > 0$$

$$0, \text{ if } z < 0 \quad (6)$$

식 (5)에서 첫 번째 항의 분모 $[(\mathbf{w} - \mathbf{w}^*)^T (\mathbf{w} - \mathbf{w}^*)]^k$ 는 동적최적화에서의 평형점인 국소최소를 제거하기 위한 것이며, 두 번째 항의 소개목적은 하위계곡에 위치하는 새로운 초기조건 $\mathbf{w}^{(0)}$ 을, 즉 $E_p(\mathbf{w}^{(0)}) \leq E_p(\mathbf{w}^*)$ 를 찾기 위한 것이다.

따라서, 동적터널링에 기초한 역전파 알고리즘은 식 (5)에 의해 구해지며, 출력층과 은닉층에 대한 $(\partial E_p(\mathbf{w}) / \partial \mathbf{w})$ 의 각각은 다음과 같이 정의된다.

$$\partial E_p(\mathbf{w}) / \partial w_{ji} = -\alpha \delta_{jp} x_{ip}$$

$$\partial E_p(\mathbf{w}) / \partial w_{kj} = -\alpha \delta_{kp} i_{jp} \quad (7)$$

여기서 δ_{kp} 와 δ_{jp} 는 각각 식 (3)과 식 (4)에 따라 구해진다.

결국, 기울기하강과 동적터널링을 조합한 새로운 학습알고리즘은 그림 1과 같이 나타낼 수 있다. 그림에서 $E_k(\mathbf{w})$ 와 $E_d(\mathbf{w})$ 는 각각 기울기하강과 동적터널링의 역전파 알고리즘을 사용함으로써 계산된 전체 오차함수 값들이다.

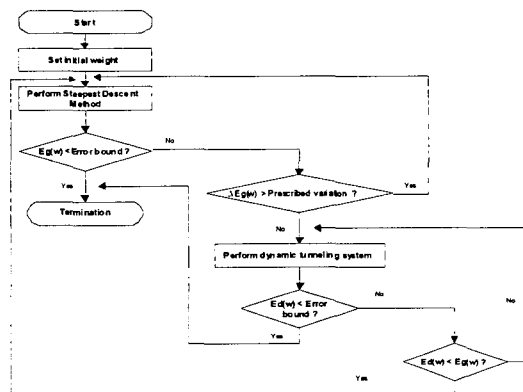


그림 1. 제안된 학습알고리즘의 흐름도

IV. 응용 예 및 시뮬레이션 결과

본 실험에서는 결함식별에 대해 생각한다. 일반적으로 전자회로는 대단히 복잡한 장치들로 구성되어 있기

다층신경망을 이용한 디지털회로의 효율적인 결함 진단

때문에 진단 또한 매우 복잡하므로 본 실험에서는 전기적인 결함을 식별하기 위하여 오직 하나의 결함만을 가지는 것에 대해 국한하여 신경망을 학습시켰다.

그림 2는 실험의 대상회로로 4 비트의 우수 패리티 발생기를 나타낸 것이다. 전기적 결함을 진단하기 위해서 3층 다층신경망을 이용하였다. 입력층과 은닉층의 뉴런은 각각 56 개와 28 개의 뉴런으로 구성하였으며, 출력층은 6개의 뉴런으로 구성하였다.

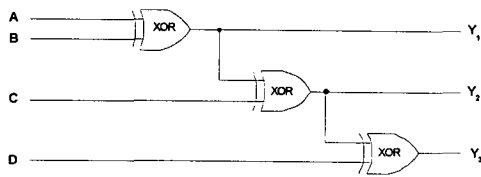


그림 2. 2. 4 비트 우수 패리티 발생기 회로

학습을 위한 입력데이터들을 구성하기 위해서, 4개의 모든 이진 입력들의 조합이 112 가지 시험항목으로 주어지는 즉, 7 개 점(4개의 입력과 3개의 출력게이트)의 16 가지 시험벡터를 생성하기 위해 사용된다. 그림 2에서 가능한 하나의 게이트 결점을 찾기 위하여, 여기서는 2 가지 가능한 결점형태인 게이트가 개방되거나 폐쇄된 상태의 발생을 분석한다. 벡터형태로 이들을 표시하기 위하여 3 개의 게이트 각각은 무결점 상태, 개방상태, 그리고 폐쇄상태로 나타내는 쌍의 값을 할당한다. 실험에서는 모두 6 개의 가능한 결점을 위해 모든 3 개의 게이트에서 두가지 형태의 결함을 찾도록 신경망을 학습시켰다. 그러므로 전체 학습데이터는 동일한 출력 벡터와 관련된 16 개의 시험벡터로 7 가지(1개의 무결점과 6개의 결점있는 것) 부분집합으로 구성된다.

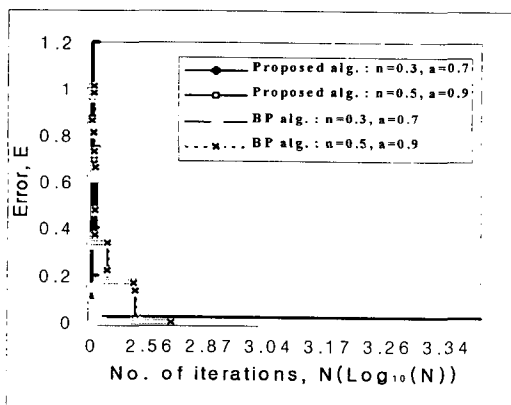


그림 3. 학습율 η 와 모멘트 α 의 변화에 따른 전체오차함수 E의 변화

그림 3은 기존의 역전파와 제안된 학습알고리즘을 각각 사용한 다층신경망에 의한 에러 E의 변화를 보여 준다. 여기서 학습율 η 와 모멘트 α 의 값은 각각 0.3과 0.7, 그리고 0.5와 0.9로 설정하였다. 이때 초기 가중치는 고정된 값으로 설정하였다. 그림에서 제안된 학습알고리즘의 수렴속도는 기존의 역전파 알고리즘에 비해 빠른 수렴속도를 보인다. 그리고 학습알고리즘은 둘 다 학습 파라미터에 그 성능이 의존함을 알 수 있다. 그것은 제안된 학습알고리즘도 기울기하강에 기인하는 학습파라미터들을 이용하기 때문이다.

표 1은 신경망의 초기 연결가중치를 100번 바꾸어 가면서 시도한 4 비트 패리티 발생기의 수렴통계치를 나타낸다. 이는 전역최소로 수렴된 결과만을 나타낸다. 각각의 시도는 랜덤시드(random seed)를 바꿈으로서 가능하다. 표에서 N_{bp} , N_{pa} 그리고 N_{dt} 는 각각 역전파 알고리즘, 제안된 알고리즘, 그리고 동적터널링에 의해 반복된 횟수를 나타낸 것이다. 또한 t_{bp} , t_{pa} 는 역전파와 제안된 알고리즘의 CPU 시간이다.

표 1. 초기 가중치의 100번 변화에 따른 시뮬레이션 결과

η	m	BP algorithm			Proposed algorithm		
		N_{bp}	t_{bp}	P_r	$N_{pa}(N_{bp}, N_{dt})$	t_{pa}	P_r
1.0	m	379.5	334.9	72	2020(1789.3,230.7)	198	100
	σ	102.7	39.0		93.4(65.5,31.9)	11	
0.8	m	1794.5	158.4	79	588(488.1,99.9)	58	100
	σ	52.1	5.7		47.9(31.3,10.6)	8.7	
0.5	m	2174.9	192	83	1377.8(778.5,599.3)	171	100
	σ	985.2	140.6		1191.8(695.7,506.4)	130	
0.3	m	2734.1	241.3	100	1878.9(1696.5,182.4)	182	100
	σ	87.9	22.7		59.3(40.3,20.9)	79	

m : Mean, σ : Standard deviation, t_r : CPU time in [sec],
 P_r : Convergence ratio[%]

표에서도 제안된 학습알고리즘을 사용하는 결함진단 시스템이 기존의 역전파 알고리즘의 시스템보다 수렴성능이 더 우수함을 알 수 있다.

V. 결론

본 논문에서는 다층신경망을 이용한 결함진단 시스템의 구현을 제시하였으며, 좀 더 효율적인 진단을 위해

새로운 다층신경망의 학습알고리즘을 제안하였다. 제안된 학습알고리즘은 기울기하강과 동적터널링에 기반을 둔 조합 학습알고리즘이다. 4 비트 패리티 발생기를 대상으로 제안된 학습알고리즘의 다층신경망을 적용한 결과, 기존의 역전파 알고리즘의 다층신경망을 이용한 경우보다 빠른 수렴속도와 높은 수렴율이 있음을 확인하였다.

참고 문헌

- [1] R. J. Tocci, *Digital Systems: Principles and Applications*, Prentice-Hall, 1977
- [2] P. Ibarra and S. Sahni, "Polynomially Complete Fault Detection Problems," *IEEE Trans. on Computer*, C-24(3), pp. 242-249, March 1975
- [3] D. E. Rumelhart and J. L. McClelland, *Parallel Distributed Processing*, MIT Press, Cambridge, MA., 1986
- [4] J. A. Freeman and D. M. Skapura, *Neural Networks : Algorithms, Applications, and Programming Techniques*, Addison Wesley, Lodon, 1991
- [5] B. J. Kagle, J. H. Murphy, and L. J. Koos, "Multi-fault Diagnosis of Electronic Circuit Boards Using Neural Networks," *International Joint Conference on Neural Networks*, San Diego, vol. 2, pp. 197 - 202, June 1990
- [6] O. Jakubowicz and S. Ramanujam, "A Neural Network Model for Fault-diagnosis of Digital Circuits," *International Joint Conference on Neural Networks*, Washington, D.C., vol.2, pp. 611-614, Jan. 1990
- [7] Y. Yao, "Dynamic Tunneling Algorithm for Global Optimization," *IEEE Trans. on Systems, Man, and Cybernetics*, vol.19, no.5, pp. 1222-1230, Sept/Oct. 1989