

VCO 위상신호를 이용한 주파수 합성기 설계

이준호* 김선홍 김종민 박창선 김동용
전북대학교 전기공학과
expert_lee@hanmail.net

Design of Frequency Synthesizer Using VCO Multi-Phase Signals

Jun-Ho Lee* Sun-Hong Kim Jong-Min Kim Chang-Sun Park Dong-Yong Kim
Department of Electrical Engineering, Chonbuk National University
Tel: 0652-270-2395 Fax: 0652-270-2394
expert_lee@hanmail.net

Abstract

In this paper, an improved integer-N frequency synthesizer that can be synthesized into smaller channel space than input signal frequency is presented. The proposed frequency synthesizer also has an characteristics of fast phase locking time. The frequency synthesizer performed in the manner that it divides various outputs of different phases in VCO by means of dividers that have different control signals respectively and then add the divided signal. In order to confirm the characteristics of proposed frequency synthesizer, behavioral and SPICE simulations are performed using C-language and HSPICE respectively.

1. 서론

PLL은 전자 시스템의 중요 부분으로 클럭 스큐를 제거하는 것을 포함한 타이밍과 리 타이밍, 주파수 합성기, 클럭 복원에 이용이 되고 있다. 특히, PLL을 이용한 주파수 합성기는 통신기술이 발전함에 따라 저잡음, 저전력, 저전압, 빠른 위상동기시간과 작은 채널스페이스등 좋은 특성을 요구하고 있다 [1]. 작은 채널스페이스를 선택하기 위해서는 작은 기준 입력주파수와

큰 분주값을 요구하므로 PLL루프대역이 넓어지고 위상동기시간이 길어진다. 이와 같은 싱글 루프 PLL의 한계점을 극복하기 위해 두 가지 분주 비율을 섞어서 쓰는 fractional-N 합성기가 제안되었다. fractional-N 합성기는 실제 채널 스페이스보다 큰 기준 주파수를 이용할 수가 있고 넓은 대역폭을 이용하기 때문에 빠른 위상동기시간을 가진다. 하지만 이 시스템은 채널 폭과 같은 주파수에서 출력에 spurious 신호를 발생시키는 단점을 가지고 있어 출력 주파수는 non-fractional 시스템에 비교하여 좋지만 높은 질을 요구하는 시스템에서는 불충분하다. 따라서, 본 논문에서는 싱글 루프 PLL의 한계점을 극복하기 위한 방법으로 Integer-N 합성기에서 여러 개의 분주기를 사용함으로써 기준신호의 정수배가 아닌 보다 작은 채널 폭으로 주파수 선택이 가능하고, 넓은 대역폭을 이용하여 빠른 위상동기시간을 가지는 개선된 Integer-N 합성기를 제안한다.

2. 개선된 Integer-N 주파수 합성기

통신 시스템에서 핵심적인 역할을 하는 주파수 합성기는 VCO(Voltage-Controlled Oscillator), 외부의 입력신호와 VCO의 출력 신호의 위상차이를 비교하는 PFD(Phase Frequency Detector), PFD의 출력을

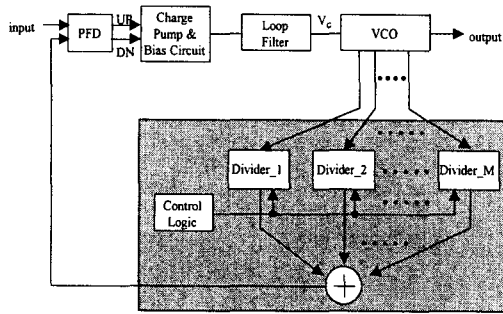


그림 1. 제안하는 개선된 Integer-N 주파수 합성기

VCO의 제어전압으로 변화 시켜주는 Loop Filter, VCO의 출력 주파수를 나누는 분주기로 구성되어 있다. Integer-N 주파수 합성기는 분주기 N을 제어하여 기존 주파수의 배수로 주파수 합성을 할 수 있다. 주파수 합성기의 주파수 합성을 빠르게 하기 위해서는 빠른 위상동기시간을 가져야 하는데 그러기 위해서는 PLL루프 대역이 넓어야 한다. 주파수 합성기는 외부에서 깨끗한 기준 입력을 받기 때문에 VCO 잡음이 기준 입력 잡음보다 크므로 이러한 경우에는 PLL 루프 대역이 넓을수록 잡음특성에 유리한 특성을 가진다 [2]. VCO의 위상 잡음에 대해 강하면서 빠른 위상동기 시간을 가질수 있는 개선된 구조의 Integer-N 주파수 합성기를 제안한다. 제안하는 주파수 합성기의 구조는 그림 1과 같고, 이것은 기존의 주파수 합성기에 M개의 분주기와 제어회로가 부가된 구조이다. 그림 1에서 VCO에서 발생하는 위상 차이가 나는 주파수 신호를 분주기를 통해서 분주하여 병합한 신호를 PFD에서 위상비교하면 VCO의 출력주파수는 기준입력주파수를 M배의 비율로 나눈 채널 스페이스로 주파수 합성이 가능하다. M으로 나누어진 신호는 대역폭이 넓어지므로 VCO에서 발생하는 잡음을 억제함과 동시에 빠른 위상동기 특성을 가진다. 그림 1에서 control신호는 VCO의 분주신호를 고르게 배치하기 위해서 사용된다.

그림 2는 그림 1을 연속시간 모델로 변환한 것이다. conventional 주파수 합성기와 비교하면 클럭 주파수를 M배 하여 대역폭을 넓혀주는 기능이 있고 개선된 주파수 합성기의 출력 주파수는 식 (1)과 같다.

$$f_{in} = f_{out} N/M \quad (1)$$

입력주파수의 N/M형태로 출력주파수를 합성하기 때문에 기준 입력 주파수 보다 작은 채널 스페이스를 가진다 [3].

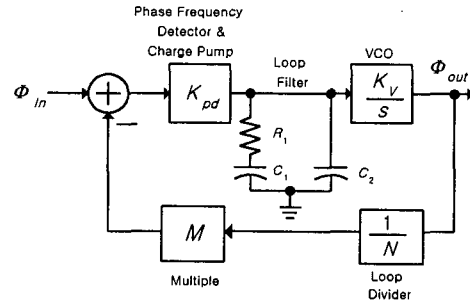


그림 2. 주파수 합성기 연속시간 모델

그림 2는 제안한 주파수 합성기 연속시간모델이다. 루프필터의 전달함수는 식 (2)와 같고 주파수 합성기의 open loop특성은 식 (3)과 같다. 또한 피드백을 포함한 주파수 합성기의 전달함수는 식 (4)이다.

$$F(s) = \frac{1 + s\tau_2}{s(C_1 + C_2)(1 + s\tau_1)} \quad (2)$$

$$G(s)H(s) = \frac{MK_{pd}K_v}{N(C_1 + C_2)} \frac{1 + s\tau_2}{s^2(1 + s\tau_1)} \quad (3)$$

$$\frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{\frac{K_v K_{pd}}{C_1} (1 + RC_1 s)}{s^3 + \frac{1}{\tau_1} s^2 + \frac{MK_v K_{pd} \tau_2}{N(C_1 + C_2)} s + \frac{MK_{pd} K_v}{N(C_1 + C_2) \tau_1}} \quad (4)$$

where, $\tau_1 = \frac{C_1 C_2 R}{C + 1 + C_2}$, $\tau_2 = RC_1$

식 (3)에서 극점 $1/\tau_1$ 을 차단주파수 보다 크게 만들어서 VCO의 전압 리플의 크기를 감소시킬 수 있다. 식 (4)의 Integer-N 주파수 합성기 전달함수에서 N=20 이고, M이 1인 기존의 회로와 M이 3인 제안하는 회로의 주파수 특성을 표시하면 그림 3과 같다. 그림 3에서 보면 M값에 의해서 주파수 합성기의 루프이득이 줄어들고 대역폭이 늘어남을 볼 수 있다. 전달함수의 이득이 M으로 나누어지기 때문에 VCO잡음 특성이 좋아지고 PLL루프 대역폭이 줄어들기 때문에 빠른 위상동기 시간을 가지게 된다. 출력주파수는 식 (1)과 같이 $f_{in} = f_{out} N/M$ 의 채널 간격으로 발생되기 때문에 기존 주파수보다 작은 주파수의 채널로 합성할 수 있다.

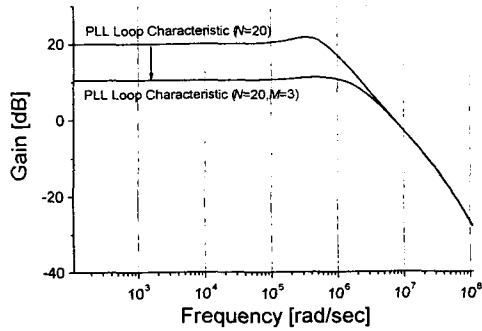


그림 3. 기준경우와 제안한 구조의 루프특성 비교

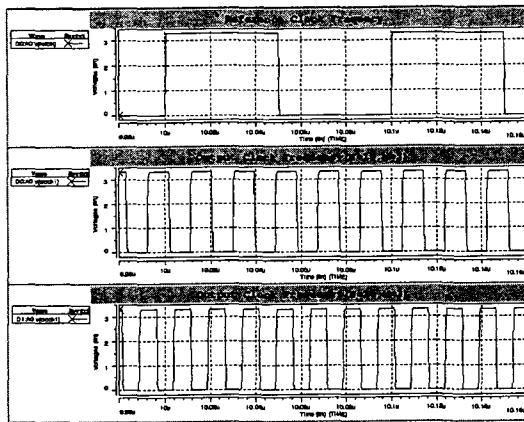


그림 4. N=16, 20 일 때의 출력파형

3. 모델링과 시뮬레이션

3.1 PLL 모델링

시뮬레이션 시간을 절약하고 PLL루프 안정성을 최적화 하기위해서 C언어를 이용하여 PLL 모델링을 수행하였다. 이를 통하여 제안한 주파수 합성기의 타당성을 검증하였고, 루프특성과 설계된 회로를 빠르게 확인 할 수 있었다. 그림 4는 M이 3일때 N이 16, 20인 주파수 합성기의 출력파형이다. VCO는 링 오실레이터를 이용하기 때문에 주파수는 같지만 서로 다른 위상을 가지는 3개의 신호를 발생한다. 3개의 신호를 각각의 분주기를 통해서 분주한 다음에 합친 신호를 위상주파수 검출기에서 비교한다.

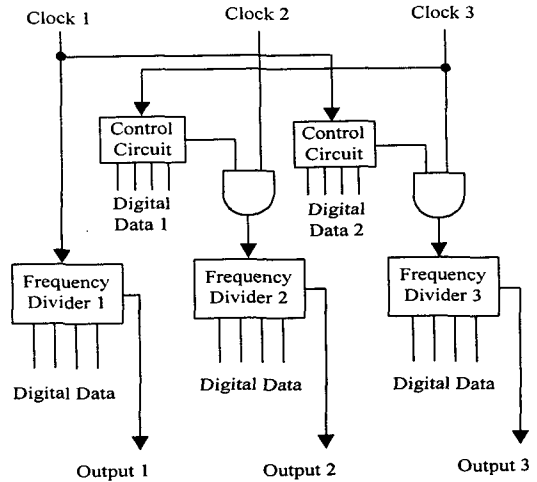


그림 5. Control 부분

3.2 SPICE 시뮬레이션

두 신호의 위상차이를 검출하는 PFD는 동적 CMOS를 이용하여 동작속도를 높였고 dead zone 구간을 제거한 구조를 사용하였다. 차지펌프는 up신호와 down신호에 의한 차지펌프 전류의 오차를 줄이기 위해서 차동구조로 설계하였고 분주율이 커짐에 따라 피드백 루프의 안정성과 락킹시간을 일정하게 하기위해서 차지펌프 전류를 제어할 수 있는 회로를 사용하였다. 루프필터는 VCO의 전압 리플을 줄이기 위해서 그림 2와 같은 수동필터를 사용하였다. VCO는 링 오실레이터를 이용하였고 잡음에 강하게 하기 위해서 차동구조를 이용하였다 [4]. 분주기는 TSPC(True Single Phase Clock) flip flop을 이용하여 높은 주파수를 분주할 수 있도록 설계하였다. M이 3인 경우에 분주기의 출력 신호를 제어하는 Control 부분은 그림 5와 같고 VCO의 출력신호가 clock1, clock2, clock3이고 Digital Data는 분주기의 분주율을 정하는 비트 데이터이다. Control 회로는 제어가 가능한 카운터로 구성된 Enable 신호발생기로서 분주기의 시작점을 정하는 역할을 한다 [5].

제안한 회로는 0.8um CMOS 공정파라미터를 이용하여 설계하였고 HSPICE를 이용하여 M=3이고, N이 16과 20인 경우에 대해서 시뮬레이션 하였다. 시뮬레이션에서 사용한 VCO의 특성은 30MHz에서 150MHz의 주파수 범위를 갖는다.

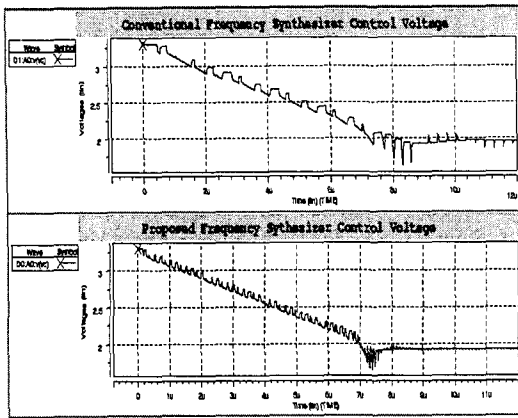


그림 6. VCO 조정전압 안정화 시간비교

입력주파수가 10MHz이고 N=16일 때 53.33MHz의 출력주파수를 발생시키기 위한 초기 위상동기시간은 8us가 소요되었고 N=20일 때 9us가 걸렸다. 그림 6은 VCO의 출력주파수가 안정화되어가는 시간을 비교한 것으로서 위의 파형은 일반적인 경우이고 아래의 파형은 제안하는 구조의 파형이다. 그림 7은 N=16일 때 VCO의 출력파형이다. 그림 7에서 ②, ③, ④는 VCO의 분주된 출력이고, ⑤는 세개의 분주기 신호를 합친 것이다. 이때 발생하는 VCO 출력 주파수 신호는 ⑥과 같이 $f_{ref} \times 16/3$ 의 배수로 발생된다.

4. 결론

입력신호의 주파수보다 작은 채널 스페이스로 주파수 합성이 가능한 개선된 Integer-N 주파수 합성기를 제안하였다. 제안된 Integer-N 주파수 합성기는 VCO에서 위상이 다른 여러 개의 출력을 각각 별개의 제어 신호를 갖는 분주기로 분주하여 병합하는 방법으로 기준입력신호의 주파수보다 작은 채널 스페이스의 주파수 합성이 가능하다. 제안한 회로는 VCO의 잡음특성에 강한 구조를 가지고 있으며 빠른 위상동기시간을 갖는다. 설계 예로서 M이 3이고 N이 각각 16과 20인 주파수 합성기를 설계하였고, behavioral 시뮬레이션을 통하여 최적화를 수행하였고, SPICE 시뮬레이션을 통하여 동작특성 및 주파수특성을 검토하였다.

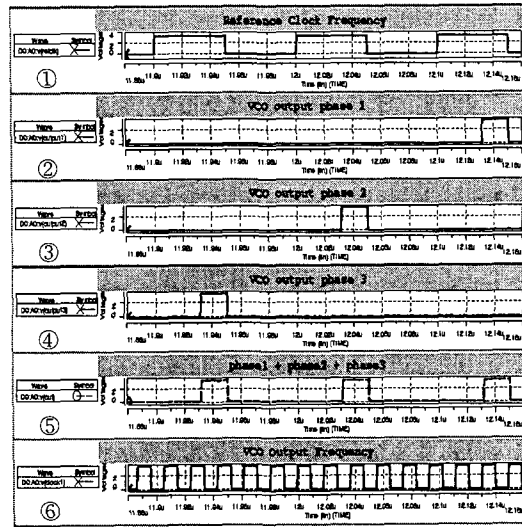


그림 7. VCO 위상신호의 출력 파형

References

- [1] I. A. Young, J. K. Greason, and K. L. Wong, "A PLL clock generator with 5 to 110 MHz of lock range for microprocessors," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1599-1607, Nov. 1994.
- [2] F. M. Gardner, "Charge-pump phase-lock loops," *IEEE Trans. On Commun.*, vol. 28, pp. 1849-1858, Nov. 1980.
- [3] J. Craninckx and M. S. J. Steyaert, "A 1.75-GHz/3-V Dual Modulus Divide-by-128/129 Prescaler in 0.7- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 31, pp 890-897, July. 1996.
- [4] J. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1723-1732, Nov. 1996.
- [5] J. C. Wu and H. H. Chang. "A 550 MHz 9.3mW CMOS frequency divider," in *Proc. IEEE Int. Symp. Circuits and Systems*, pp. 199-202. 1995.