

GSI급 MOS Transistor 개발을 위한 HEI (High-Energy Ion Implantation) 공정 분석 시뮬레이터 개발

손명식*, 박수현**, 이영직**, 권오근**, 황 호 정**

*세명대학교 전자공학과 반도체 통합 시스템 연구실,
(Tel) 0443-649-1311, (E-mail) sms@venus.semyung.ac.kr

**중앙대학교 전자공학과 반도체 공정소재연구실

Development of Analysis Simulation Tool of High-Energy Ion Implantation Process for GSI MOS Transistor

Myung-Sik Son*, Su-Hyun Park**, Young-Chig Lee**, Oh-Keun Kwun**,
and Ho-Jung Hwang**

*Semiconductor Integrated System Laboratory,
Department of Electronic Engineering, Semyung University
(Tel) 0443-649-1311, (E-mail) sms@venus.semyung.ac.kr

**Semiconductor Process and Device Laboratory,
Department of Electronic Engineering, Chung-Ang University

Abstracts - In this research we have developed a reliable, effective and feasible HEI(High-Energy Ion Implantation) process 3D-simulation tool, and then by using it we can predict and analyze the effect of HEI process on characteristics of the standard CMOS device. high-energy ion implantation above 200 keV is inevitable process to form retrograde well and buried layer to prevent leakage current, to conduct field implant for field isolation, and to perform after-gate implantation. The feasible analysis tool is a product of the HEI process modeling verified by comparison of the SIMS experiments with the simulation results. Especially, in this paper, we present the predicting capability of HEI-induced impurity and damage profiles compared with the published SIMS data in order to acquire the reliability of our results ranging from few keV to several MeV for phosphorus and boron implantation.

I. 서론

성공적인 ULSI 및 GSI 시대를 맞이하기 위해서는 미세 소자 제조 공정에 있어서의 물리적 이해와 이론적 예측을 위한 공정 분석 모의 실험 도구로서의 시뮬레이터는 미세한 집적 소자를 개발하고 그 특성을 이해하는 데 있어서 필수 불가결한 이론적 도구가 될 것으로 예측된다. 최근의 Deep Submicron CMOS 기술에 사용되는 Well 형성 방법은 Drive-in 확산 공정을 사용하는 Diffused Well에서 HEI 공정을 이용하는 Retrograde Well로 전환하는 추세에 있다.[1-2] 이는

Drive-in 확산 공정 사용으로 인해 양산성이 떨어지는 문제를 개선하고 소프트 오류율(Soft error rate) 및 래치 업(Latch-up) 내성 향상과 Scaled Device Isolation 등을 개선할 수 있다는 장점을 갖기 때문이다. 이러한 Retrograde Well을 형성하기 위한 HEI 공정에서도 고 에너지 이온 주입으로 유발된 결합 부분의 누설전류를 증가시킬 뿐 아니라 메모리 제품에서는 single bit fail을 유발시키는 등 또 다른 문제점들을 야기하고 있다. 따라서, 정확한 HEI 공정을 분석하기 위해서는 이온 주입 유발 결합의 발생 메커니즘을 규명하고, 이들이 MOS 트랜지스터의 접합 누설 전류 및 게이트 산화 막에 미치는 영향을 분석할 필요가 있다.[3]

이러한 문제의 해결에 있어서 고 에너지 이온 주입은 Well 형성 공정으로서 GSI 시대에도 계속하여 불순물 도핑을 위한 가장 중요한 공정 기술이 될 것으로 예상된다. 본 연구에서는 Retrograde Well 형성 공정, 누설 전류를 억제하기 위한 매몰 층(buried layer) 형성 공정, 필드 산화 층의 필드 분리(field isolation)를 위한 공정과 게이트 구성 후의 이온 주입 공정을 위해 필수적인 고 에너지 이온 주입 에너지 공정 영역(200 keV 이상 영역)에 대한 보다 신뢰성 있는 3차원 공정 모델링 및 검증 작업을 통해 신뢰성과 예측성을 동시에 갖춘 실제 공정에서 분석 도구로서 사용 가능한 공정시뮬레이터를 구성하는 것이다. 또한, 필드 분리(field isolation) 공정 및 게이트 구성 후의 이온 주입 공정을 위한 산화 층 변화에 따른 불순물 분포 의존성의 신뢰성을 확보하기 위해서 산화 층이 있는 3차원 MOS 구조에서의 HEI 공정 분석을 포함하고 있다.

본 논문에서는 고 에너지(200 keV 부터 3 MeV 까지) 이온 주입 영역에서의 정확한 이온 주입 불순물 분포 예측에 대한 신뢰성을 높이기 위해 각 공정 변수 조합에 따른 측정 결과인 SIMS 측정 분포와 3차원 TRICSI 이온 주입 시뮬레이션을 통한 1차원 결과와 검증 보완 작업을 진행하였다. 특히, Boron 및 Phosphorus 고 에너지 이온 주입 분포 및 결함 발생 분포에 대한 결과를 신뢰성이 높은 몬테 카를로 이온 주입 모델링을 통해 예측성을 확보한 1차 결과이다.

현재 진행되고 있는 2차 연구에서는 산화 층 두께에 따른 불순물 분포 의존성에 대한 예측성을 확보하고, 실 공정에서 사용 가능하도록 효율성을 극대화하는 해석 알고리즘을 개발하여 3차원 소자 시뮬레이터인 Davinci와 연계될 수 있도록 출력 형식을 통일하여 HEI 공정이 소자 특성에 미치는 영향을 다차원적으로 분석할 수 있는 공정 분석 도구를 제공하게 될 것이다. 또한, HEI 공정에 의해 발생한 결함 분포에 대한 검증은 XTEM 이나 RBS/channeling 측정 결과와 비교하여 이루어 질 것이다.

II. HEI 공정 모델링

200 keV 이하의 B, P 및 Si 이온 주입에 대한 기존 TRICSI 모델의 검증 작업이 불순물에 대한 SIMS 측정과 결함 분포에 대한 RBS/channeling 분포와 비교하여 비교적 잘 일치하는 결과를 얻었다.[4] 따라서, 이러한 에너지 영역을 고에너지 영역으로 확장하는데 있어 중요한 몬테 카를로 시뮬레이터의 물리적인 두 가지 요소, 즉 전자 여기에 의한 전자 에너지 손실 모델과 결함 누적에 따른 디체널링 모델이 필수적으로 수정 보완되어야 한다. 본 1차 연구에서는 몬테 카를로 이온 주입 모델의 전자 저지력 및 결함 누적 모델 연구가 수행되었다.

1. HEI 전자 저지력 모델

HEI 공정을 위해 개발한 전자 저지력 모델은 저 에너지 모델[4]과의 일관성을 위하여 식 (1)과 같은 형태를 띄고 있다. 즉, 충돌 변수와 무관한 산란간 거리에 비례하여 잃는 전자 에너지 손실 모델 ΔE^{nl} (nonlocal model)과 핵 충돌과정에서 핵 주위에 묶여 있는 가전자대 전자들간의 전자 여기에 의해 잃는 에너지 손실 모델 ΔE^{loc} (local model)의 비로 전체 전자 에너지 손실을 정의한다. local 모델은 S. Morris 모델을 사용하였고, nonlocal 모델로는 LSS 모델을 사용하였다. 그리고, 좀 더 빠른 수행 시간을 보장하기 위하여 주입 에너지의 1/1000 간격으로 전자 저지력을 미리 계산한 후 메모리에 테이블화하여 사용하였다. 고 에너지 영역에서는 전자 저지력에 의한 에너지 손실이 주가 되므로 아래 (1)식의 K_H (> 1)는 고 에너지 영역과 저 에너지 영역간의 새로이 제안된 보정 항이다.

위에서 제안한 모델을 사용하여 Boron 인 경우에는 380 keV까지, Phosphorus 인 경우에는 4.8 MeV까지 확장 적용되었다.

$$\Delta E_e = [(1 - F) \cdot \Delta E^{loc} + K_H \cdot F \cdot \Delta E^{nl}] \quad (1)$$

$$K_H = (K_{ion} v_r)^{k_{ion}} = (K_{ion} \frac{v}{v_B})^{k_{ion}} \quad (2)$$

표 1. 실리콘에서 B, P 및 Si 이온에 대한 전자 에너지 손실 모델의 계수들: k/k_L 은 LSS 모델 계수 k_L 에 대한 보정값이며, a/a_m 은 Oen과 Robin이 제안한 값에 대한 차단 길이의 비이다. F는 non-local 모델 계수이다. E는 eV 단위의 에너지이다.

이온	k/k_L	F	a/a_m	K_{ion}	k_{ion}
P, Si	1.50	$0.25(E/eV)^{0.05}$	0.55	2	0.6
B	1.59	$0.14(E/eV)^{0.12}$	0.40	1	0.0

2. HEI 공정 유발 결함 누적 모델

효율적이고 정확한 물리적 토대의 일관성 있는 이온 주입 공정 시뮬레이션을 위하여 이온 주입된 이온의 궤적 및 반동된 실리콘 원자의 궤적을 모두 추적하고 이때 발생하는 결함과 틈새 정보를 이용하여 통계적 확률을 통해 점결함의 누적으로 인한 디체널링 과정과 상온 이온 주입시의 결함 재결합을 모델링하였다. 이전 버전은 점결함 및 클러스터링, 비정질 층 형성들을 간단한 확률을 통하여 모델링하였다.[5] 그러나, 최근 MDS(Molecular Dynamics Simulation) 결과는 가벼운 B인 경우에도 국부 비정질 영역(amorphous pockets)을 형성하는 것을 보여 주고 있으며, 또한, 이러한 국부 비정질 영역은 간단한 점결함의 누적만으로는 정확한 불순물 분포를 예측할 수 없다는 것을 보여 주고 있다.[6] 이러한 국부 비정질 영역은 이온 주입되는 이온 질량 및 에너지, 그리고 도즈에 따라 증가하며, 결함 재결합 과정에 의해서도 완전히 소멸되지 않는 것으로 알려져 있다. 따라서, 이러한 국부 비정질 영역의 형성 및 국부 비정질 영역을 모델링하기 위하여 다음 식과 같은 형태의 디체널링 함수이다.[4]

$$P_d = k_d \cdot (1 - e^{-\frac{N_d + N_i}{N_{sat}}}) = P_a + P_i \quad (4)$$

$$P_a = k_a \cdot f_d \quad (5)$$

$$P_i = (1 - k_a) \cdot f_d \quad (6)$$

여기서, k_a 는 각 이온 질량에 의존하는 디체널링

계수이며, P_a 는 국부 비정질 영역을 지나가게 될 확률이며, P_i 는 점결합으로 존재하는 틈새(interstitial)를 만날 확률이다. 국부 비정질 영역을 만날 확률 P_a 및 하나의 틈새 원자를 만날 확률 P_i 의 합으로 디채널링 함수를 구성하였다. k_a 는 이온 질량에 의한 국부 비정질 영역 형성 형태를 위한 계수이며, 이온 질량이 높을수록 큰 상수 값으로 결정된다. B 이온인 경우에는 비교적 적은 결함을 생성하므로 작은 k_a 값을 사용하였다. 또한, 충돌 실리콘 격자 위치가 결공(vacancy)일 확률 함수와 재결합 확률 함수[4]를 위한 계수들은 저 에너지 모델을 그대로 사용 적용하였다. 그림 1.에서는 각 이온에 따른 비선형 재결합 확률 함수를 나타내었다. 자세한 사항은 참고 문헌 [4]를 참조하기 바란다. 따라서, 본 모델은 주입되는 이온 질량에 의해 생성되는 비정질 국부 영역을 비교적 최근의 실험 및 연구 결과와 일치하는 결함 분포를 얻을 수 있다. 또한, 이전에 개발된 모델에서의 재결합 확률 함수는 단순히 농도에 의존하는 1차 선형함수였으나 결함 재결합 과정은 비선형 재결합 과정으로서 단순한 1차 함수로서는 설명하기가 어렵다. 국부 비정질 영역을 포함시키는 경우 결함 재결합 과정이 이러한 국부 비정질 영역의 영향을 받아 도즈가 증가하면 국부 비정질 영역의 영향으로 점결합 재결합율이 감소할 것으로 예상된다. 이러한 고찰은 최근의 S. Tian의 결과[7]와 일치하며, 이를 비선형 함수를 도입하여 모델링[4]하였다. 저 에너지 영역과 고 에너지 영역에 걸쳐 일관성 있게 사용된 각 이온에 대한 전자 에너지 손실 모델에서의 계수값 및 디채널링 계수값을 표. 1과 표. 2에 정리하여 나타내었다.

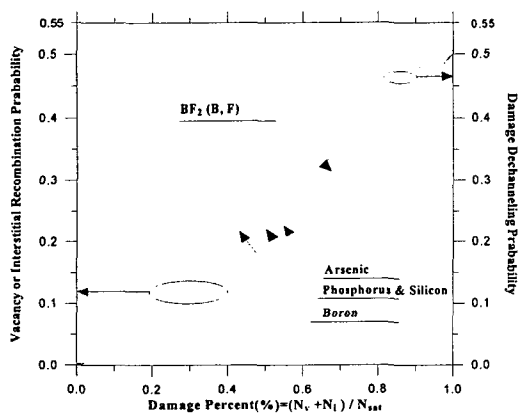


그림 1. 이온에 따른 결함 재결합 함수

표 2. TRICSI 결함 모델에서 저 에너지 영역과 고 에너지 영역에 걸쳐 일관되게 사용된 디채널링 계수

이온	P	Si	B
k_a	0.80	0.80	0.80
k_a	0.48	0.48	0.35

III. 시뮬레이션 결과 및 검증

그림 2.에서는 B 이온 주입 결과에 대한 SIMS 측정치와의 비교도이며, 현재까지는 380 keV까지 검증되었다. 그림 2.(a)는 B 이온 주입에 대한 전자 에너지 손실 모델의 검증을 위하여 도즈(dose) $1 \times 10^{13}/\text{cm}^2$ 로 15에서 380 keV까지 에너지를 변화시켜 가며 시뮬레이션한 채널링 이온 주입 공정에 대한 SIMS 측정치[8]와의 검증 결과이다. 80 keV 이하에서는 비교적 좋은 결과를 얻었으나 그 이상에서는 오차가 크게 나타나고 있는 데 이는 앞으로 좀 더 보완 검증 되어야 할 것으로 여겨진다. 그림 2.(b)는 B 이온 주입에 대한 도즈 의존성을 검증하기 위한 SIMS 측정[7]과의 결과 비교도이다. 200 keV 이상에서의 도즈 의존성 검증을 위한 실험 결과가 아직 나오지 않아 우선 80 keV까지의 디채널링 모델 결과를 나타내었다. 이러한 결함 누적 메커니즘에 대한 모델은 에너지가 MeV 영역으로 확장되더라도 그대로 적용 가능할 것으로 여겨진다. 높은 도즈인 경우에도 개발한 결함 모델이 SIMS 분포를 잘 예측함을 알 수 있다.

그림 3.에서는 P 이온 주입 결과에 대한 SIMS 측정 결과[9]와의 비교도이며, 현재까지는 4.8 MeV 까지 검증되었다. 그림 3.(a)는 P 이온 주입에 대한 전자 에너지 손실 모델의 검증을 위하여 도즈(dose) $3 \times 10^{14}/\text{cm}^2$, 30에서 400 keV까지 에너지를 변화시켜 가며 시뮬레이션한 채널링 이온 주입 공정에 대한 SIMS 측정치[8,10]와의 검증 결과이다. 비교적 에너지 의존성을 잘 일치함을 확인하였다. 그림 3.(b)는 500 keV에서 2.9 MeV까지의 P 이온 주입에 대한 P 불순물 농도 및 결함 농도 분포도이며, 동시에 비정질화율을 나타내었다. 에너지 증가에 따른 결함 증가를 잘 나타내고 있다. 저 에너지 이온 주입과는 다르게 고 에너지 이온 주입에서는 표면 쪽에서 비교적 적은 결함을 만드는 데 이는 전자 저지력이 핵 저지력에 비해 우세하기 때문이다.

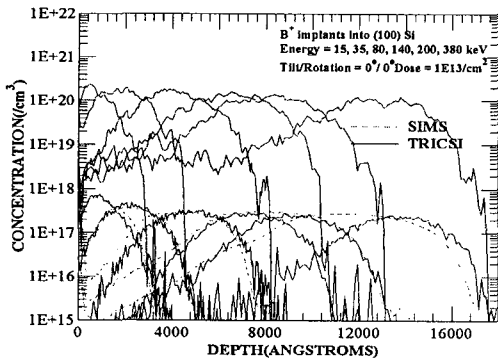
III. 결론

1차년도 연구를 통해 HEI 공정 분석용 모의 실험 도구인 몬테 카를로 시뮬레이터를 구성하였다. Well 형성 공정을 위한 중요 도펀트인 B 및 P 이온 주입에 대하여 B 에너지 380 keV 및 P 4.8 MeV 범위까지 SIMS 데이터와 비교 검증된 분석용 시뮬레이터를 구성하였다. HEI 공정에서 발생한 결함 분포에 대한 검증 및 산화 층 의존성 불순물 분포 검증은 이루어지지

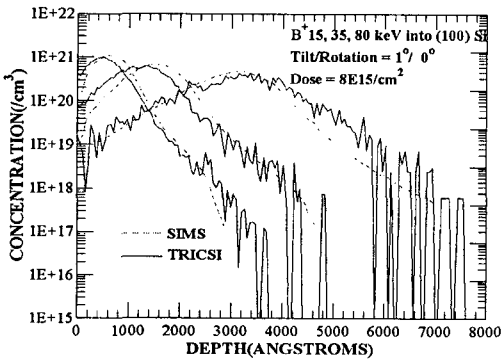
않았으나 이러한 검증 작업은 2차 연구에서 계속 진행 중에 있다. 또한, 3차원 공정 구조에서의 이온 주입 분포를 분포 및 결함 분포에 대한 효율적인 해석적 모델 개발이 계속 진행되고 있다.

감사의 글

본 연구는 과학재단 연구 지원 과제(981-0907-028-2)에 의해 수행되었다.

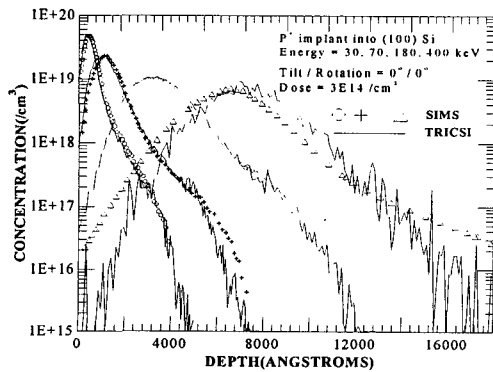


(a)

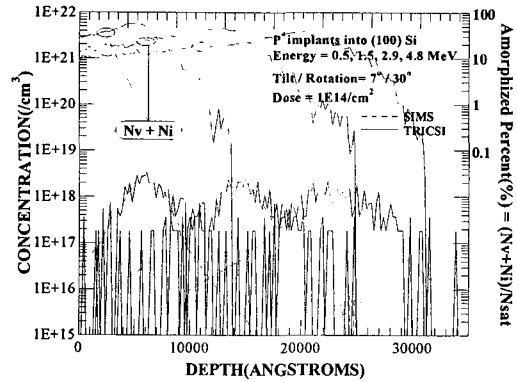


(b)

그림 2. B 이온 주입 결과와 SIMS 비교도



(a)



(b)

그림 3. P 이온 주입 결과와 SIMS 비교도

참고문헌

- [1] K. Tsukamoto, "Low thermal Budget, 3.3 V DRAM Manufacturing Using MeV Triple Well Formation," *Genus Semicon' West 93 Presentation*, 1993.
- [2] K. Tsukamoto, "High Energy Ion Implantation for ULSI: Well Engineering and Gettering," *Solid State Technology*, pp.49-55, 1992
- [3] J. F. Ziegler, *Handbook of Ion implantation Technology*, North Holland, 1992
- [4] 손명식, "단결정 실리콘에서의 이온 주입 분포 및 결함 분포에 대한 3차원 몬테 카를로 모델링 및 시뮬레이션," 박사학위 논문, 중앙대학교, 1998년 12월.
- [5] 손명식, 황호정, 이온 주입시의 점결함 발생과 재결합에 관한 3차원 몬테 카를로 모델링 및 시뮬레이션," *대한전자공학회지*, 제34권 D편, 제5호, pp.32-44, 1997년 5월.
- [6] M.-J. Caturla, T. diaz de la Rubia, and L.A. Marques, and G. H. Gilmer, "Ion-beam processing of silicon at keV energies: A molecular-dynamics study," *Phys. Rev. B*, vol. 54, no. 23, pp.16683-16695, 1996.
- [7] S. Tian, *Monte Carlo simulation of ion implantation damage process in silicon: arsenic, phosphorus, silicon, BF₃, and Boron implants*, Ph. D. Thesis, The University of Texas at Austin, 1997.
- [8] R. G. Wilson, "Random and channeled implantation profiles and range parameters for P and Al in crystalline and amorphized Si," *J. Appl. Phys.*, vol. 60, no. 8, pp. 2797-2805, 1986.
- [9] *ISE TCAD Software Release 4.0 Introduction Booklet* given by Integrated Systems Engineering Inc., Zurich, Switzerland and USA, p. 35, 1997.
- [10] S. J. Morris *et al.*, "Modeling of Boron, Phosphorus, and Arsenic Implants into Single-Crystal Silicon over a Wide Range (Few keV to Several MeV)," *IEDM '96*, San Francisco, CA, pp. 721-724, 1996.