

MMIC 제작을 위한 반도체 공정 조건들의 최적화 - Si₃N₄ 증착, GaAs via-hole 건식 식각, Airbridge 공정

정진철, 김상순*, 남형기*, 송종인*

305-350 대전시 유성구 가정동 161번지 한국전자통신연구원

email: jcyjung@etri.re.kr

*500-712 광주시 북구 오룡동 1번지 광주과학기술원 정보통신공학과

The Optimization of Semiconductor Processes for MMIC Fabrication - Si₃N₄ deposition, GaAs via-hole dry etching, Airbridge process

J. C. Jeong, S. S. Kim*, H. K. Nam*, J. I. Song*

ETRI 161 Kajong-Dong, Yusong-Gu, TAEJON, 305-350, KOREA

email: jcyjung@etri.re.kr

*Dept. of Info-Comm KJIST, 1 Oryong-dong, Puk-gu,

Kwangju 500-712 KOREA

요약

MMIC 제작을 위한 단일 반도체 공정으로써 PECVD를 이용한 Si₃N₄의 증착, RIE를 이용한 GaAs via-hole 건식 식각, 그리고 airbridge 공정조건을 위한 실험 및 분석 작업을 수행하였다. Si₃N₄의 증착 실험에서는 굴절률이 2인 조건을, GaAs via-hole 식각 실험에서는 최적화된 thru-via의 모양과 식각률을 갖는 조건을, airbridge 실험에서는 polyimide coating 및 건식 식각 조건과 금 도금 및 습식 식각의 최적 조건들을 찾아내었다.

I. 서론

MMIC 제작을 위해 단일 반도체 공정에 대한 최적화된 조건을 찾는 일이 중요한 주제로 부각 되었다. 특히 Si₃N₄의 증착은 소자 및 회로의 passivation 용과 MIM 커패시터의 유전체로써 이용되어 왔으며 화학적 분석 및 최적화된 조건 작업이 많이 이루어져 왔다[1-2]. MMIC 전체 수율에 가장 큰 영향을 주는 것으로 GaAs 기판의 thru-via 식각 실험은 접지면의 기생효과를 최소화하기 위해서 via의 기하학적 모양과 식각률에 관한 연구가 이루어져 왔다[3-5]. Airbridge 공정은 두 선이 서로 겹칠 경우, airbridge 형태로 IC를 구현하게 되는데 기생 효과가 가장 많이 일어나는 것 중에 하나이다. 본

논문에서는 정확한 조성비를 갖는 Si₃N₄ 증착(굴절률 : 2) 조건과 접지면의 기생효과를 최소화 할 수 있는 기하학적 모양을 갖는 GaAs 기판의 thru-via hole 조건과 airbridge 제작 공정 최적화 작업을 기술한다.

II. Si₃N₄ 증착

Si₃N₄는 소자의 passivation과 MIM capacitor의 유전체 용으로 주로 사용된다. Plasma Enhanced Chemical Vapor Deposition(PECVD) 시스템을 이용하였으며 gas로는 SiH₄/Ar 10 %와 N₂를 이용하였다. PECVD의 각 실험 조건에 따른 Si₃N₄의 증착 경향이 표 1에 정리 되어있다 [6]. 그림 1.은 SiH₄ gas의 flow rate에 따른 굴절률과 증착률의 경향을 보여준다. 이 결과는 5분간 증착한 시편을 ellipsometer로 측정하여 얻었다. 굴절률은 SiH₄의 flow rate에 따라 선형적으로 증가함을 볼 수 있다. 증착률은 SiH₄의 flow rate에 따라 전체적으로 약간 증가하는 경향을 보인다. 최적화된 증착 조건은 SiH₄의 flow rate가 12.6 sccm이고 나머지 조건들은 그림1.에 나와 있는 조건들이다.

III. GaAs 웨이퍼의 Via-hole 식각

MMIC에서 각 회로의 접지 점들을 웨이퍼 뒤편의 접

표 1. PECVD 공정 조건에 따른 Si₃N₄의 경향[6]

	Dep. rate	Refr. index	Dep. rate uniformity	Refr. Index	Film stress
SiH ₄ flow	↑	↑ ↑			↓ ↓
N ₂ flow	↓	↓ ↓		↑ ↑	↑
13MHz power	↑ ↑	↓	↓ ↓	↓ ↓	↓ ↓
Pressure	↑ ↑		↑ ↑	↑ ↑	↑ ↑
Temp.	↓	↓			↑

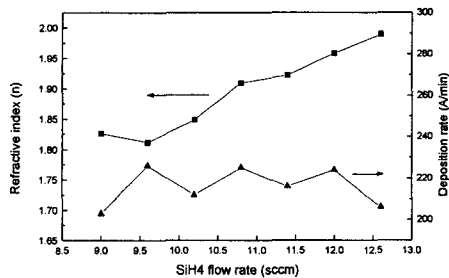
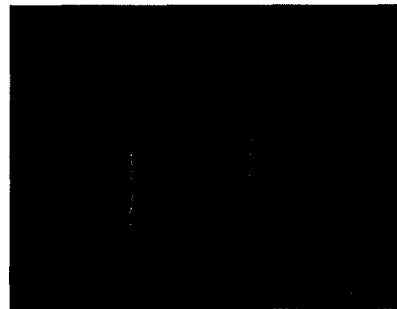


그림 1. SiH₄ flow rate에 따른 refractive index와 deposition rate의 측정 결과 (Base pressure : <10⁻³ Torr, Process pressure : 600 mTorr, N₂ flow rate : 1500 sccm, Temperature : 300 °C, RF power : 40 W)

지 면과 연결시켜 주기 위한 공정이다. 마스크 PR은 다른 PR에 비해 두꺼운 AZ4903을 사용하였으며 15um 두께의 mask pattern을 얻었다. 100 um 정도의 장시간 식각 때문에 PR의 두께뿐만 아니라 hard baking 조건도 중요하게 된다. 그림 2 (a)는 120 °C에서 10분 hard baking하였을 경우에 etching 후 PR의 침식 현상에 의한 나쁜 시편의 표면상태를 보여주고 있다. 그래서, 160 °C에서 10분의 hard baking 조건을 잡음으로서 문제를 해결하였다. Via-hole은 웨이퍼 앞, 뒷면의 metal이 잘 연결되게 하기 위해서 sidewall effect에 의한 측면으로의 식각이 없어야만 한다. 따라서, 습식 보다는 건식 식각 방법이 많이 이용되며, 이번 실험에서는 Reactive Ion Etching (RIE) 시스템을 이용한 건식식각 방법을 사용하였다. 실험 조건별 식각 결과들의 SEM 단면을 그림 2.에서 보여 주고 있다. 그림 2(a) hard baking 온도가 낮을 경우 (120°C/10min)에 생길 수 있는 wafer 표면의 침식현상을 보여주고, 그림 2(b)는 높은 process pressure에서 생길 수 있는 sidewall effect를 보여주며 그림 2(d)는 낮은 process



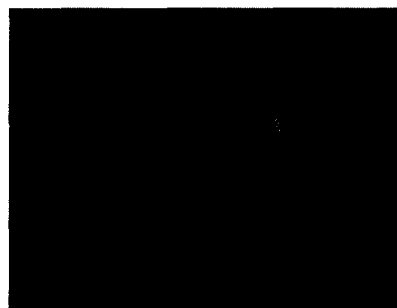
(a)



(b)



(c)



(d)

그림 2. 각 조건별 via-hole etching 후의 SEM 단면도(a) 100mTorr, SiCl₄ 20sccm, 150W, 90 min (b) 150mTorr, SiCl₄ 20sccm, 150W, 60 min (c) 80mTorr, SiCl₄ 20sccm, 170W, 60 min (d) 40mTorr, SiCl₄ 20sccm, 170W, 90 min.

pressure에서 생길 수 있는 trench effect를 보여주고 있다. 그림 2(c)가 가장 적당한 via-hole의 모양을 보여주고 있다. RF power가 높을수록, process pressure가 높을수록 식각률이 커짐을 볼 수 있었다. 그리고, process pressure가 높을수록 sidewall effect가 생기며, 낮을수록 trench effect에 의한 표면의 침식 현상이 나타났다. 이것은 pressure가 낮으면 분자의 mean free path가 커짐으로써 식각 후 반사된 잔류 gas들에 의한 위쪽 방향으로의 재 식각인 것으로 추측된다.

IV. Airbridge 공정

Metal line이 서로 겹칠 경우 단락 되는 것을 방지하기 위해서 두 metal 간에 비 전도성 물질을 집어넣는 공정이다. 두 metal 간에 생길 수 있는 기생 capacitance를 줄이기 위해 유전율이 작은 air를 집어넣는다. 마스크로는 Polyimide PI2556를 사용하여 3um를 coating하고, O₂ gas를 이용한 건식방법으로 patterning을 하였다. 다음에 이어지는 금의 전기도금의 seed역할을 하는 Ti/Au/Ti를 E-beam evaporator를 이용하여 500/2000/500 A 증착 하였다. Ti는 다음 공정인 metal patterning 후 BOE용액을 이용하여 식각 시켰다. PR과 함께 patterning된 Ti는 전기도금 시 금이 PR과 웨이퍼의 접촉 부분으로 파고 들어가는 것을 막아주는 역할을 한다. Metal patterning을 위해 두꺼운 PR인 AZ4903을 이용하였다. 금 도금은 ECF-88K-10 (Sulfurous Gold Kali) 용액을 이용하였으며 금 식각은 Gold Etchant TFA 용액을 이용하였다. 그림 3은 도금 시간과 가해진 전류 밀도에 따른 도금된 금의 두께를 전류밀도에 따라 보여주고 있다. 그림 4는 Au etchant의 묽기에 따른 식각률의 변화(식각 용액 : Gold Etchant TFA)

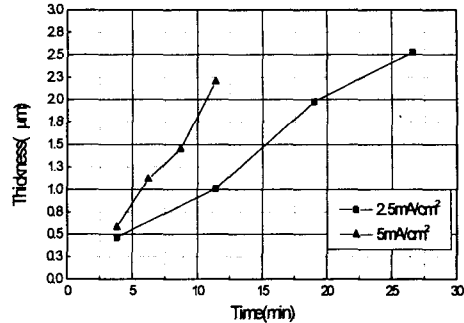


그림 3. 도금 시간에 따른 도금된 Au의 두께 (용액 : ECF-88K-10 (Sulfurous Gold Kali) 온도 : 25°C)

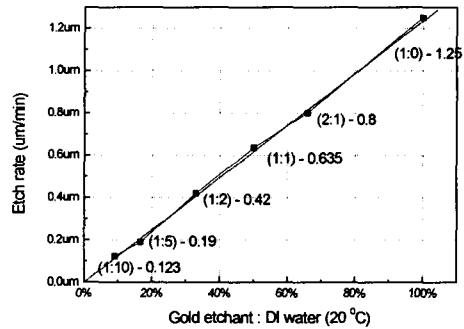


그림 4. Au etchant의 묽기에 따른 식각률의 변화(식각 용액 : Gold Etchant TFA)

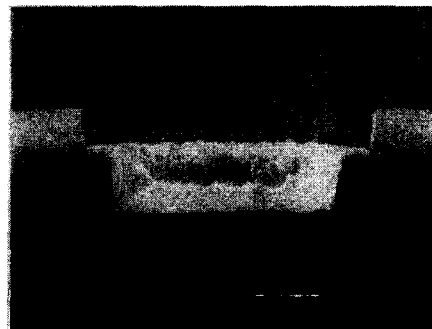


그림 5. Au 도금된 SEM 단면도(2.5mA/cm², 60°C, 30min)

V. 결론

MMIC 제작을 위한 단일 공정으로써 PECVD를 이용한 Si₃N₄의 증착 실험을 하였으며 최적 조건이 Base

pressure : <10⁻³ Torr, Process pressure : 600 mTorr, Si₃N₄ flow rate : 12.6 sccm, N₂ flow rate : 1500 sccm, Temperature : 300°C, RF power : 40 W일때 굴절률이 2인 정확한 조성비의 Si₃N₄가 길러졌다. RIE를 이용한 GaAs via-hole 식각

실험에서는 Process pressure : 80mTorr, SiCl₄ flow rate : 20sccm, RF power : 170W 일때 최적화된 기하학적 모양의 via-hole이 만들어졌다. 그리고 airbridge 공정 실험에서는 Polyimide PI2556를 이용하여 patterning하였으며 최종 Polyimide strip은 Olin QZ3321 용액을 이용하였다. 금 도금은 ECF-88K-10 (Sulfurous Gold Kali) 용액을 이용하였으며 Au 식각은 Gold Etchant TFA 용액을 이용하였다. 최적 도금 조건으로 전류 밀도가 2.5mA/cm²이고 용액의 온도가 60℃일때 3 um 두께의 이상적인 도금이 이루어졌다.

참고 문헌

- [1] Justin N. et al, "Plasma Deposited Silicon Nitride Film Chemistry," Mat. Res. Soc, Symp. Proc. Vol. 165., 1990.
- [2] Tsuneaki Ohta et al, "High temperature deposition of SiN films using low pressure chemical vapor deposition system for x-ray mask application," J. Vac. Sci. Technol. B 12(2), pp 585-588, Mar/Apr 1994.
- [3] L. G. Hipwood et al, "Dry etching through substrate via holes for GaAs MMIC's," J. Vac. Sci. Technol. B 3 (1), pp 395-397, Jan/Feb 1985.
- [4] S. Salimian et al, "Dry etching of via connections for GaAs monolithic microwave integrated circuits fabrication," J. Vac. Sci. Technol. B 5(6) pp 1606-1610, Nov/Dec 1987.
- [5] Edward Y. et al, "Hybrid dry-wet chemical etching process for via-holes for Gallium Arsenide MMIC Manufacturing," IEEE Trans. Semicond. Manufac. Vol. 1, No. 4, pp 157-159, November, 1988.
- [6] Stephen M. Rossnagel, "Handbook of Plasma Processing Technology", Noyes Publications, 1990.