

전류구동 능력 향상과 항복전압 감소를 줄이기 위한 새로운 비대칭 SOI 소자

이원석, 송영두, 정승주, 고봉균, 광계달.
한양대학교 전자공학과, 133-791 서울시 성동구 행당동 17번지
E-mail: wslee@kortech.co.kr

A New Asymmetric SOI Device Structure for High Current Drivability and Suppression of Degradation in Source-Drain Breakdown Voltage

Won-Seok Lee, Young-Du Song, Sung-Ju Jung, Bong-Gyun Ko, and
Kae-Dal Kwak.

Dept. of Electronic Engineering, Hanyang Univ., Seoul 133-791, Korea
E-mail: wslee@kortech.co.kr

Abstract

The breakdown voltage in fully depleted SOI N-MOSFET's have been studied over a wide range of film thicknesses, channel doping, and channel lengths. An asymmetric Source/Drain SOI technology is proposed, which having the advantages of Normal LDD SOI(Silicon-On-Insulator) for breakdown voltage and gives a high drivability of LDD SOI without sacrificings hot carrier immunity. The two-dimensional simulations have been used to investigate the breakdown behavior in these device. It is found that the breakdown voltage(BVds) is almost same with high current drivability as that in Normal LDD SOI device structure.

1. 서론

일반적으로 소자의 크기가 감소함에 의해, 발생하는 기생성분증가, 항복전압의 감소, 단채널 효과(Short Channel Effect)등의 일반 CMOS의 단점을 극복하기 위해, 소자의 구조적인 변경이나 새로운 물질의 대한 연구가 활발히 진행되고 있다. 이러한 기술중의 하나로 SOI(Silicon-On-Insulator)가 현재 많은 주목을 받고 있다. SOI소자는 산화막위에 소자가 형성이

되기 때문에, 기생 접합용량(Junction Capacitance)을 줄일 수 있고, 기판 실리콘과는 절연이 되어 있기 때문에 기판 누설전류(Leakage Current)가 줄어든다. 또한, 일반 CMOS에서 발생하는 래치업효과를 방지할 수 있으며, 문턱전압이하에서의 기울기(Sub-Threshold Slope)를 향상시켜 안정된 문턱 전압이하의 특성을 얻을 수 있고, 높은 트랜스컨덕턴스를 가진다.

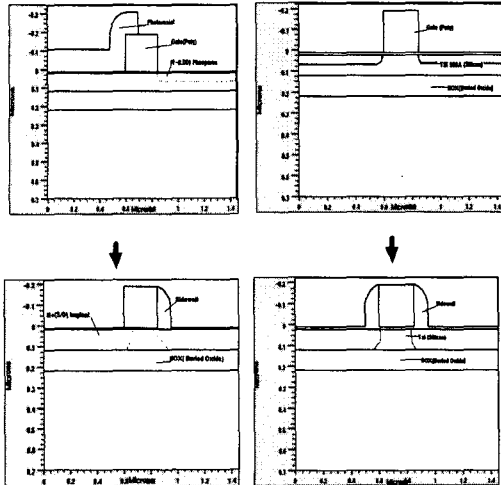
이와 같이 SOI소자는 여러 가지 장점을 가지고 있는 반면에 극복해야할 많은 단점도 가지고 있다. 우선 많이 사용하고 있는 SIMOX 웨이퍼의 가격이 비싸서 원활한 공급이 어려운 실정이고, 소자의 관점에서 보면 충돌이온화에 의한 정공전류 생성 때문에, 기생 N-P-N 바이폴라소자의 이득이 증가하여 항복전압이 감소하는 현상이나, 정공의 누적에 의한 소스의 전위 감소로 인하여 전류가 갑자기 증가하는 Kink 효과 등이 발생한다.

이에 본 연구에서는 소스와 드레인을 비대칭구조로 형성시켜, 항복전압은 일반 LDD SOI소자와 거의 비슷하고, 전류구동능력은 월등히 향상시킨 소자를 제안하였다. 보통 항복전압을 높여주기 위하여 드레인에 LDD를 구성함으로써 향상시킬 수 있는데, 이로 인한 저항 때문에 전류특성이 저하되게 된다. 특히 드레인보다 소스에 의해 전류특성이 큰 영향을 받기 때문에, 소스 쪽은 LDD 구성을 하지않고 소자를 설계하여 전기적인 특성을 분석하였다.

2. 본론

2.1 비대칭 S/D SOI 소자의 제안

본 연구에서 제안하는 비대칭 SOI 소자와 일반 SOI 소자와의 차이점은 그림 1과 같다. 제안한 소자는 일반



(a) S/D 비대칭 SOI 소자 (b) 일반 LDD SOI 소자
 그림 1. 제안한 비대칭 S/D SOI 소자와 일반 SOI 소자의 공정상의 차이점.

Fig. 1. The process difference proposed S/D asymmetric SOI and conventional SOI devices

SOI 소자 공정과 차이가 없으며, 추가적인 마스크 사용 없이 LDD 마스크를 이용하여 비대칭 SOI 소자를 만들 수 있다. 그림 1에서는 LDD 이온주입과 S/D 이온 주입의 공정과정만 나타내었다. 본 논문에서는 채널길이에 따른 전기적인 특성을 분석하고, Tsi(Silicon Film Thickness)의 따른 전기적인 특성차이를 제안한 소자와 일반 SOI 소자에 대해서 모의 실험을 하였다. 표 1은 모의 실험에 사용된 N-type SOI 소자의 공정 변수들을 나타내고 있다.

2.2 Regression 모델 생성

비대칭 SOI 소자의 공정의 최적화를 위하여 채널 길이 0.25 μm 소자를 모의 실험을 하였는데, 여러 가지 공정 변수 변화에 따르는 항복전압, 최대전류, 누설전류, 문턱전압등을 추출하였다. 이로부터 관련 공정 변수 변화에 의한 추출 값의 상관관계를 하나의 Regression 모델로 만들었다. 우선 원하는 Target 값을 만들기 위

표 1. N-type S/D 비대칭 SOI와 일반 LDD SOI 소자의 공정 변수.

Table 1. Process parameters of N-type S/D asymmetric SOI and conventional LDD SOI devices.

SOI Process	Asymmetric SOI (N-Type)	Conv LDD SOI (N-Type)
Channel Length(μm)	0.25, 0.45, 0.6, 0.8, 1.0, 1.2, 1.5, 2.0	
BOX(Buried Oxide)	Buried Oxide (1000Å)	
Tsi Thickness	480Å, 990Å, 1200Å	
Body Concentration	N-Type ($1e14 \text{ cm}^{-3}$ (100))	
P-Well	P-Type dose= $5e12 \text{ cm}^{-2}$ energy=40KeV	
Channel Doping	Boron dose= $1.5e12 \text{ cm}^{-2}$ energy=20KeV	
Gate Oxide Thickness	$T_{ox}=71 \text{ Å}$	
Gate Doping	N+ (P)	
LDD Doping	N-(Phos)(Drain) dose= $3e13 \text{ cm}^{-2}$ energy=15KeV	N-(Phos)(S/D) dose= $3e13 \text{ cm}^{-2}$ energy=15KeV
Source/Drain Doping	N++(As) dose= $5e15 \text{ cm}^{-2}$ energy=30KeV	
Annealing	Time=20min Temp=900°C N ₂ Press=1	

해서는 어떤 공정 변수를 조정해야 하는지를 알아야 한다. 그러므로 각 Target 값에 대한 공정변수들의 Sensitivity를 조사하였다. 항복전압의 대해 가장 Sensitivity가 높았던 변수는 기판농도와 채널도핑농도, LDD 영역의 농도였다. 이러한 Regression 모델을 통하여 원하는 Target에 대한 공정변수를 최적화하였다. Regression 모델은 3가지 경우의 Target값을 고려하여 생성을 하였다. 첫 번째는 BVds (항복전압), 두 번째는 Vgs=3.0V, Vds=3.0V에서의 Ids_max (최대전류), 그리고 Ids_Leakage Current를 각각 공정변수를 이용하여 모델 화하였다. 여러 가지 공정 변수가 추가 되었다면, 더욱 정확한 모델이 형성되어 질 것이다. 본 Regression 분석을 통해 추출된 계수는 아래 표 2, 3, 4와 같다.

표 2. Ids_max의 Regression 모델 계수.

Table 2. Regression model coefficient for Ids_max.

Ids_max	Body Imp(x)	Ldd(Implant Energy)(x)	Ldd(Implant Dose)(log(x))
Coefficients	-0.476569	0.200524	-0.0271744
0.867889			

표 3. BVds의 Regression 모델 계수.

Table 3. Regression Model Coefficient for BVds .

BVds	Body Imp(x)	Ldd(Implant Energy)(x)	Ldd(Implant Dose)(log(x))
Minimum	9e+11	10	9e+12
Maximum	5e+12	15	3e+13
Coefficients			
0.115435	1.35473	-0.0456142	0.014043
BI		-0.231204	-0.176864
Ldd_E			-0.0173068
Ldd_Dose			
(Body Imp) ²	-0.470215	0.3279	-0.0105256
(Ldd_E) ²	-0.231204	-0.0456142	-0.0173068
(Ldd_Dose) ²	0.166306	0.0463278	-0.0509005

표 4. Ids_Leakage 의 Regression 모델 계수.

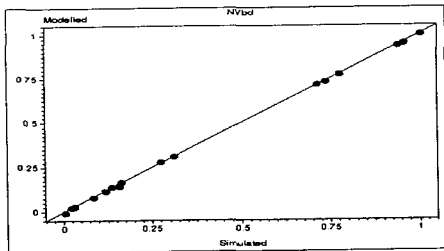
Table 4. Regression model coefficient for Ids_Leakage

Ids_leakage	Body Imp(x)	Ldd(Implant Energy)(x)	Ldd(Implant Dose)(log(x))
Minimum	9e+11	10	9e+12
Maximum	5e+12	15	3e+13
Coefficients			
0.518652	-0.52753	0.0504152	0.393157
Body Implant		0.137052	-0.0425786
Ldd_E			0.0276675
Ldd_Dose			

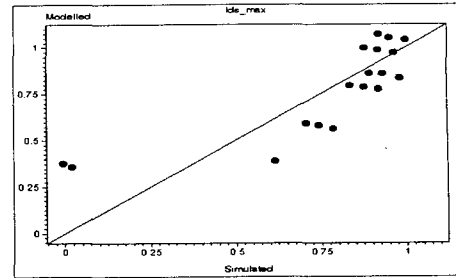
사용된 Regression 모델은 다음식과 같다.

$$Y = C_0 + C_1 V_1 + C_2 V_2 + C_{12} V_1 V_2 + C_{11} V_1^2 + C_{22} V_2^2$$

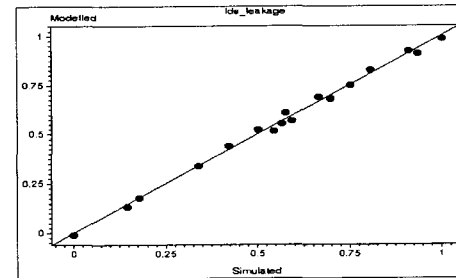
여기서 Y는 Target 값, V_n 은 공정변수, C_n 은 상수 값을 나타낸다. 생성된 Regression 모델의 오차율은 BVds가 3.8%, Ids_max는 23%, Ids_leakage는 4.3%를 나타내었다. 생성된 Regression 모델과 모의 실험된 데이터사이의 fitting 결과는 그림 2와 같다. BVds는 2차 항까지 고려한 모델로 fitting이 되었고, Ids_max는 1차 항, 그리고 Ids_Leakage는 곱의 항까지 고려한 형태로 모델이 생성되었다. 더욱 복잡한 함수를 쓰면 정확하나 분석이 힘들어진다. 이 모델로 사용하여 채널길이 0.25 μ m의 비대칭 S/D SOI 소자의 최적화된 변수는



(a) BVds Regression 모델



(b) Ids_max Regression 모델



(c) Ids_Leakage Regression 모델

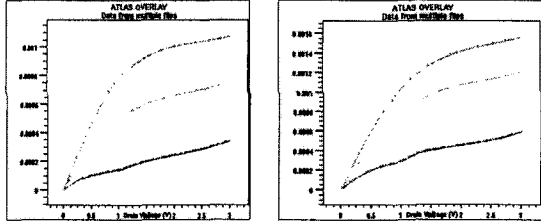
그림 2. Regression 모델과 측정 data의 Fitting곡선
Fig. 2. Fitting Curve between measured data and Regression model

기관 이온 주입된 도즈량이 $4.18 \times 10^{12} \text{cm}^{-3}$ 이었고, LDD 영역의 이온 주입된 도즈량은 $2.853 \times 10^{13} \text{cm}^{-3}$ 이고, 에너지는 13.7eV 일 때, BVds (항복전압)는 3.01238V 였고, Ids_max는 0.00120376(A)였다. 이때 Ids_leakage는 0.0001416117(A)로 추출되었다. 이러한 Regression 모델을 통하여 실제공정에 적용을 하고자 할 때는, 모의 실험된 소자의 특성과 실제 소자의 특성차이를 최소화시키기 위하여 Calibration을 해야하는데, 실제 Calibration을 할 수 있는 모델이기도 하다.

2.3 비대칭 S/D SOI소자와 Normal LDD SOI 소자의 특성비교.

모의실험은 Tsi(Silicon Film Thickness)를 480 Å, 990 Å, 1200 Å에 대해서, 채널길이에 따른 결과를 분석하였다. 먼저 그림 3의 Ids-Vds 곡선을 보면 일반적인 LDD SOI 소자 구조에서보다, 비대칭 S/D SOI 소자 구조에서 Ids_max가 현저하게 증가됨을 알 수 있다. 이러한 Ids_max의 차이는 소스 쪽의 저농도로 도핑이 된 LDD 영역에서, 기생 저항성분의 증가로 인한 전류 감소로 보인다. 전류의 크기 차이는 약 23%정도 개선이 되었다. 그러나 항복전압은 그림 5에서와 같이 거의 큰 차이가 없음을 알 수 있다. 그러나 Thin-Film-

비대칭 S/D SOI 소자 구조(Tsi 480A)는 0.25 μm 이하로 내려가면서 항복전압이 약간 더 낮아지는 특성을 보였다. 이것은 이미 깊게 공핍이 일어나 있기 때문이다.



(a) 비대칭 S/D SOI 소자 (b) 일반 LDD SOI 소자
 그림 3. Ids-Vds 특성분석 (Channel Length 0.35 μm)
 Fig. 3. Ids-Vds Characteristic(Channel Length 0.35 μm)

그림 4의 Id_max를 비교해 보면 실제 On-Current가 현저하게 차이가 남을 알 수 있다.

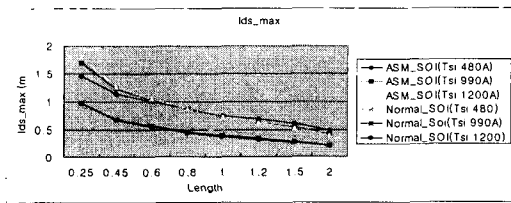
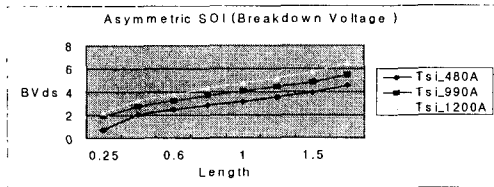
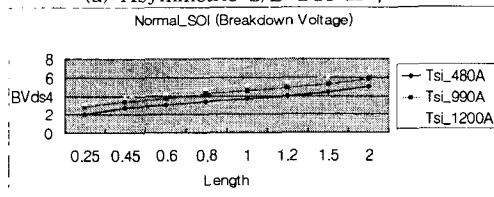


그림 4. Ids_max의 특성
 Fig. 4. Ids_max Characteristic



(a) Asymmetric S/D SOI 소자



(b) Normal LDD SOI 소자

그림 5. 항복전압

Fig. 5. Breakdown Voltage

일반적인 LDD SOI와 비대칭 S/D SOI 소자에 대한 문턱전압(Threshold Voltage)의 변화는 일반적인 SOI 소자나 제안한 구조나 별로 차이는 없어 보인다. 이것

은 실제 유효 채널길이의 변화가 크게 차이나지 않기 때문이다. 그러나 Thin-Film-비대칭 S/D SOI(Tsi 480 A)에서는 낮은 문턱전압의 변화를 보였다.

Ids_leakage 전류는 상대적으로 비대칭 SOI 소자에서 커지는 것으로 나타났는데, 이것은 생성된 정공이 기판에 누적이 되면서, 기존의 LDD 소스보다 상대적으로 낮은 전위(Potential)을 가지고 있는 비대칭 SOI 소자에서 누설전류가 증가하고 있다. 이러한 단점을 극복하기 위해 기존의 SOI 소자에서는 Trap Level을 형성하여 정공 charge가 빨리 소멸되도록 Trap level을 구성하는 방법 등이 있다.

3. 결론

일반 LDD SOI 소자 가지고 있는 장점을 최대한 활용을 하여 비대칭 S/D SOI 소자를 설계를 하였다. 최적화된 공정 조건을 찾기 위해 관련 공정 변수와 원하는 Target값과의 상관관계를 알아볼 수 있는, Regression 모델을 도입하였다. 그로 인하여 내가 원하는 Target값에 맞게 공정 변수를 조절할 수 있었다. 그리고 Fully Depleted SOI 공정에서, 실리콘 두께가 점점 감소함에 따라 문제가 되는 항복전압이 낮아지는 현상을 개선하기 위하여, LDD 구조가 도입되었는데, LDD 구조는 상대적으로 저항이 커지게 되므로 On-Current가 낮아지는 원인이 되었다. 특히 소스쪽의 저항에 의해 전류 값이 큰 차이를 보였다. 그러므로 드레인만 선택적으로 LDD를 구성함으로써 On-Current를 증가시키고, 항복전압은 기존 SOI 소자와 거의 비슷한 결과를 얻었다. 그러나 소스의 고농도와 기판의 저농도가 접하게 됨으로 인하여 기존 LDD SOI 소자보다 Potential 이 낮아져서 누설전류가 좀더 증가하는 현상을 보였다. 기판의 정공 Charge를 줄여 주기위한 대책이 있어야 할것으로 판단이 된다.

참고 문헌

[1] Tadahiko Horiuchi et al., "An Asymmetric Sidewall Process for High Performance LDD MOSFET's", IEEE Transactions on Electron Device, Vol., 41, No 2 pp. 186~189, 1994

[2] Neal kistler et al., "Detailed Characterization and Analysis of the Breakdown Voltage in Fully Depleted SOI n-MOSFET's", IEEE Transactions on Electron Device, Vol., 41 No 7, pp. 1217~1221, 1994