

트렌치 깊이에 따른 트랜지스터와 소자분리 특성

박상원(朴常元), 김선순, 최준기, 이상희, 김용해, 장성근, 한대희, 김형덕

현대전자산업주식회사 선행기술연구소 소자연구 1실

전화 : (0336) 630-5054 / 팩스 : (053) 630-4545

Characteristics of Transistors and Isolation as Trench Depth

Sang Won Park, S. S. Kim, J. G. Choi, S. H. Lee, Y. H. Kim, S. K. Chang, D. H. Hahn, H. D. Kim

Device/PI Research Department 1 of Semiconductor Advanced Research Division,

Hyundai Electronics Industries Co., Ltd.

E-mail : sawpark@sr.hei.co.kr

Abstract

Shallow Trench Isolation (STI) has become the most promising isolation scheme for ULSI applications. The stress of STI structure is one of several factors to degrade characteristics of a device. The stress contours of STI structure vary with the trench depth. Isolation characteristics of STI was analyzed as the depth of trench varied. And transistor characteristics was compared. Isolation punch-through voltage for n⁺ to pwell and p⁺ to nwell increased as trench depth increased. n⁺ to pwell leakage current had nothing to do with trench depth but n⁺ to pwell leakage current decreased as trench depth increased. In the case of transistor characteristics, short channel effect was independent on trench depth and inverse narrow width effect was greater for deeper trenches. Therefore in order to achieve stable device, it is important to minimize stress by optimizing trench depth.

I. 서론

Shallow trench isolation (STI)은 초고집적 소자에서 적용 가능한 유력한 소자분리 방법이다[1-2]. STI 공정에서 가장 중요한 점은 trench 구조에서 발생하는 stress를 줄이는 것이다. trench 구조에서 발생한 stress는 transistor 특성 및 junction leakage에 큰 영향을 미친다. STI 공정에서 stress 분포는 trench depth에 따라

서 달라지며 trench depth에 따른 stress simulation이 체계적으로 실시되었다[3-4]. Stress simulation 결과를 보면 trench depth가 깊을수록 trench corner에 발생하는 peak stress는 증가하게 되고 trench depth에 따라 stress 분포도 달라진다. 본 실험에서는 trench depth에 따른 stress 변화에 의한 transistor 특성, junction leakage 특성 및 isolation 특성을 살펴보았다.

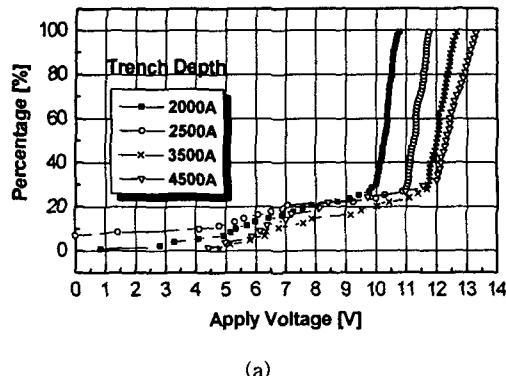
주요 공정 순서는 다음과 같다. Shallow trench isolation (STI) 소자분리 방법을 이용하여 소자분리를 하고 HDP-CVD oxide로 trench filling을 하였다. 그리고 gate oxide는 45Å, word line spacer는 600Å, source/drain anneal은 950°C에서 RTP로 20초간 실시하였다. Gate electrode material은 TiSi를 사용하였고 trench depth는 2000Å, 2500Å, 3500Å, 4500Å으로 달리하여 실험하였다.

II. 본론

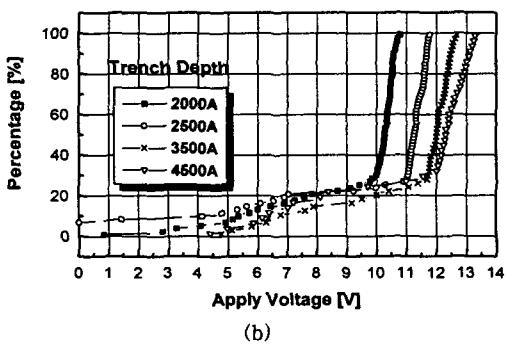
1. Isolation 특성

그림 1은 trench depth 변화에 따른 isolation punch-through voltage의 cumulative curve를 나타낸 것이다. 그림 1의 (a)는 n⁺ to pwell isolation punch-through voltage를, 그림 1의 (b)는 p⁺ to nwell isolation punch-through voltage를 나타낸 것이다. 그림 1의 (a)와 (b)의 경우 모두 trench depth가 깊어짐에 따라 punch-through path가 증가하여 isolation punch-through voltage가 증가함을 알 수 있다. 그리고 isolation spacing이 0.25μm일 때 trench depth가 2000Å에서도 isolation punch-through voltage가 10V이상으로

isolation 특성은 안정적으로 나타났다.



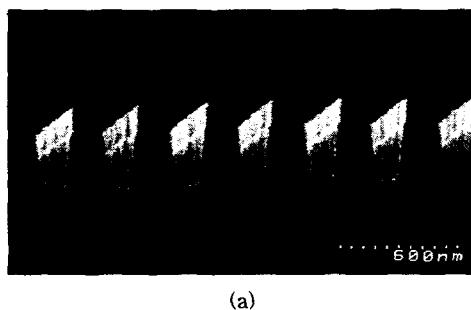
(a)



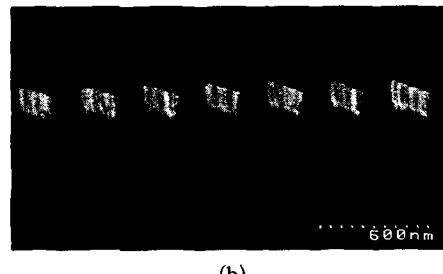
(b)

그림 1. (a) $0.25\mu\text{m}$ isolation spacing에서 n^+ to pwell isolation punch-through voltage (b) $0.30\mu\text{m}$ isolation spacing에서 p^+ to nwell isolation punch-through voltage

그림 2는 trench 삭각 후 SEM image^(c)이다. 그림 2의 (a)는 trench depth가 3500\AA 이고 그림 2의 (b)는 trench depth가 4500\AA 일 때의 SEM image이다. 그림 2를 보면 알 수 있듯이 3500\AA 이상의 deep trench에서도 trench depth와 trench taper angle이 균일한 trench profile을 얻을 수 있었다.



(a)

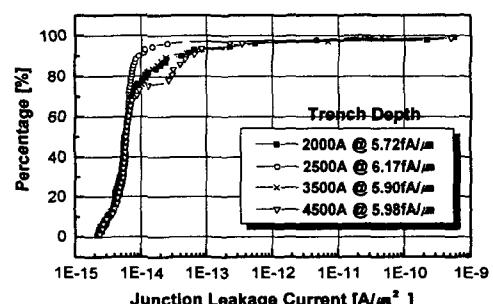


(b)

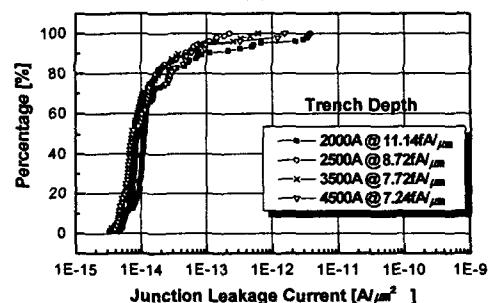
그림 2. Cross-sectional SEM images (a) Trench depth is 3500\AA , (b) Trench depth is 4500\AA

2. Junction Leakage Current

그림 3은 trench depth 변화에 따른 junction leakage current의 cumulative curve이다. 그림 3의 (a)는 n^+ to pwell leakage current를, 그림 3의 (b)는 p^+ to nwell leakage current를 나타낸 것이다. 그림 3의 (a)를 보면 n^+ to pwell leakage current의 경우 trench depth에 관계없이 $6.0\text{fA}/\mu\text{m}^2$ 정도의 일정한 값을 나타냄을 알 수 있다.



(a)



(b)

그림 3. Trench depth에 따른 junction leakage current (a) n^+ to pwell leakage current, (b) p^+ to nwell leakage current

Junction leakage current는 shallow trench isolation 구조에서 발생하는 stress와 source/drain implant 사이 발생하

는 implant damage 등의 복합적인 영향에서 발생하는 defect에 의해 영향을 받는다. Stress와 source/drain implant damage가 작을수록 defect는 줄어들고 junction leakage current도 감소하게 된다[5].

N^+ to pwell leakage current가 trench depth에 관계없이 일정한 값을 보이는 이유는 defect generation이 trench depth에 따라 n^+ source/drain implant damage region에 미치는 stress차이에 의한 영향보다도 n^+ source/drain implant시 발생한 implant damage에 의해 더 많이 영향을 받기 때문이다. 반면, p^+ to nwell leakage current는 trench depth가 깊어질수록 작아지는 경향을 나타내었다. 이는 p^+ source/drain implant가 n^+ source/drain implant에 비해 implant damage가 작고 junction depth가 깊기 때문에 p^+ to nwell leakage current가 p^+ source/drain implant의 damage에 의한 영향보다는 trench depth가 깊어짐에 따라 p^+ source/drain implant damage region에 미치는 stress가 작아지는 현상에 더 크게 기인하기 때문이다.

3. Transistor 특성

그림 4는 trench depth에 따른 threshold voltage(V_T)의 변화를 보여준다.

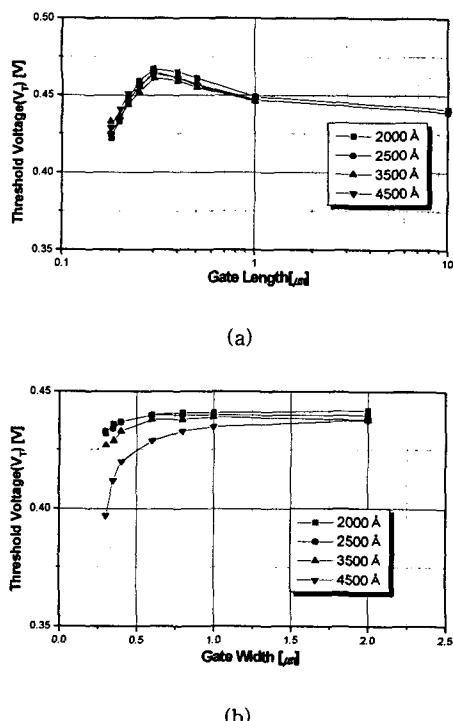


그림 4. (a) Gate length에 따른 NMOS의 threshold voltage 변화 (b) Gate width에 따른 NMOS의 threshold voltage 변화

그림 4의 (a)를 보면 gate length의 변화에 따라서 trench depth 차이에 따른 V_T 는 큰 차이를 보이지 않음을 알 수 있다. 그림 4의 (b)를 보면 gate width에 따라서 trench depth가 깊어질수록 inverse narrow width effect가 증가함을 알 수 있다. 이는 trench depth가 깊어질수록 gate edge 부분의 electric field가 증가하여 낮은 gate 전압에서도 inversion이 일어나 V_T 가 낮아지기 때문이다.

III. 결론

Trench depth가 깊을수록 isolation 특성과 junction leakage 특성은 향상되었지만 inverse narrow width effect의 증가로 transistor 특성은 열화 되었다. 특히 trench depth가 2500 Å 이하가 되면 p^+ to nwell leakage current가 8.72fA/ μm 에서 11.14fA/ μm 로 커지며 trench depth가 2500 Å 이상이 되면 inverse narrow width effect가 눈에 띄게 커진다. 따라서 낮은 junction leakage current와 열화 되지 않은 transistor 특성 확보를 위해서 trench depth는 2500 Å이 적합하리라 사료된다.

참고문헌

- [1] A. H. Perera, J. H. Lin et al., "Trench Isolation for 0.45 μm Active Pitch and Below", IEDM Tech. Dig., pp679-682, 1995
- [2] A. Chatterjee, J. Esquivel et al., "A Shallow Trench Isolation using LOCOS Edge for Preventing Corner Effects for 0.25/0.18 μm CMOS Technologies and Beyond", IEDM Tech. Dig., pp829-832, 1996
- [3] J. Damiano, C. K. Subramanian, M. Gibson et al., "Characterization and Elimination of Trench Dislocation", VLSI Tech. Symp., pp. 212-213, 1998.
- [4] T. Kuroi, T. Uchida et al., "Stress Analysis of Shallow Trench Isolation for 256M DRAM and beyond", IEDM Tech. Dig., pp141-144, 1998
- [5] M. H. Park, S. H. Hong et al., "Stress Minimization in Deep Sub-Micron Full CMOS Devices by Using an Optimized combination of the Trench Filling CVD Oxides" IEDM Tech. Dig., pp669-672, 1997