

## Substrate 효과를 고려한 De-embedding Model

황 의순(黃義淳), 이 동익(李東翼), 정 웅(鄭雄)  
동국대학교 반도체학과  
전화: (02) 2272-0344/ 팩스: (02) 2272-0344

### De-embedding Model including Substrate Effects

Eesoon Hwang, Dong-Ik Lee, Woong Jung  
Department of Semiconductor Science, Dongguk University  
E-mail : eson@cakra.dongguk.ac.kr

#### Abstract

Recently, small signal modeling of CMOS device becomes more difficult because the design rule goes into deep submicron. De-embedding of substrate parameters is important in order to use CMOS devices at RF frequencies.

In this paper, we suggest a new de-embedding model with refined physical meaning and accuracy. In GaAs IC's, the substrate is almost an insulator but Si substrate has the semiconducting characteristics. It offers some troubles if it is treated like GaAs substrate. The conducting substrate is modeled with five resistances, which leads to very accurate modeling so long as the pad layout is symmetrical.

Frequency range is up to 39GHz and fitting accuracy is as small as 0.00037 on least square errors.

#### I. 서론

Si CMOS 집적회로 기술의 급속한 발전은 고속 소자로써 사용되고 있는 GaAs 나 Bipolar 집적 기술을 대체할 가능성을 크게 하고 있다. Sub-micron CMOS 소자의 차단 주파수 특성은 100GHz를 이상에서도 나타나고 있으며, 또한 잡음 지수 또한 2GHz에서 0.5dB

이하의 특성을 보이고 있다.<sup>[1]</sup>

CMOS 집적기술의 RF 설계 단의 구현은 잡음 성능, 동작 주파수의 범위, 전력 소비, 이득 면에서 칩 면적당 능동소자보다 수동소자의 비중이 크게 설계되고 있다. CMOS 소자의 RF 특성을 소신호 Model에 구현 하는데 있어서 도체의 성질을 갖는 Substrate와 측정 Pad에 의한 기생성분을 제거하기 위해서 De-embedding 을 해야 한다. De-embedding은 능동 소자뿐만 아니라 수동 소자에 있어서도 필요하다. 수동소자 중의 인덕터에서는 특히 Substrate에 의한 기생성분을 규명하는 것이 중요하다.

정확한 특성을 Modeling 하고자 많은 노력이 수행되었으나, 불충분한 Interconnect Modeling에 의하여 정확도가 제한되어왔다.<sup>[2]</sup> 높은 주파수 대역에서의 특성을 조사하기 위해서는 측정하고자 하는 전기소자 (Device)와 측정기를 위한 Pad 부분이 분리되어 고려되어야한다.

동작 주파수가 높아짐에 따라 Pad 간의 집중회로의 Modeling 뿐만 아니라 Pad 형상에 대한 특성이 고려되어야 한다. 그러나 보고된 De-embedding Model들은 각각의 주파수 범위에서 이러한 고려사항이 무시되고 있으며, Substrate에 대한 고찰이 Fitting을 기준으로 이루어져 있어 물리적 타당성이 적다.<sup>[3]</sup> 또한 측정된 환경에 대한 고찰이 충분히 고려되지 않아 De-embedding Model 해석의 타당성이 적은 보고도 있으며<sup>[4]</sup>, Gate Node와 Drain Node 사이의 Model이

캐패시턴스 하나로 표현이 되어 어드미턴스 측에서 허수로만 표현이 가능한 모순을 가지게된다<sup>[2]</sup>. 본 논문에서는 Pad 형상에 대한 고려와 Substrate의 물리적 Modeling을 통하여 De-embedding Model을 제시하고자 한다. MEDICI를 이용하여 등가회로 요소를 정의하고, 제안된 Model을 HSPICE에서 Simulation을 통하여 S-parameter를 추출하여 측정된 값과 비교하였다. 그림 1과 같은 Short Pad, Through Pad에 적용하여 검증하였다

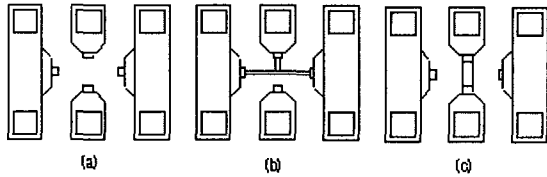


그림 1. Pad Layouts  
(a) Open Pad (b) Short Pad (c) Through Pad  
Fig. 1. Pad Layouts  
(a) Open Pad (b) Short Pad (c) Through Pad

본 논문에서 제안하는 집중회로에 대한 각각의 등가요소의 정의를 본문 II에서 설명하고, 각각의 등가요소 값의 추출을 본문 III에서 나타내하고자 한다. 끝으로 IV 부분에서 결론을 맺는다.

## II. 등가회로 요소의 정의

등가요소를 정의하기 위해서 고려해야 할 것은 Modeling 하고자 하는 소자의 전기적 양태와 Mask Layout의 모양이 기준이 되어야 하며, 정의되는 요소가 물리적으로 적합하여야 한다.

하나의 Node로 Si Substrate 위에 정의되는 경우는 그림 2와 같은 MIS(Metal Insulator Semiconductor) 구조를 나타내진다. C의 크기는 Oxide의 두께에 따라 달라지겠지만 크기는 0.1 pF에서 0.3 pF 사이의 값을 갖게된다. Si IC Substrate의 경우 높은 비저항 Model에 의하면 비저항은 20 ohm-cm에서 50 ohm-cm의 크기로 나타내어진다.<sup>[5]</sup>

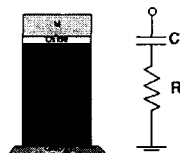


그림 2. MIS 구조와 등가 회로  
Fig. 2. MIS Structure and Equivalent Circuit

Modeling 하고자 하는 De-embedding의 Layout의 지형적인 모양은 그림 1과 같이 나타낼 수 있다. 효과적인 Pad Model Design을 위해서는 기생 캐패시턴스를 최소화하기 위해 Pad 면적을 최소한으로 줄이고, 가능한 최상위 Metal layer를 Pad Metal에 적용하여 Field Oxide 층의 두께를 크게 하는 것이 중요하다.<sup>[3]</sup>

기관재료로서 Si는 GaAs와는 달리 전도성을 띠기 때문에 Substrate에 대한 등가회로 Model<sup>[6]</sup>을 전류의 흐름에서 기인하는 요소로서 구분하기 위해서 MEDICI를 이용하여 Substrate에서의 전기장을 그림 3에 나타내었다. p형 Substrate의 두께는 400um 이고, Pad의 크기는 100\*100 um<sup>2</sup>이며, Pad 중앙과 Pad 중앙의 거리는 400um이다. S-Pad에는 1.5V를 인가하고 G-Pad는 0V를 인가할 때 Metal 층과 Oxide 층을 제외한 Substrate에서의 전기장 분포를 나타내었다.

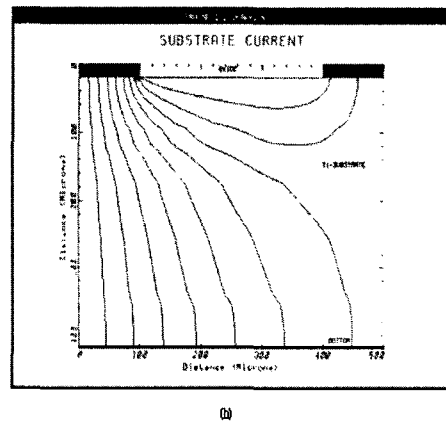
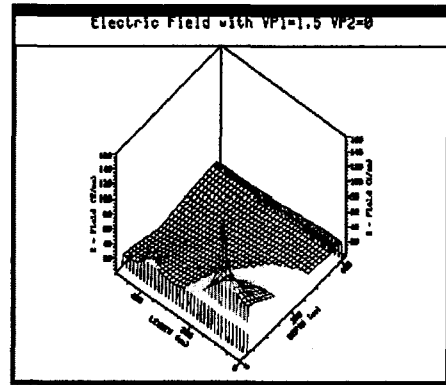


그림 3. MEDICI를 이용한 Substrate에서의 전기장과 전류밀도  
(a) 3D 전기장 그래프 (b) 2D 전류밀도 그래프  
Fig. 3. E-Field and Current Density in Substrate Using MEDICI  
(a) 3D E-Field Plot (b) 2D Current Density Plot

그림 3으로부터 다음과 같은 결과를 도출 할 수 있다. 첫째, 대부분의 전기장 성분은 Metal Pad 밑으로 존재하며 수직방향이다. 둘째, 수평 방향의 전기 플럭스는 Pad 가장자리에서 기인하며 수직 방향 플럭스에 비하여 적다. 셋째, Pad 간의 거리가 짧아지면 Si 표면으로 주된 전류의 흐름을 갖게된다. 위와 같은 결과로부터 집중회로가 Pad 간의 거리에 의해서 구분되어 Modeling 되어야 함을 알 수 있다. 그림1의 (a) Open Pad 의 경우 첫째, Signal Pad와 GND Pad 간의 Model과 둘째, Signal Pad와 Signal Pad 간의 Model, 셋째 공기를 매개로 하는 Model로써 정리된다. 각각의 경우를 Model 하면 그림 4와 그림 5와 같이 나타난다. 그림 5(a)의 등가회로 요소 중의 GND Pad에 의한 캐패시턴스와 직렬 저항은 기판 저항에 비하여 동작 주파수에서 무시 할 만큼 크다. 그러므로, 최종적으로 그림 5 (c)와 같이 등가회로를 정의 할 수 있다.

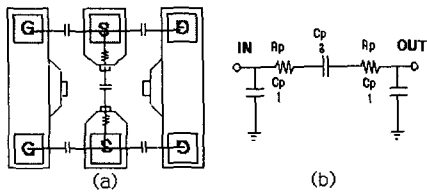


그림 4. Pad 자체 Model과 공기를 매개로 하는 Model  
(a) Open Pad 상의 Model (b) 등가회로  
Fig. 4. Pad Model and Model through Air  
(a) Up Open Pad Model (b) Equivalent Circuit

### III. 등가요소 값의 추출

그림 5 (c)의 등가회로를 그림 4 (b)를 Block B로 나머지 부분을 Block A로 나누어 어드미턴스를 계산하면 표 1 과 같다.

표 1. 수식의 계산

Table 1. Calculation of equations

	$Y_{11} = Y_{A11} + Y_{B11}$
	$Y_{21} = Y_{A21} + Y_{B21}$
	$Y_{22} = Y_{11}$
	$Y_{12} = Y_{21}$
$Y_{A11} =$	$\frac{A_1 w + A_2 w^2 + A_3 w^3}{A_4 + A_5 w + A_6 w^2 + A_7 w^3}$
$Y_{A21} =$	$\frac{A_8 w^2}{A_9 + A_{10} w + A_{11} w^3}$
$Y_{B11} =$	$\frac{(Cp1 + Cp3)w + 2jCp1Cp3Rp w^2}{2Cp3Rp w - j}$
$Y_{B21} =$	$\frac{Cp3w}{2Cp3Rp w - j}$
A1	$-(C1 + Cs)(2R1 + R3)$
A2	$-jC1(C1R1(R1 + R3) + Cs(2R1^2 + R3Rs + 2R1(R3 + Rs)))$
A3	$C1^2CsR1(R3Rs + R1(R3 + Rs))$
A4	$j(2R1 + R3)$
A5	$-2C1R1(R1 + R3) - Cs(2R1 + R3)Rs$
A6	$-jC1(C1R1(R1 + R3) + Cs(2R1^2 + R3Rs + 2R1(R3 + Rs)))$
A7	$C1^2CsR1(R3Rs + R1(R3 + Rs))$
A8	$C1^2R2^2$
A9	$-2R1 - R3$
A10	$-2jC1R1(R1 + R3)$
A11	$C1^2R1^2R3$

표 1의 수식을 실수 부와 허수 부로 나눈 식을 Fitting 과정을 거쳐서 추출된 등가요소 값은 다음 표 2와 같다.

표 2. 추출된 등가요소 값

Table 2. Extracted Equivalent Circuit Element Value

Block	등가요소	단위	값
A	C1	pF	0.23
	R1	ohm	207
	R3	ohm	1499
	Cs	pF	0.029
	Rs	ohm	214
B	Cp1	pF	0.0186
	Cp3	pF	0.00247
	Rp	ohm	49

Model 된 등가회로를 HSPICE Simulation을 통하여 S-Parameter를 추출한 결과와 측정값을 비교하면 그림 6과 같이 나타난다. 그림 6의 동작 주파수범위는 200MHz에서 39GHz까지 특성을 보여주고 있으며 측정 값과 Model 된 등가회로가 거의 일치함을 보여주고 있다.

그림 5. 등가회로의 정의  
(a) S-Pad와 G-Pad간의 정의 및 Substrate Modeling  
(b) S-Pad와 S-Pad간의 정의 및 Substrate Modeling  
Fig. 5. Definition of Equivalent Circuit  
(a) Relationship S-Pad and G-Pad, Substrate Modeling  
(b) Relationship S-Pad and S-Pad, Substrate Modeling

#### IV. 결론

본 논문에서는 Si 집적기술을 이용한 De-embedding Model을 새로운 등가회로 Model로 제안하였다. 등가 모델은 제작된 Open Pad에 따라 다른 등가회로가 정의 될 수 있으나 Network Analyzer 와 같은 측정기에 구속되게 Pad 설계가 이루어지므로 제안된 등가 회로는 유용성을 가지게된다. 제안된 Model은 39 GHz 까지 Least Square Error가 0.00037로 나타나며, HSPICE Simulation 결과도 측정값과 적은 오차로 일치함을 보였다. 또한, Through Model에서도 제안된 Model이 잘 적용되었으며, Si Substrate에 대한 고찰을 통하여 향후 RF 설계에 있어서 기준이 될 수 있다. De-embedding Model 자체가 향후의 CMOS 소자의 소신호 Modeling을 목표로 하고 있으므로 계속적인 연구의 바탕이 된다. 또한, Si Substrate의 IC 전체에 대한 분석의 기준이 마련되어야 하며, 특히 그러한 영향은 VCO 설계 등에서 유용성이 증명될 것이다.

#### 참고 문헌

- [1] T. Manku, "Microwave CMOS-Device Physics and Design," IEEE Journal of Solid-State Circuits, Vol. 34, No. 3, 1999.
- [2] C. McAndrew, "Practical Modeling for Circuit Simulation," IEEE Journal of Solid-State Circuits, Vol. 33, No. 3, 1998.
- [3] N. Camilleri, J. Kirchgessner, J. Costa, D. Ngo, and D. Lovelace, "Bonding Pad Models for Silicon VLSI Technologies and Their Effects on the Noise Figure of RF NPNs," IEEE MTT-S Digest, pp.1179-1182, 1994.
- [4] C. H. Chen and M. J. Deen, "High Frequency Noise of MOSFETs I Modeling," Solid-State Electronics Vol.42, No.11, pp. 2069-2081, 1998
- [5] E. Charbon, R. Gharpurey, R. G. Meyer, and A. Sangiovanni-Vincentelli, "Substrate Optimization Based On Semi-Analytical Techniques," IEEE Transactions on Computer-Aided Design of Integrated Circuits And Systems, Vol. 18, No. 2, 1999.
- [6] J. Costa, M. Chou, and L. Silveira, "Efficient Techniques for Accurate Modeling and Simulation of Substrate Coupling in Mixed-Signal IC's," IEEE Transactions on Computer-Aided Design of Integrated Circuits And Systems, Vol. 18, No. 5, 1999.

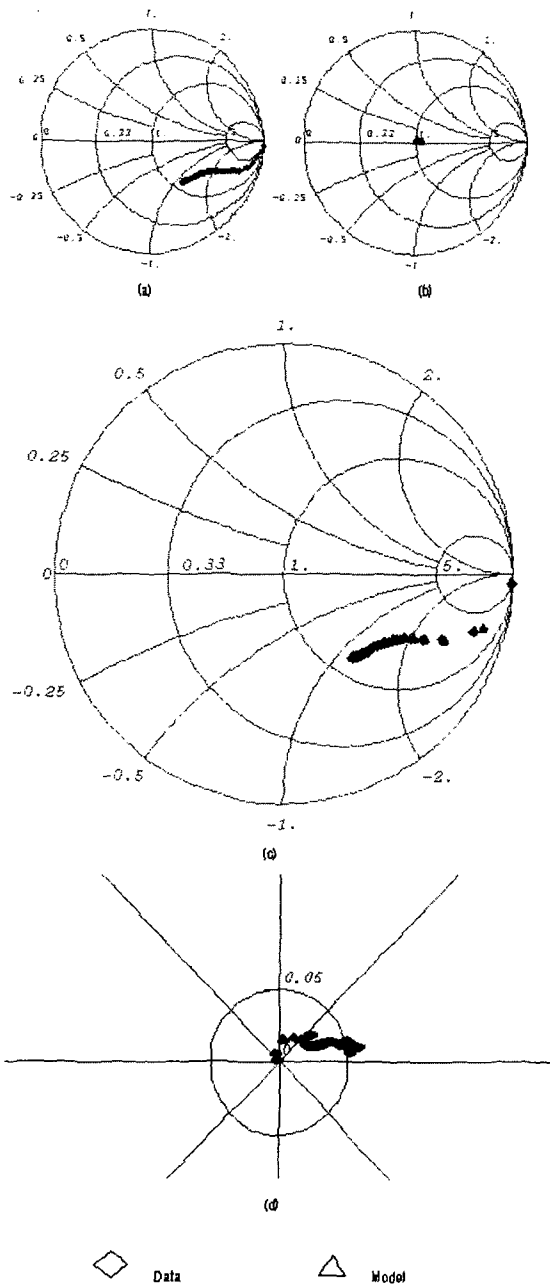


그림 6. 측정 값과 Model 값의 비교  
 (a) 측정된 S11 (b) 측정된 S21 (c) 비교된 S11 (d) 비교된 S21  
 Fig. 6. Measured Vs Modeled Data  
 (a) Measured S11 (b) Measured S21 (c) Compare S11 (d) Compare S21