

VLSI 소자의 핀간 DC 파라미터 테스트 모델링 연구

박 용 수(朴容秀) 송 한 정(宋漢廷) *황 금 주(黃琴珠) *김 철 호(金喆浩) **유 흥 균(柳興均)
충청대학 전자과 *티에스이(주) **충북대학교 전자공학과
E-mail : yspark@cccc.chch-c.ac.kr

A Study of Pin-to-pin DC Parametric Test Modeling of VLSI Devices

Yong Su Park Han Jung Song *Kum Ju Hwang *Chol Ho Kim **Heung Gyoon Ryu
Dept. of Electronic Eng., Chungcheong College
*TSE Co., LTD.
**Dept. of Electronic Eng., Chungbuk National University
E-mail : yspark@cccc.chch-c.ac.kr

Abstract

According to increasing the integration of the device, there are important consideration about the improvement of the reliability in the product. To improve the reliability of the device, the test parameters and test time are increased. There are no pin-to-pin short test and pin-to-pin leakage test in the present test items to analysis the characteristics and reliability of the device. The purpose of the paper is to model the pin-to-pin phenomenon and propose to modify the test method present and to test the new pin-to-pin DC parameters. These modified and additive test items are applied to product test and confirmed to improve the reliability of product test.

I. 서론

디지털 집적회로 소자 테스트는 소자의 규격서 (specifications)에 의해 정의 된 최악의 환경에서 소자가 설계된 기능(function)들을 수행하는 지를 보증하는 것이다[1]. 정상 동작을 하는 제품의 백분율을 수율(Yield)이라 하며 수율이 100%가 아닌

경우에는 제품의 신뢰성을 위해 테스트를 해야 한다. VLSI 소자 테스트는 펄스 테스트(Function test), DC 및 AC 파라미터 테스트(DC & AC parametric test)로 나눌 수 있다. 펄스 테스트는 테스트 백터를 인가하여 소자 동작을 확인하고 DC 파라미터 테스트는 소자가 명시된 환경조건에서 동작하는 지를 보증하는 것으로 소비전류 및 누설전류 등을 측정한다. AC 파라미터 테스트는 전달 지연과 속도 등 타이밍과 관련된 측정들이다. VLSI 소자의 특성과 신뢰성을 분석하는 기존의 테스트들 중에는 IC 패키지의 핀과 핀 사이에서 일어나는 현상을 테스트하는 항목들이 없다[2]. 핀간은 개방 상태로 단순히 생각하여 왔으므로 핀간 현상에 대한 연구가 미미하다. 따라서 본 논문은 핀간 현상을 분석하고 중요한 핀간 결함들을 모델링 한다. 기존의 테스트 방법을 수정하고 핀간 결함을 새로운 테스트 파라미터로 정의하며 새로운 핀간 DC 파라미터 테스트 방법을 제안한다.

II. 결함 모델링과 일반적인 DC 파라미터 테스트 방법

반도체 소자에 있어서 제조 과정 또는 사용 중에 발생하는 결함과 오동작(malfunction)을 테스트를 통하여

검증하는데 이들을 고장(fault)이라고 한다. 파라미터 고장은 전기적 특성이 바뀌는 고장으로 DC 및 AC 파라미터 테스트로 고장 검출이 가능하다. CMOS 공정에서 발생하는 결함들 중에서 가장 많이 발생하는 것이 단락(short) 및 개방(open) 고장이다[3,4]. 소자의 전원부(VDD, VSS)와 임출력 핀 사이의 전류의 양을 측정하는 DC 파라미터 테스트를 통하여, 단락 및 개방과 같은 물리적인 고장과 신뢰성에 영향을 주는 누설전류(leakage)등을 측정할 수 있다. 그림 1은 LCD(Liquid Crystal Display) 구동 IC의 내부 결함 사진이다. 핀(리드)간 피치가 약 60[μ m]로 매우 좁아서 핀간에 금속성 이물질로 인해 발생한 단락 불량이다. 일반적으로 핀간 결함은 핀간 단락 또는 핀간 누설저항이 대부분을 차지한다.

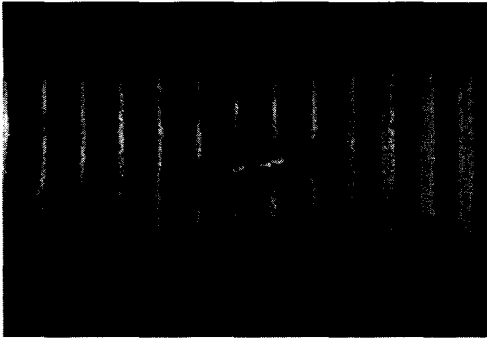


그림 1 VLSI 소자의 핀간 결함
Fig. 1. Pin-to-pin Defect of VLSI Device

본 논문에서 검토하는 DC 파라미터들은 개방/단락 테스트(open/short test)와 누설전류 테스트(leakage test)이다. DC 파라미터 테스트는 정적(Steady State) 테스트이다. 실제적으로 DC 파라미터들은 실리콘이 제공하는 저항값이다. 저항값은 소자의 동작 상태에 따라서 완전한 단락(도통) 상태, 반 단락 상태 또는 완전한 개방(절연) 상태로 변하므로 측정값을 계산하기 위해서 오옴 법칙을 사용한다. 모든 DC 파라미터 값들의 측정에는 PMU(Parametric Measuring Unit)를 가진 자동검사장비(Automatic Test Equipment, ATE)를 가지고 이루어진다. PMU는 프로그램된 전압(전류)을 인가하고 전류(전압)를 측정할 수 있으며 가장 정확하게 파라미터를 측정한다.

일반적인 개방/단락 테스트(normal open/short test)는 인터페이스와 DUT(Device Under Test) 사이의 접촉 여부와 소자의 내부 개방 또는 단락을 확인한다.

입력핀들은 일반적으로 개방 회로로 고임피던스(high impedance)상태로 생각하는데 각 입력 핀에 흐

르는 최악의 전류량을 입력 누설전류(input leakage)라고 부르며 입력핀과 VDD(VSS) 사이의 저항에 흐르는 전류 IIL(IIH)를 말한다.

III. 핀간 결함 모델링과 핀간 DC 파라미터 테스트 방법

개방/단락 테스트는 각 핀마다 단락 및 개방 상태를 테스트하지만 그림 2처럼 인접한 핀간 단락상태가 발생하면 정확한 단락 상태를 테스트를 할 수 없다.

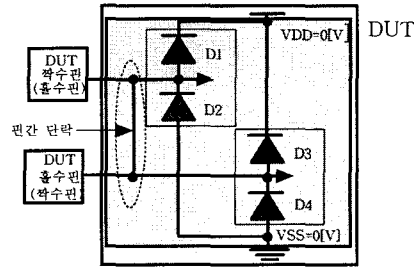


그림 2. 핀간 단락이 발생한 회로 모델링
Fig. 2. Pin-to-pin short circuit modeling

그림 2에서 짝수 핀과 홀수 핀이 단락되어 있으므로 D1(D2) 다이오드가 개방 상태인 경우에 홀수 핀의 D3(D4) 다이오드가 D1(D2)을 대신하게 되므로 정상적인 회로가 되어 불량을 찾을 수 없다. 핀간 단락에서 D1(D2) 다이오드가 단락 상태인 경우에는 짝수 핀과 홀수 핀은 전원부(VDD, VSS)의 상태, 즉 0[V]가 되므로 어느 핀이 불량인지를 정확하게 판정할 수 없게 된다. 따라서 핀간 단락을 테스트할 수 있어야 제품의 정확한 불량 형태가 파악되므로 제품 분석을 통하여 신뢰성을 높일 수 있다.

본 논문은 개방/단락에서 핀간 단락에 의한 영향을 제거한 순수한 개방/단락 테스트(Open/short test, O/S test)와 핀간 단락 테스트(Pin-to-pin short test, S_{PP} test)를 제안한다. 순수한 개방/단락 테스트는 모든 입력 핀들을 부동(float) 상태로 만들고 한 핀씩 전류를 인가한 후 전압을 측정한다. 인접 핀들이 부동 상태에 있으므로 핀간 단락에 의한 영향은 제거된다. 수정된 개방/단락 테스트 후에 핀간 단락 테스트를 실시한다.

그림 3에 본 논문에서 제안한 핀간 단락 테스트(Pin-to-pin short test, S_{PP} test) 방법을 나타내었다. 핀들을 짝수 핀과 홀수 핀으로 구분한다. 홀수(짝수) 핀에는 테스트 장비의 PMU는 오픈한 후 핀 일렉트로닉스(PE)에서 0[V]를 인가한다. 짝수(홀수) 핀은 PE를

오픈한 후 PMU를 연결한다. PMU를 사용하여 짝수(홀수) 핀에 $0.0[\mu A]$ 를 인가하고 전압을 측정한다. 만일 짝수 핀과 홀수 핀이 단락되어 있으면 홀수(짝수) 핀에 인가한 $0[V]$ 전압이 측정되어 단락 불량으로 판정된다. 두 핀이 개방되어 있으면 PMU 클램프(clamp) 전압 $3[V]$ 가 측정되어 양품으로 판정된다.

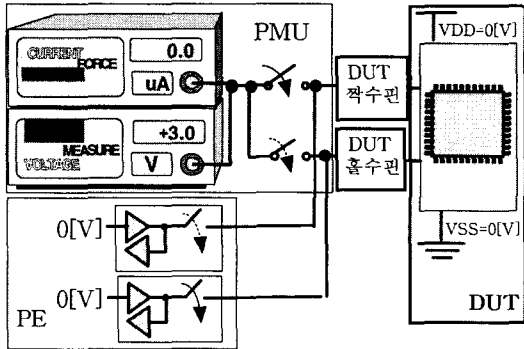


그림 3. 핀간 단락 테스트 방법
Fig. 3. Pin-to-pin short test (S_{pp} test) method

입력 누설전류 테스트는 입력핀과 전원(VDD/GND) 사이에 흐르는 누설전류를 측정하는 것이다. 만일 그림 4처럼 인접한 핀과 핀 사이에서 누설 저항이 존재하면 핀간 누설저항에 의한 전류도 측정된다.

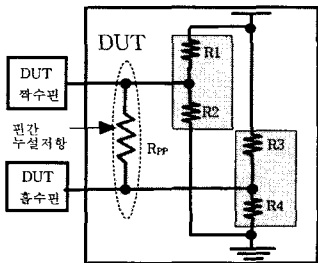


그림 4. 핀간 누설저항이 존재하는 회로 모델링
Fig. 4. Pin-to-pin leakage resistance circuit modeling

누설전류 테스트 조건에 따라 짝수 핀의 IIL 전류를 측정한다면 짝수 핀은 LOW(VSS) 상태, 홀수 핀은 HIGH(VDD) 상태가 되어 회로에서 R3는 양단에 VDD와 HIGH 상태가 되고 R2는 양단에 VSS와 LOW 상태가 되므로 개방(open) 상태가 된다. 짝수 핀의 IIH 전류를 측정한다면 짝수 핀은 HIGH(VDD) 상태, 홀수 핀은 LOW(VSS) 상태가 되어 회로에서 R1는 양단에 VDD와 HIGH 상태가 되고 R4는 양단에 VSS와 LOW 상태가 되므로 개방 상태가 된다. 핀간 누설저항(R_{pp})

으로 인해서 누설전류는 핀간 누설전류 만큼 증가한다. 입력누설전류 측정시, IIL은 모든 입력 핀들을 HIGH 상태로 만들고 측정하고자 하는 핀만 LOW 상태로 하여 측정하므로 인접 핀간 누설전류(IIL_{pp})도 동시에 더해져서 측정된다. IIH는 모든 입력 핀들을 LOW 상태로 만들고 측정하고자 하는 핀만 HIGH 상태로 하여 측정하므로 인접 핀간 누설전류(IIH_{pp})도 동시에 더해져서 측정된다. 따라서 누설전류가 입력누설전류(IIL/IIH)와 핀간 누설전류(IIL_{pp}/IIH_{pp})의 합으로 나타나게 되므로 누설전류의 영향을 정확하게 파악할 수 없다. 입력누설전류와 핀간 누설전류를 구별할 수 있는 새로운 테스트 알고리즘이 필요하다.

본 논문은 입력누설전류를 핀간 누설전류를 제거한 순수한 입력 누설전류 테스트(Input leakage test, IIL/IIH test)와 핀간 누설전류 테스트(Pin-to-pin leakage test, IIL_{pp}/IIH_{pp} test)로 나누는 방법을 제안한다. 순수한 입력 누설전류 테스트 IIL(IIH)은 그림 4에서 모든 입력 핀들을 LOW(HIGH)로 만들고 각 핀에 $0.0(5.0)[V]$ 를 인가하고 입력 누설전류 IIL(IIH)를 측정한다. 인접 핀들이 LOW(HIGH)에 있으므로 핀간 누설저항 양단이 LOW(HIGH)가 되므로 핀간 누설전류 IIL_{pp}(IIH_{pp})는 $0[A]$ 가 된다. 따라서 핀간 누설전류가 제거된 순수한 입력누설전류(IIL/IIH)만이 측정된다.

새로운 핀간 누설전류 테스트(IIL_{pp}/IIH_{pp})는 입력 누설전류 테스트 후에 수행한다. 입력누설전류 테스트가 통과되면 핀간 누설저항에 대한 핀간 누설전류만을 고려하면 된다. 기존의 VLSI 소자 규격서에는 핀간 누설전류에 대한 규정이 없다. 제조기술에 따라 허용되는 핀간 누설저항은 다양한 값을 가질 수 있으므로 이에 따른 규정이 정해져야 한다. 표 1은 누설전류에 대한 DC 파라미터 특성을 나타내었다.

표 1. 누설전류에 대한 DC 파라미터 특성표

Table 1. DC parametric characteristic table of leakage

테스트 파라미터 (test parameters)	심볼 (symbol)	테스트 방법 (test method)				비고	
		핀이름 (pin name)	조건 (condition)	값(value)			단위 (unit)
				최소	최대		
입력 누설전류 (input leakage)	IIL/IIH	입력핀	VDD=5V, Vin=0V VSS=0V, Vin=5V	-	+1	μA	기존
핀간 누설전류 (pin-to-pin leakage)	IIL _{pp} /IIH _{pp}	입력핀	Vin=0V(짝수핀), Vin=5V(홀수핀) Vin=0V(홀수핀), Vin=5V(짝수핀)	-	+0.1	μA	신설

본 논문에서는 CMOS 공정의 VLSI 소자를 기준으로 한 입력 누설전류 값의 10%를 핀간 누설전류 값으로 정하면 핀간 누설전류 규격은 $\pm 0.1[\mu A]$ 로 규정된다. 핀간 누설전류 파라미터를 정의하였으므로 이를 측정

하는 핀간 누설전류 테스트가 필요하다.

새로운 핀간 누설전류 테스트(Pin-to-pin leakage test, I_{Lpp}/I_{IHpp} test) 방법은 짝수 핀과 홀수 핀에 핀 일렉트로닉스(PE)에서 5[V]를 인가하고 PMU는 오픈한다. 짝수 핀에 PMU를 연결하면 자동적으로 PE는 끊어진다. PMU를 사용하여 짝수(홀수) 핀에 0.0[V]를 인가하고 전류를 측정한다. 짝수 핀과 홀수 핀 사이에 누설저항이 존재하면 핀간 누설전류 $I_{Lpp}(I_{IHpp})$ 가 측정된다. 만일 누설저항이 없으면 핀과 핀 사이는 개방상태이므로 $I_{Lpp}(I_{IHpp})$ 는 0[A]가 측정된다. 핀간 누설전류 I_{IHpp} 는 반대로 홀수 핀의 PE를 오픈하고 PMU를 연결한다.

본 논문은 기존 테스트 파라미터인 개방/단락 및 누설전류의 테스트 방법을 변경하여 핀간 결함 현상들을 분리 테스트하고 핀간 결함의 대부분을 차지하는 핀간 단락 및 핀간 누설전류를 테스트하는 새로운 방법들을 제안하였다.

IV. VLSI 소자 테스트 결과 및 고찰

기존의 테스트 방법과 변경된 테스트 방법 그리고 신설된 핀간 테스트 방법을 검증하기 위해서 실제 제품인 LCD 구동 IC를 어드반테스트(Advantest) 회사의 ATE(Automatic Test Equipment)로 테스트한 결과를 표 2에 나타내었다.

표 2. LCD 구동 소자의 테스트 요약
Table 2. Test summary of LCD driver device.

SUMMARY SHEET (개)	총 개수(%)		1402 (100.00)		비고
	양품개수(%)	불량개수(%)	798 (56.92)	604 (43.08)	
테스트 파라미터	불량 개수				
	기준 (개)	비율 (%)	변경및신설 (개)	비율 (%)	
개방/단락	106	7.56	106	7.56	
핀간 단락	-	-	73	5.21	-(항목 없음)
입력 누설전류	22	1.57	17	1.21	
핀간 누설전류	-	-	5	0.36	-(항목 없음)
평선	425	30.31	352	25.10	
전원소비	3	0.22	3	0.22	
기타 테스트	48	3.42	48	3.42	

테스트 요약에 따르면, 기존 테스트 방법에서는 핀간 단락 불량들을 평선 불량으로, 핀간 누설전류 불량들은 입력 누설전류 불량으로 분류(binning)한다. 그러나 본 논문에서 제안한 변경 및 신설된 테스트 방법들은 불량 유형에 따라서 정확한 분류를 함으로 제품의 신뢰성을 향상하는데 매우 적합함을 알 수 있다.

핀간 불량 항목들을 테스트하는 것은 소자의 초기 개발 단계에서 반드시 필요하다. 제품 개발 단계에서는 공정의 불안정과 다양한 원인으로 인해서 제품 수율이 낮게 나타나는데 핀간 불량들이 주 원인이 되는 경우가 많다. 따라서 신뢰성 향상과 수율 향상을 위해서 핀간 단락 테스트와 핀간 누설전류 테스트가 필요하다.

V. 결론

VLSI 소자의 고집적화에 따른 테스트 파라미터들의 증가로 신뢰성 향상을 위해서 기존의 테스트 방법의 변경과 추가가 필요하다. 소자의 집적도와 패키징 핀 수 증가에 따라 핀간에 다양한 결함 형태들이 발생되므로 본 논문은 이를 분석하고 평가하는 기존의 개방/단락 테스트와 누설전류 테스트에서 핀간 현상을 제거한 테스트 방법으로 변경하였다. 그리고 핀간 현상을 정의하여 주 결함 원인인 핀간 단락 또는 핀간 누설저항을 모델링하고 핀간 단락 테스트와 핀간 누설전류 테스트 방법을 새로이 제안하였다. 실제 제품 테스트를 통해 테스트 항목의 변경과 신설에 따른 제품 테스트의 신뢰성 향상을 확인하였다.

참고문헌

- [1] Anthony K. Stevens, "Introduction to Component testing" ADDISON-WESLEY PUBLISHING COMPANY, 1985, pp. 3-7
- [2] Williams Merkel, "Parametric Testing to Improve Semiconductor Yields" Semiconductor Online Company, 03/12/1998
- [3] W. Maly, "Realistic fault modeling for VLSI testing" in Proc. Design Automation Conf., 1987, pp. 173-180
- [4] F. J. Ferguson and J. P. Shen, "A CMOS fault extractor for inductive fault analysis" IEEE Trans. Computer-Aided Design, vol. 7, No. 11, Nov. 1988, pp.1181-1194
- [5] 박용수의 4명, "디지털 논리 설계와 응용", 북두출판사, pp.250-253, 1999
- [6] Stefan SCHMIDT, "Programmable Loads" Schlumberger Technologies, 1990
- [7] Guy Perry, "The Fundamentals of Digital Semiconductor Testing", Soft Test Inc., 1996, pp.3-5~3-8