IMT2000 단말기용 Viterbi Decoder 의 FPGA 구현

김진일*, 정완용, 김동현, 정건필, 조춘식
현대전자산업 주식회사

Implementation of Viterbi Decoder for IMT2000 Mobile Station in FPGA form

Kim Jinil*, Chung Wanyong, Kim Donghyun, Jung Kunpil, Cho Choonsik
Hyundai Electronics Industries Co. Ltd

Abstract

A Viterbi Decoder for IMT2000 Mobile Station based on cdma200 is implemented in this paper. There are fundamental traffic channel, supplemental traffic channel for user data transmission and dedicated control channel for signal transmission in cdma2000. This decoder can decode these channels simultaneously, and support 1/2, 1/3, 1/4 code rate decoding. In case of fundamental channel decoding, it needs about 1100 logic cells and 30000 bit memory block.

I. 서론

Convolutional Code 의 복호 방식들 중 1967 년 비터비에 의해 제안된 비터비 복호 방식은 수신된 경로에 대한 Maximum Likelihood Sequence Estimation 알고리즘이다. [1] 비터비 복호 알고리즘은 초기에는 구속장이 K=6, 7 정도까지 개발되었으나 설계 기술과 반도체 기술의 발전에 힘입어 구속장이 큰(K=9) 것 까지도 개발되고 있다.

비터비 복호기는 가지메트릭부(Branch Metric : BM), ACS(Add-Compare-Select)부, 상태메트릭부(State Metric : SM), 역추적부(Traceback : TB)등 주요 4 개의 모듈로 구성된다. [2] ACS 모듈은 비터비 복호기의 심장부로서 많은 계산을 반복해야 하는 부분으로 비터비 복호기의 고속화에 걸림돌이 되는 소위 병목에 해당된다. C. M. Rader 는 상태메트릭 메모리(State Metric Memory : SMM)를 단일 버퍼로 구현하고 수행 속도의 단축을 위하여 ACS 모듈로 입력되는 경로값을 동시에 읽어 올 수 있도록 상태의 패리티에 따라 SMM 을 분할하는 방법을 제시하였다. [3]

3 세대 이동 통신 시스템인 IMT2000 에 표준안으로 제안된 cdma2000 규격은 음성, 데이터, 영상등을 동시에 서비스하기 위하여 traffic channel 로 fundamental channel 과 supplemental channel 을 가지고 있으며, signal 신호를 전송하기 위하여 dedicated control channel 을 따로 가지고 있다. [4] 각 채널들은 동시에 전송되며, 수신단에서의 Viterbi Decoder 는 각 채널들을 동시에 복호할 수 있어야 한다. 따라서 Decoder System 의 복잡도는 기존 IS-95 System 보다 복잡도가 증가하게 된다.

본 논문에서는 Rader 에 의해 제시된 메모리 구조를 갖는, cdma2000 의 순방향 링크에서의 Viterbi Decoder 를 설계하였다.

본 논문의 II.장에서는 cdma2000 순방향 링크에서의 Channel Coding 방법에 관하여 살펴보고, III.장에서는 Viterbi Decoder 를 구성하는 기본 블록들의 설계 방법을 서술하며, IV.장에서 결론을 맺는다.

II. cdma2000 순방향 링크에서의 Channel Coding 방법

cdma2000 순방향 링크에서는 Fundamental Channel(F-FCH)의 경우 K=9 의 Convolutional Code 를 사용하고, Supplemental Channel(F-SCH)의 경우 14.4kbps 이하의 전송 속도에서는 K=9 의 Convolutional Code 를 사용하고, 14.4 kbps 이상의 고속에서는 Turbo Codes 를 사용한다.

F-FCH 에서의 Convolutional Code 경우, 1.2288 Mcps 의 chip rate 에서는 vocoder 의 rate 에 따라 RS1 의 경우 1/2 code 를 RS2 에서는 1/3 code 를 사용한다. 3.6864 Mcps 의 chip rate 에서는 RS1 의 경우 3/8 code 를 RS2 의 경우 1/4 code 를 사용한다. F-SCH 에서는 각각 1/2, 3/8, 1/3, 1/4 code 를 사용한다.

다음 표 1.은 각 code rate 에서의 Convolutional Code 의 생성 다항식을 나타낸다.

표 1. 순방향 링크에서의 Convolutional Code 의 생성다항식

Rate	구속장	g0	g1	g2	g3
1/2	9	753	561	-	-
1/3	9	557	663	711	-
1/4	9	765	671	513	473

III. Viterbi Decoder 기본 블록 설계

Viterbi Decoder 기본 블록은 그림 1 과 같이 입력버퍼부, 가지메트릭부, 상태메트릭부, 역추적부, 출력버퍼부와 Decoder 부 제어를 담당하는 제어부로 구성된다.

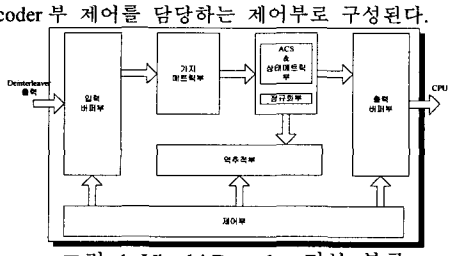

그림 1. Viterbi Decoder 기본 블록

3.1 입력버퍼부

입력버퍼부는 Demodulator 로부터 4bit 연판정 데이터를 입력받아 누적 처리한 후 다음 데이터율 처리를 위해 누적버퍼 메모리에 저장한다. 그리고 2 의 보수 형태로 수신된 데이터를 signed magnitude 형태로 변환하여 code rate 에 따라 적당한 크기의 symbol 을 가지메트릭부로 전송한다. 입력버퍼부는 그림 2 와 같이 직병렬

변환기, 입력버퍼메모리 제어로직, 누적버퍼메모리 제어로직, SMT 제어로직과 입력버퍼메모리, 누적버퍼메모리로 구성된다.

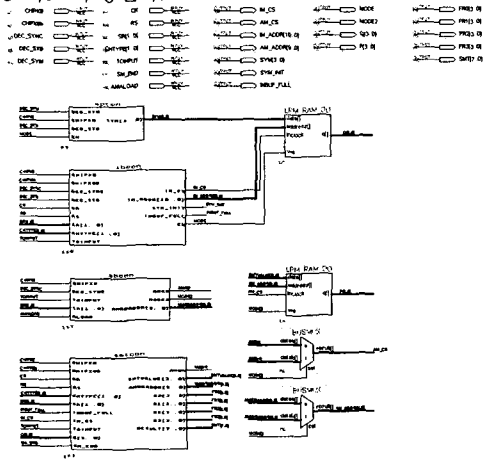

그림 2. 입력버퍼부 회로

3.2 가지메트릭부

가지메트릭부는 코드워드 생성기, 부호비교기와 가산기로 이루어 진다.

코드워드 생성기는 X[6..0]와 CR(Chip Rate Register 값), RS(Rate Set Register 값)을 입력 받아, 각 Chip rate 및 Rate set 에 해당하는 코드워드를 생성하여, CHIPX4 클럭에 동기되어 코드워드 CODEWORD[3..0]를 출력한다. 코드워드 생성다항식의 LSB 와 MSB 는 모두 1 이므로 가지의 부호어는 생성 다항식의 최상위 비트와 최하위 비트 사이의 7 비트중 1 인 위치를 xor 하면 얻을 수 있다.

부호비교기는 생성된 코드워드와 4 비트 연판정 수신 심볼의 최상위 비트를 비교한다. 부호가 같으면 가지메트릭 값에 0 을, 다르면 수신 심볼의 하위 3 비트를 가지메트릭 값에 더한다. 이렇게 해서 생성된 가지메트릭 값(BM0[4..0], BM1[4..0])을 CHIPX4 에 동기되어 출력한다.

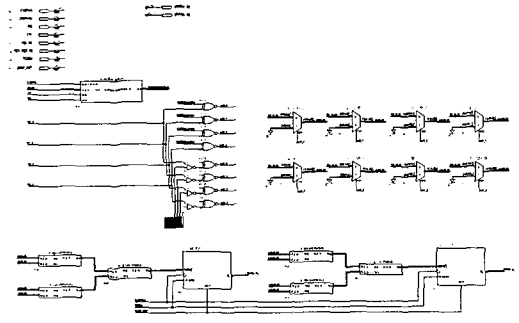

그림 3. 가지메트릭부 회로

3.3 ACS 부

ACS 부는 BM 부로부터 CHIPX4 에 동기되어 가지메트릭 값 BM0 와 BM1 을, SM 부로부터 상태메트릭값 SMX0 와 SMX1 을 수신하여 CHIPX4b 에 동기되어 두 값을 더한다. 더해진 값은 비교기를 거쳐 CHIPX4 에 동기되어, 그 중에 작은 값이 선택되고, CHIPX4b 에 동기되어 정규화 과정을 거쳐 SM0X 와 SM1X 값으로 출력된다. 그리고 SM0X 와 SM1X 를 비교하여 INIT_TB[7..0] 상태를 구하여 역추적부로 전송하여 역추적 과정에 사용한다. SM0X 와 SM1X 와 동시에 TB0 및 TB1 의 값이 역추적부로 출력되게 된다.

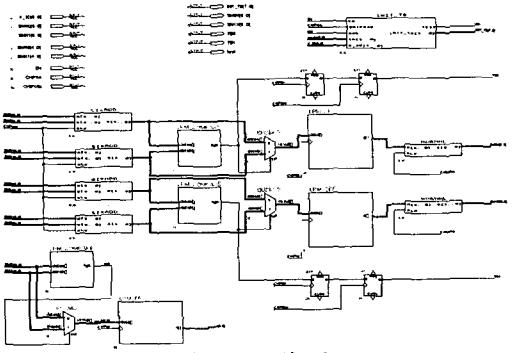

그림 4. ACS 부 회로

3.4 상태메트릭부

상태메트릭부는 상태메트릭 메모리 주소를 발생시키는 sea(State Metric Memory Even Address) logic 과 메모리 제어 신호를 발생시키는 smctrl(State Metric Memory Control) logic, 상태메트릭 메모리의 데이터와 ACS 부를 연결하는 DFROMSM(Data from SM) logic, 그리고 2 개의 128 x 6 bit 의 메모리로 구성되어 있다.

제어부로부터 SM_EVEN_ADDR A[6..0]와 SM_ODD_ADDR W[6..0]을 받으면, sea logic 에서 이를 이용하여 읽기 주소와 쓰기 주소를 만들고, smctrl logic 의 제어 신호의 제어를 받아 상태메트릭 메모리에 데이터를 읽거나 쓴다. 이 때 X[6..0]가 2 번 delay 된 X_2D[6..0]의 parity 를 체크하여 '0'일 경우 SM1X 를 Even Memory 에, SM0X 를 Odd Memory 에 적고, '1'일 경우 반대로 한다. 그리고 X[6..0]의 LSB 를 체크하여 '0'일 경우 CHIPX4 에 동기되어 Even Memory Data 를 SMX0 에, Odd Memory Data 를 SMX1 에 보내고, '1'일 경우 반대로 한다.

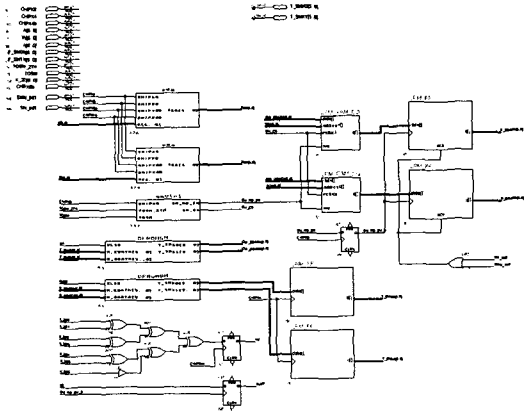

그림 5. 상태메트릭부 회로

3.5 역추적부

역추적부의 주요 블록은 TBM 의 제어 신호를 발생시키는 tmctrl(Trace-back Memory Control), 역추적을 할 때 TBM 의 주소를 발생시키는 8 비트 순환 레지스터, TBM 의 column 주소를 발생시키는 64 진 카운터 등으로 구성된다.

ACS 부로부터 상태값이 SM 부로 전송됨과 동시에 TB 값이 ACS 부에 의해서 TBM 으로 전송되므로 TBM 의 쓰기 동작은 SMM 의 쓰기 동작과 같은 순차로 일어난다. 역추적 과정에서는 읽기 동작을 64 회 반복하므로 CHIPX8 64 사이클이 필요하다. 읽기 제어 신호는 역추적 과정임을 알려주는 TOTB 신호 구간동안 CHIPX8 의 low 구간에서 발생한다. 역추적시 TBM 의 주소는 ACS 로부터 최소 상태값을 갖는 상태(INIT_TB)를 초기값으로 하여, TBM 에서 읽은 데이터를 순환 레지스터의 LSB 에 넣고 왼쪽으로 순환시켜 발생시킨다. TBM 의 주소는 쓸 때와 읽을 때 mux 를 이용하여 X 로부터 읽을 것인지 순환 레지스터로부터 읽을 것인지 구분해야 한다. mux 의 제어 신호는 TOSM 으로서 역추적 과정시에는 순환 레지스터의 출력을 선택한다.

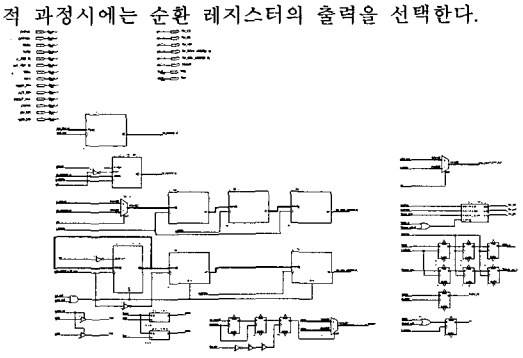

그림 6. 역추적부 회로

3.6 제어부

제어부는 Decoder 부 제어 신호를 발생시키는 mkctrl logic, DEC_INT 신호를 발생시키는 MK_INTD logic, reset 신호를 발생시키는 MKRESET logic, SM_ADDR 을 발생시키는 smm_add logic, X[6..0]을 발생시키는 x_gen logic 으로 구성되어져 있다

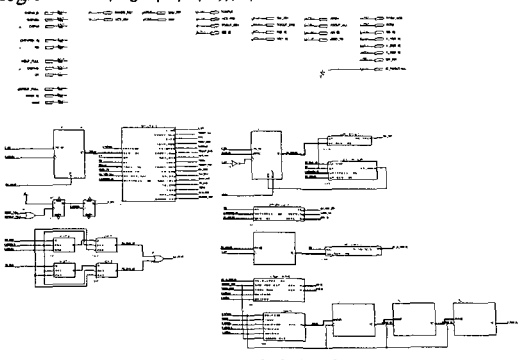

그림 7. 제어부 회로

SMM_ADD logic 은 상태메트릭부에서 사용하는 SM_EVEN_ADDR A[6..0]와 SM_ODD_ADDR W[6..0]을 만드는 logic 이다.

3.7 출력버퍼부

출력버퍼부는 역추적 과정을 거쳐 나온 4 가지 데이터율에 대한 복호 데이터를 출력버퍼메모리에 저장한다. 그리고 복호된 출력 데이터를 다시 부호화하여 지연시킨 입력 codeword 와 비교하여 SER 을 계산하고, CRC 의 나머지가 '0'인지 확인하여 frame 의 rate 을 결정한다.

LPM_SHIFTREG 는 TOOUT_ONE 에 동기되어 입력되는 직렬 복호 데이터를 8 비트 병렬 데이터로 변환하여 출력메모리에 저장하기 위하여 내보낸다. PR_TAIL2 회로는 역순으로 입력되는 마지막 64 개의 데이터를 수신된 순서대로 출력메모리에 저장하기 위한 로직이다. obctrl 로직은 출력메모리의 주소 및 쓰기, 읽기 신호를 발생 시키는 회로이다. 출력메모리의 쓰기 주소는 각 rate 에 따라 초기치가 결정되며, 읽기 주소는 SER 과 CRC 의 결과를 가지고 rate decision 이 이루어지고 난 후 CPU 로부터 초기치가 결정되게 된다.

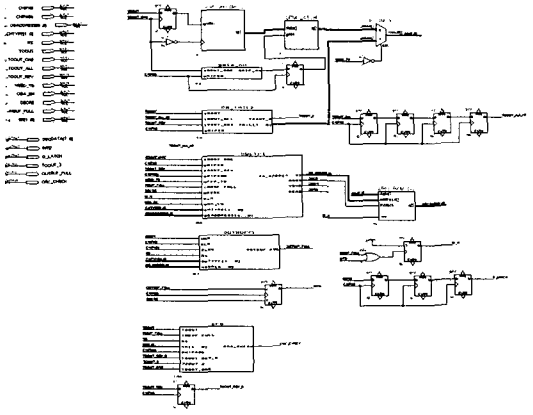

그림 8. 출력버퍼부 회로

OUTBUFFL 회로는 한 frame 의 복호 데이터가 출력메모리에 모두 저장되고 난 후 발생 하며, 이 신호를 이용하여 복호의 끝을 알리는 INTD (Decode Interrupt) 신호가 발생하게 된다.

다음 그림 9 는 각 기본 블록을 연결하여 구성한 Viterbi Decoder 의 core 블록을 나타내고 있으며, 그림 10 은 이의 simulation 결과를 보이고 있다.

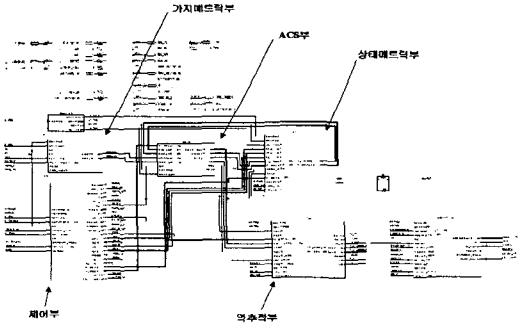

그림 9. Decoder core 블록

IV. 결론

본 논문에서는 3 세대 이동 통신 시스템인 IMT2000 에 표준안으로 제안된 cdma2000 규격을 따르는 단말기용 Viterbi Decoder 를 설계하였다.

Fundamental Channel 를 복호하는 Decoder System 에 약 1100 개의 logic cell 이 소요되며, 약 30000 비트를 저장할 수 있는 SRAM 이 필요하다.

다음 그림은 cdma2000 규격의 단말기용 Viterbi Decoder System 의 구성을 나타내고 있다.

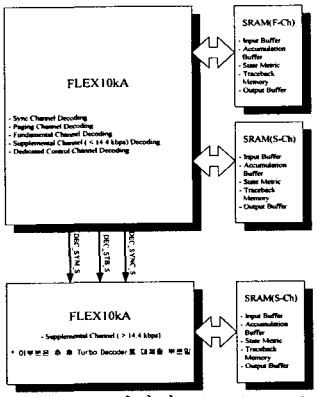

그림 11. cdma2000 단말기 Viterbi Decoder System

System 은 Sync, Paging, Fundamental Channe, Dedicated Control Channel 과 14.4 kbps 이하의 data rate 의 Supplemental Channel 의 복호를 담당하는 FPGA(FLEX10kA)와 14.4 kbps 이상의 data rate 의 Supplemental Channel 의 복호를 담당하는 FPGA(FLEX10kA), 그리고 복호 과정시 생성되는 데이터를 저장하기 위한 SRAM 으로 구성 된다.

System 은 Sync, Paging, Fundamental Channe, Dedicated Control Channel 과 14.4 kbps 이하의 data rate 의 Supplemental Channel 의 복호를 담당하는 FPGA(FLEX10kA)와 14.4 kbps 이상의 data rate 의 Supplemental Channel 의 복호를 담당하는 FPGA(FLEX10kA), 그리고 복호 과정시 생성되는 데이터를 저장하기 위한 SRAM 으로 구성 된다.

추 후 14.4 kbps 이상의 data rate 의 Supplemental Channel 에서 Turbo Codes 를 구현하였을 경우, 위 그림의 14.4 kbps 이상의 Supplemental Channel 의 복호는 Turbo Decoder 로 대체될 것이다.

이번 설계를 이용하여 고속의 data rate 에서의 Turbo Decoder 의 구현이 이루어져야 할 것이다.

참고 문헌

1. A. J. Viterbi, "Error Bounds for Convolutional Codes and an Asympototically Optimum Decoding Algorithm." *IEEE Trans. Information Theory*, IT-13, April 1967.
2. G. Fettweis, H. Meyr, "A 100 Mbit/s Viterbi Decoder chip : Novel Architecture and its realization", *IEEE International Conference on Communication*, Atlanta, No. 307.4, pp.463-467, April 1990.
3. C. M. Rader, "Memory Management in a Viterbi Decoder", *IEEE Trans. on Comm.*, vol. COM-29, No. 9, pp.1399-1401, Sept. 1981.
4. The cdma2000 ITU-R RTT Candidate Submission
5. 지현순, 박동선, 송상섭, "다중의 Add-Compare-Select 모듈을 갖는 병렬 비터비 알고리즘의 메모리 관리 방법", 한국통신학회논문지, 21 권 8 호, pp 2077-2089, 1996.

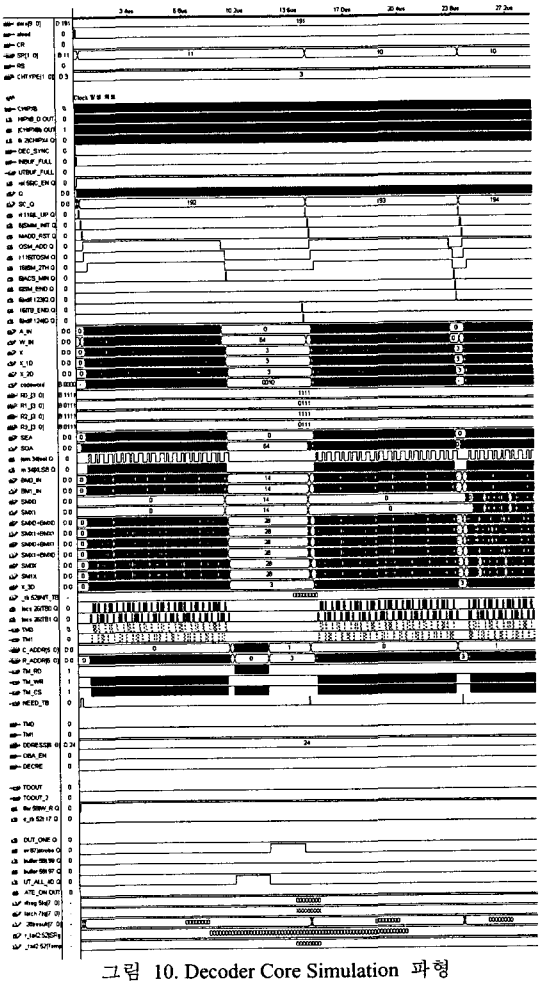

그림 10. Decoder Core Simulation 파형