

내장 자가 검사 회로의 설계

김 규철, 노 철균

단국대학교 전자컴퓨터공학과

Tel. 02-709-2835, E-mail kckim@dankook.ac.kr

Design of Built-In Self Test Circuit

Kim, Kyu Chull & Roh, Chul Gyun

Dept. of Electronics & Computer Engineering in Dankook University

Tel. 02-709-2835, E-mail kckim@ns.dankook.ac.kr

Abstract - In this paper, we designed a Circular Path Built-In Self Test circuit and embedded it into a simple 8-bit microprocessor. Register cells of the microprocessor have been modified into Circular Path register cells and each register cells have been connected to form a scan chain. A BIST controller has been designed for controlling BIST operations and its operation has been verified through simulation. The BIST circuit described in this paper has increased size overhead of the microprocessor by 29.8% and delay time in the longest delay path from clock input to output by 2.9ns.

1. 서론

집적회로의 집적도가 높아짐에 따라 집적회로의 검사는 점점 더 어려워지고 검사에 소요되는 비용 및 시간도 증가하고 있다. 이에 따라 검사를 쉽게 하도록 하는 여러 가지 방법이 제안되었는데, 이 가운데 집적회로의 설계 자체를 검사가 용이하도록 하는 기법을 검사용이화 설계 (DFT : Design For Testability)라고 한다^[1].

집적회로의 검사는 검사에 관련된 회로의 포함 여부에 따라 외부검사(external testing)와

내장 자가 검사(Built-In Self Test : BIST)로 나뉘어진다^[2].

외부 검사는 회로의 I/O를 통해 별도의 검사 장비로 테스트 패턴을 가하고 고장을 검출하는 방법으로 하드웨어 오버헤드가 없고 전통적으로 많이 쓰여온 방법이지만 동작속도검사(at-speed test)가 어려울 뿐 아니라, 늘어나는 게이트 수에 비해 I/O가 제한되기 때문에 복잡한 회로에 대한 제어도(controllability)와 관찰도(observability)가 떨어지며 검사 패턴의 수가 늘어남에 따라 검사 수행 시간이 길어지고 외부검사장비(external test equipment)의 가격도 비싸다.

외부 검사에 이러한 문제점을 해결하기 위하여 제안된 DFT가 내장 자가 검사이다. 내장 자가 검사는 회로 내에 스스로를 검사하는 회로를 내장시킨 형태로 동작속도검사가 가능하며 회로의 제어도와 관찰도를 높일 수 있으므로 높은 고장검출율(fault coverage)을 얻을 수 있으며 검사 패턴(test pattern)의 생성이 비교적 쉽고, 고가의 외부검사장비를 필요로 하지 않는 장점으로 현재 시스템 전체나 내장된 ROM이나 RAM, 조합논리회로, 그리고 FSM등의 검사에 널리 쓰이고 있다.^[3]

일반적인 BIST 구조는 검사 패턴 생성기

(PRPG : Pseudo-Random Pattern Generator) 와 별도로 반응 출력 분석기(ORA : Output Response Analyzer)를 사용하는데, 이와 다른 구조를 갖는 BIST로는 검사 패턴 생성기와 반응 출력 분석기가 결합된 환상 경로 BIST (CSTP : Circular Self-Test Path)^[6]가 있다.

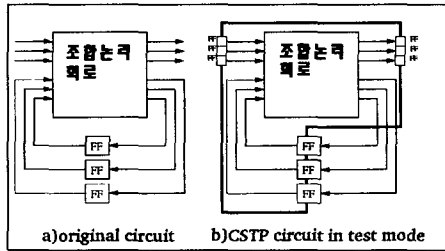


그림 1. 환상 경로 BIST 회로의 적용

환상 경로 BIST의 기본 아이디어는 [그림 1]에 보인 것처럼 검사 대상 회로(CUT : Circuit Under Test) 내의 플립플롭을 데이터 압축이 가능한 하나의 긴 피드백 쉬프트 레지스터로 연결하는 것이다.^[2] 레지스터의 각 셀에는 앞 셀의 출력과 그 셀의 입력을 XOR시키는 여분의 게이트가 필요하며 환상 경로 BIST는 스캔체인에 추가되는 약간의 게이트 외엔 하드웨어 오버헤드가 거의 없다.

본 논문에서는 8 비트 마이크로프로세서에 환상 경로 BIST를 VHDL을 사용한 하향(top-down)식으로 설계하여 적용하고 시뮬레이션으로 검증한 다음 합성을 통해 FPGA로 구현하였다.

제 2장에서는 일반적인 BIST 구조의 검사 패턴 생성기와 반응 출력 분석기에 대해서 알아보았다. 제 3장에서는 환상 경로 BIST의 일반적인 사항에 대해 기술하였다. 제 4장에서는 환상 경로 BIST를 실제 간단한 8비트 RISC 프로세서에 적용하고 그 결과를 분석하였다. 제 5장에서는 제안된 방법의 유용성과 향후 발전 과제들에 대해 논의하였다.

2. 일반적인 BIST의 구조

2.1 검사 패턴의 생성

BIST를 위한 검사 패턴의 생성으로는 크게 외부생성과 내부생성으로 나눌 수가 있다. 외부생성은 검사 패턴 생성 알고리즘에 의해 생

성된 검사패턴을 별도의 ROM에 저장하여 사용하는 방법으로서 높은 고장검출율을 얻을 수 있는 장점이 있지만, 패턴을 저장하기 위한 ROM이 필요하다.

내부생성은 검사 패턴을 칩 내부에서 생성해 내는 방법으로 주로 카운터나 LFSR (Linear Feedback Shift Register)을 사용한다.

LFSR은 [그림 2]에서 보인 것처럼 의사 임의 패턴을 얻도록 쉬프트 레지스터에 피드백 회로가 추가된 회로이다.^[6]

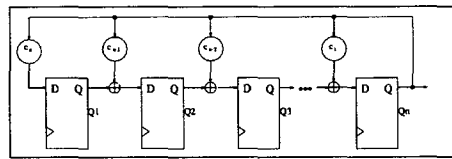


그림 2. LFSR의 구조

2.2 반응 출력의 분석

LFSR의 출력을 검사 대상 회로에 입력에 연결하고 검사 대상 회로의 출력을 [그림 3]에 보인 회로의 입력에 연결하면 일정한 수의 패턴을 가한 다음 이 회로에는 특정한 값이 남게 된다. 이 회로에 남은 값은 회로에 따라 고유한 값을 갖게 되므로 이를 주어진 패턴에 대한 검사 대상 회로의 서명(signature)라고 하고 [그림 3]의 회로는 MISR(Multiple Input Signature Register)라고 한다. 회로가 정상적이라면 동일한 패턴에 대한 회로의 서명은 항상 동일하여야 하는데 고장이 있는 비정상적인 회로는 서명이 정상적인 회로와 다르게 된다.

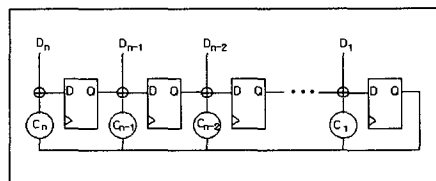


그림 3. MISR의 구조

3. 환상 경로 BIST

환상 경로는 시스템의 레지스터와 필요에 따라 추가된 레지스터로 구성된다.

[그림 4]는 환상 경로 레지스터를 보이고 있는데, 레지스터의 병렬 입력과 출력은 검사대상회로에 시스템 및 검사 정보를 전송하기 위해 사용되며 직렬 입출력(SI, SO)은 환상 경로(circular path)내의 이웃한 레지스터와 값을 주고받는 데 사용된다. 정상(시스템)상태일 때 시스템의 정보는 [그림 4]의 레지스터와 버스를 통해서 전해지며 같은 버스가 병렬 데이터를 데이터 레지스터에 적재하는데 사용된다. 회로가 검사 모드로 들어가면 레지스터는 MISR로서 데이터 압축을 수행하며 동시에 PRPG(Pseudo Random Pattern Generator)로서 검사 패턴을 생성한다.^[4]

즉 회로가 검사 모드인 동안에는 각각의 클락마다 데이터 압축이 수행되며 동시에 새로운 검사 패턴이 준비된다.

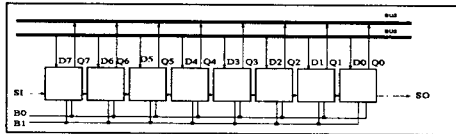


그림 4. 환상 경로 레지스터

회로의 레지스터의 셀들은 환상 경로 레지스터 셀로 바뀌어 환상 경로를 형성하게 된다.^[5]

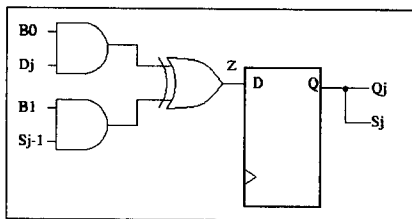


그림 5. 환상 경로 레지스터 셀

[그림 5]의 환상 경로 레지스터 셀의 B0, B1 입력에 따라 4가지의 동작 모드를 [표 1]에 나타내었다.

B0 B1	Z	모드
0 0	0	리셋
0 1	Sj	스캔
1 0	Dj	시스템
1 1	Dj XOR Sj-1	검사

표 1. 환상 경로 레지스터 셀의 동작

4. 마이크로프로세서에 적용된 환상 경로 BIST

본 논문에서는 VHDL로 모델링 된 간단한 8 비트 RISC(Reduced Instruction Set Computer) 프로세서에 환상 경로 BIST를 적용하였다.

전체 시스템은 ALU 블록, 제어 블록, 버스 블록, 상태 블록으로 구성되어 있으며, [그림 6]에 보인 바와 같이 D0-D7의 데이터 버스, A0-A7의 주소 버스, CLOCK, RESET, #RD, #WR, #MREN을 포함한 21 개의 시스템 입출력 핀과 BIST_START, BIST_END, BIST_RESULT의 검사를 위한 3 개의 핀 그리고 2 개의 전원 공급용(Vcc, GND) 핀을 합하여 총 23 개의 핀을 갖는다.

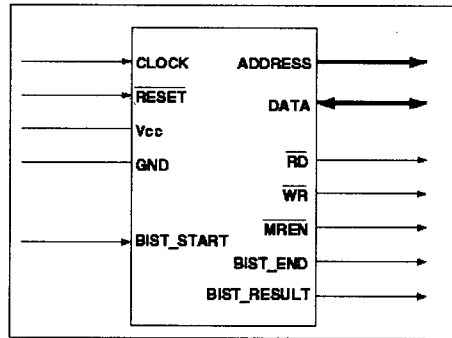


그림 6. 마이크로프로세서의 핀 배치도

마이크로프로세서 내의 레지스터 중 환상 경로에 포함되는 레지스터들은 모두 환상 경로 레지스터로 변경되며 이러한 레지스터들은 모두 VHDL의 동작적 표현(behavioral description)으로 설계되었다.

[그림 7]에 환상 경로 레지스터의 동작적 표현에 의한 모델링의 일부를 나타내었다.

각각의 환상 경로 레지스터들은 동작 모드 입력 핀을 가지고 있다. 환상 경로 레지스터는 동작 모드 입력 핀의 값에 따라 [표 2]에 보인

것처럼 4 가지 동작 모드를 갖는다.

```

ARCHITECTURE behavioral OF cstp_register IS
--Constants and signals are defined here
BEGIN
PROCESS ( parallel_in,clk, reset )
BEGIN
CASE test_signal IS
WHEN SYS => :
content := parallel_in;
end if;
WHEN INIT => :
content := (others => '0');
END IF;
WHEN TEST => :
content(0) := scan_in xor parallel_in(0);
for N in 1 to 7 loop
content(N):= content(N-1) xor parallel_in(N);
end loop;
WHEN SCAN => :
for N in 7 downto 1 loop
content(N) := content(N-1);
end loop;
content(0) := scan_in;
END IF;
WHEN OTHERS
=> NULL;
END CASE;
parallel_out <= content;
scan_out <= content (content' HIGH);
END PROCESS;
END behavioral;
    
```

그림 7. 환상 경로 레지스터의 VHDL 모델링

동작모드	모드 입력	동작
INIT	00	초기화
SCAN	01	쉬프트 레지스터
SYS	10	일반적인 레지스터
TEST	11	검사 수행

표 2. 환상 경로 레지스터의 모드에 따른 동작

BIST 제어기는 유한 상태 머신(FSM : Finite State Machine)으로 구성된다.

유한 상태 머신은 시스템, 초기화, 1차 검사, 1차 평가, 2차 검사, 2차 평가의 6개의 상태를 가진다. 시스템 상태에서는 환상 경로 레지스터는 정상동작을 한다. 즉, 이 상태에서는 검사를 수행하지 않는다.

초기화 상태에서 환상 경로 레지스터의 각 셀은 모두 '0'으로 초기화된다. 1차 검사 상태에서는 환상 경로의 고장을 검출한다. 즉 경로 내의 s-a-0나 s-a-1 고장 및 단락과 합선 등으로 인한 환상 경로 자체의 고장을 검출하며 이의 결과는 1차 평가 상태에서 BIST_RESULT 출력으로 반영된다. 만일 1차 검사 상태에서 고장을 검출했다면 BIST_RESULT는 검사 실패를 출력하고 모든 검사 과정을 종료한다.

1차 검사를 통과한 회로는 2차 검사 상태에 들어가게 되는데 2차 검사 상태에서는 환상 경

로 내의 모든 레지스터는 TEST 모드로 바뀌며 마이크로프로세서에 대하여 임의 패턴 검사를 수행하며 이의 결과는 2차 평가 상태에서 BIST_RESULT 출력으로 나타난다.

[그림 8]에 BIST 제어기의 상태도(state diagram)를 나타내었다.

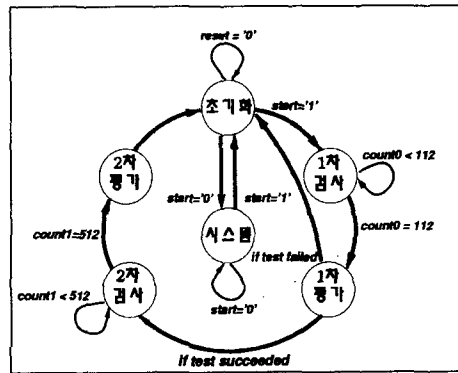


그림 8. BIST 제어기의 상태도

BIST 제어기의 내부 레지스터는 8 비트 쉬프트 레지스터이며 환상 경로에 포함된다. 각각의 검사 과정 수행 후에 이 레지스터에 남은 값을 서명(signature)으로 한다.

[그림 9]에 BIST 제어기의 VHDL 모델링의 일부를 나타내었다.

```

architecture behavioral of bist_con is
-- Constants and signals are defined here
begin
process(reset, clock, current_state, next_state)
begin
case current_state is
when SYS =>
:
if start = '1' then next_state <= INIT;
else next_state <= SYS;
end if;
when INIT =>
:
--output signals and internal register are initialized
if start = '1' then next_state <= TEST;
else next_state <= SYS;
end if;
when TEST =>
:
--Here's codes are operations of LSPR
if count1 = 50 then next_state <= COMP;
else count1 <= count1 + 1;
next_state <= TEST;
end if;
when COMP =>
mode <= "11";
-- in here ,registers act as shift
register eval_reg(eval_reg'high);
if count2 = 48 then next_state <= EVAL;
else count2 <= count2 + 1;
next_state <= COMP;
end if;
end case;
end process;
end architecture;
    
```

그림 9. BIST 제어기의 VHDL 모델링

마이크로프로세서의 각 블록 내의 구성 요소

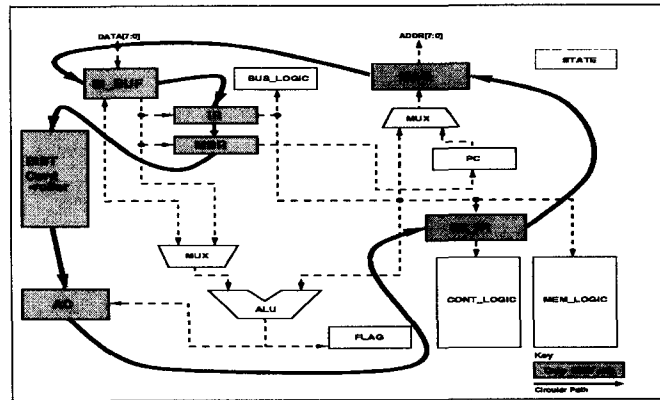


그림 10 환상 경로 BIST가 적용된 마이크로프로세서

중 모든 레지스터와 BIST 제어기의 내부 레지스터는 환상 경로에 포함된다.

환상 경로에 포함되는 마이크로프로세서의 레지스터는 AC, BI_BUF, EX_IR, IR, MAR, MBR 등 모두 6 개이며, 이들은 모두 환상 경로 레지스터로 변경된다.

환상 경로 BIST가 적용된 마이크로프로세서의 블록도를 [그림 10]에 나타내었다.

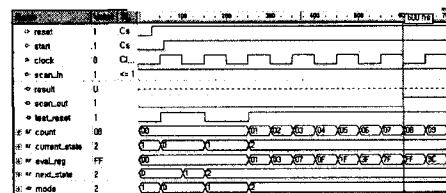


그림 12. BIST 제어기의 시뮬레이션 파형

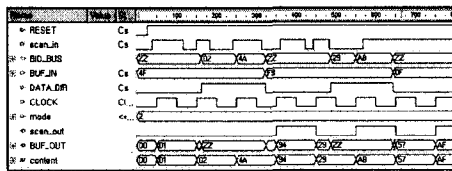


그림 11. 환상 경로 레지스터의 시뮬레이션 파형

[그림 11]은 환상 경로 레지스터로 구성된 BI_BUF의 검사 모드 동작 시뮬레이션 파형을 보이고 있다. 레지스터의 값인 content를 보면 각 클럭마다 레지스터의 병렬 입력인 BUF_IN 값과 직렬 입력인 SCAN_IN 값을 압축하고 의사 임의 패턴을 만들고 있음을 알 수 있다. 여기서 만들어진 의사 임의 패턴은 병렬 출력인 BID_BUS를 통해 다른 조합 회로 부분의 입력으로 넘어감과 동시에 직렬 출력인 SCAN_OUT 을 통해 환상 경로 내의 이웃한 레지스터의 직렬 입력으로 전해진다.

[그림 12]는 BIST 제어기의 시뮬레이션 파형을 보이고 있다. BIST 제어기가 INIT 상태 일 때 TEST_RESET 출력은 low상태를 유지하며 BIST 제어기 외의 부분은 BIST 제어기의 TEST_RESET을 그 부분의 RESET으로 삼는다. BIST 제어기의 내부 레지스터도 환상 경로에 포함되므로 scan_in 입력을 받아서 압축을 수행한다. 다만 이 경우에는 병렬 입출력은 없다.

모든 검사가 끝나면 BIST_END 출력이 high 값을 갖고, 고장이 없는 회로에 대해서 BIST 제어기는 BIST_RESULT에 high를 출력하고 반대로 검사를 통과하지 못하는 회로에 대해서는 BIST_RESULT에 low를 출력한다.

Altera의 FLEX 10k를 target technology로 한 타이밍 시뮬레이션 결과 BIST 회로를 내장하지 않은 마이크로프로세서의 가장 긴 지연을 갖는 경로의 클럭 입력에서 출력까지의 전달

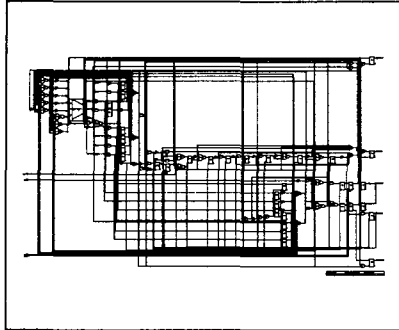


그림 13. BIST 컨트롤러의 합성결과

시간인 t_{co} (clock-to-output)는 33.1ns이며, 환상 경로 BIST 회로를 내장한 마이크로프로세서의 t_{co} 는 36.0ns로서 BIST 회로로 인해 약 2.9ns 정도의 전달 지연의 증가가 있었다.

Altera사의 FPGA FLEX 10k를 대상으로 합성한 결과 총 445 개의 LC(Logic Cell)가 사용되었으며, BIST 회로 중 가장 큰 구성 요소인 BIST 제어기는 97 개의 LC를 차지하며, BIST 회로를 내장하지 되지 않은 마이크로프로세서 부분은 모두 312 개의 LC가 쓰였으므로, BIST 회로로 인한 오버헤드는 $(445 - 312) / 445 = 29.8\%$ 이며, 이 중 BIST 제어기를 제외한 환상 경로에 의한 오버헤드는 $((445 - 97) - 312) / 445 = 8.08\%$ 이다.

BIST 회로가 차지하는 면적 중 BIST 제어기 부분은 전체 BIST 회로 면적의 72.3%로 매우 크게 나타났으나 BIST 회로를 적용한 대상인 마이크로프로세서가 상대적으로 작은 규모이기 때문이며, BIST 적용 대상 회로가 커질수록 이 비율이 작게 될 것이다.

5. 결론

본 논문에서는 환상 경로를 사용하는 BIST 회로를 8 비트 마이크로프로세서에 구현하였다. BIST 회로와 마이크로프로세서의 설계는 VHDL로 기술하여 합성하였다.

VHDL로 기술된 회로의 시뮬레이션에서는 Aldec사의 Active-VHDL을 사용하였으며, 합성에는 Synopsys사의 합성 툴을, 그리고 합성

한 회로는 Altera사의 MAX+PLUS II로 구현하였다.

시뮬레이션을 통하여 구현된 BIST 회로의 환상 경로 레지스터가 의사 임의 패턴을 생성함과 동시에 출력 결과를 압축함을 확인할 수 있었으며, 타이밍 시뮬레이션을 수행하여 가장 긴 경로에서 BIST 회로로 인한 지연이 약 2.9ns 정도 늘어남을 확인하였다.

FPGA 합성시 target technology는 Altera FLEX 10k를 사용하였고 이 경우 환상 경로 BIST 회로를 구현한 마이크로프로세서는 총 445 개의 LC(Logic Cell)를 사용하였으며 이 가운데 133 개의 LC는 BIST 회로에 사용되어 약 29.8%의 LC 사용의 증가를 보였으며, BIST 제어기를 제외한 환상 경로만의 오버헤드는 8.08%인 것을 확인할 수 있었다.

참고문헌

- [1] S. Pilarski, A. Krasniewski and T. Kameda, "Estimating Testing Effectiveness of the Circular Self-Test Path Technique", IEEE Trans. on CAD, Vol 11, No. 10, October 1992, pp. 1301-1316
- [2] M. M. Pradhan, E. J. O'Brein, S. L. Lam, J. Beausang, "Circular BIST with Partial Scan", IEEE International Test Conference, 1988, pp. 719-729
- [3] M. Abramovici, Melvin A. Breuer and Arthur D. Friedman, Digital Systems Testing and Testable Design, IEEE press, New York
- [4] K. Kim, D. S. Ha and J. G. Tront, "On Using Signature Registers as Pseudorandom Pattern Generators in Built-in Self-testing", IEEE Trans. on CAD, Vol. 7, No. 8, pp. 919-928, August 1988
- [5] A. Krasniewski and S. Pilarski, "Circular Self-Test Path : A Low Cost BIST Technique for VLSI Circuits", IEEE Trans. on CAD, pp. 46-55, 1989
- [6] Douglas J. Smith, HDL Chip Design, Doone Publications, 1996
- [7] 박 현철, 반도체 회로 설계, 한성출판사, 1996