

신경망 하드웨어를 이용한 PDA 펜입력 인식시스템의 구현 연구

김 광 현*, 강 등 구, 이 태 원, 박 진, 김 영 철
전남대학교 전자공학과
전화 : (062) 530-0367 / 팩스 : (062) 530-0368

Study on Implementation of a Handwritten-Character Recognition System in a PDA Using a Neural Hardware

Kwang Hyun Kim, Deung Gu Kang, Tae Won Lee, Jin Park, Young Chul Kim
Department of Electronics Engineering, Chonnam National University
E-mail : khkim@neuron.chonnam.ac.kr*

Abstract

In this paper, a research is focused on implementation of the handwritten Korean-character recognition system using a neural coprocessor for PDA application. The proposed coprocessor is composed of a digital neural network called DMNN and a RISC-based dedicated controller in order to achieve high speed as well as compactness. Two neural networks are used for recognition, one for stroke classification out of extended 11 strokes and the other for grapheme classification. Our experimental result shows that the successful recognition rate of 92.1% over 3,000 characters written by 10 persons can be obtained. Moreover, it can be improved to 95.3% when four candidates are considered. The design verification of the proposed neural coprocessor is conducted using the ASIC emulator for further hardware implementation.

I. 서 론

컴퓨터가 일반화되었지만 human interface 부분에서 기존의 키보드나 마우스를 사용하는 방식에 많은 사람들이 불편함을 느끼고 있다. 이에 보다 사용이 편리하고 부피가 작은 입력장치가 필요하게 되어, 음성이나

이 논문은 1997년도 한국과학재단의 핵심전문연구 과제 연구비에 의하여 연구되었음.

문자를 이용한 방법에 대한 연구가 활발히 진행되고 있다^[1]. 특히 휴대용 컴퓨터의 기능뿐만 아니라 통신기능 등을 장착한 휴대용 개인정보단말기(PDA: Personal Data Assistant)등이 점차 보편화되어 가면서 이들에 보다 간편하면서도 성능이 우수한 휴먼입력 및 온라인 인식기능을 추가하고자 하는 연구노력이 계속되고 있다.

PDA의 온라인 문자인식장치에 적용이 가능한 인식 방법에는 원형비교 방법, 통계적 방법, 구조적 방법, 그리고 신경망을 이용한 방법 등이 있다. 신경망을 이용한 인식방법은 벡터화된 훈련 패턴들을 학습시키므로 알고리즘이나 프로그램 개발에 필요한 노력과 시간을 줄일 수 있다. 또한 PDA와 같은 휴대상태나 이동중 사용하는 환경에서 필연적인 잡음이나 왜곡이 있을 경우에 특히 적응성이 뛰어나다. 신경망은 단순한 계산만을 하는 많은 뉴런 소자들로 구성되어, 동시에 서로 다른 처리를 실행하는 병렬 분산처리가 가능하므로 이를 하드웨어로 구현할 수 있는 구조를 개발한다면 시공간의 병렬처리성을 활용하여 문자, 음성, 그리고 영상과 같은 데이터의 실시간 처리가 가능하게 된다. 따라서, 본 논문에서는 소형 휴대용 정보단말기에서 사용될 때에 시스템 구현에 적합한 단일 칩구현이 가능한 신경회로망 하드웨어를 인식장치로 내장한 펜입력인식시스템을 제안한다. 인식장치로서 다계층 신경망 하드웨어인 DMNN(Digital Multilayer Neural Network)을 이용한다^[2,3].

본 논문에서 II장에서는 신경망 코프로세서의 구조 및 기능을 설명하고, III장에서는 이를 이용한 인식시스템에 대해서 설명한다. 그리고 IV장에서는 실험과정과 결과를 통하여 제안된 시스템의 설계 검증을 위한

ASIC 에뮬레이터에 대하여 설명하고 V장에서 본 연구의 결론을 기술한다.

II. 신경망 코프로세서

제안된 신경망 코프로세서는 크게 DMNN이라는 신경망 부분과 RISC 컨트롤러 부분으로 구성된다. DMNN은 학습된 연결강도(weight)와 입력값을 받아서 처리하는 신경망 블록이고, RISC 컨트롤러는 호스트 컴퓨터나 외부 입력장치로부터 들어온 데이터를 받아서 DMNN에 전달하고 신경망을 구동시킨 다음, 인식된 결과를 호스트 컴퓨터나 기타 출력장치에서 사용할 수 있도록 메모리에 저장하는 역할을 담당한다. 신경망의 학습은 호스트 컴퓨터에서 수행되고 학습된 가중치 정보는 메모리에 저장된다. 신경망 코프로세서에 대한 전체적인 블록도는 그림 1과 같다.

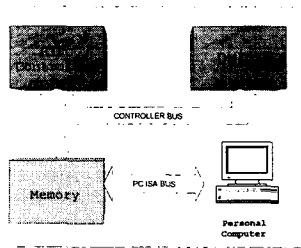


그림 1. 신경망 코프로세서.

신경망 컨트롤러는 메모리에 저장된 가중치, 초기값 그리고 입력패턴을 신경망의 시냅스 및 입력단에 전달하고, DMNN을 구동시킨다. DMNN에 데이터를 전송하는 빈도수가 많기 때문에 빠른 처리를 위하여 평균적으로 1 CPI를 가지는 4단의 Pipelined RISC구조를 채택하였으며, 이는 MIPS 2000 processor의 코어를 기본모델로 하였다

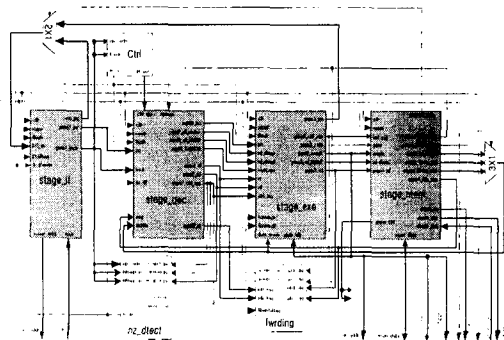


그림 2. RISC 컨트롤러의 블록도.

그림 2는 컨트롤러 회로의 블록도이다. 4개의 pipeline은 각각 register들로 구성되어 있고, Memory와 DMNN은 EX단에서 출력되어진 control 신호에 의해 제어되며 각각 들어온 주소와 데이터를 받아서 동작을 한다. 이 컨트롤러에서 사용된 모든 명령들은 6-bit의 주 동작코드(opcode)를 갖는 32-bit의 형태를 취하며 3가지의 주소 지정 형태를 갖는다. DMNN에 대한 명령어 집합은 총 17개인데, 이는 데이터 메모리 내에 있는 가중치와 오프셋 값들을 DMNN에 위치시키고 입력데이터와 출력데이터를 전송하는 역할을 하는 명령어들이다. DMNN 컨트롤러에서 처리할 수 있는 명령은 다음과 같이 분류할 수 있다.

- Arithmetic and Logic Instruction : 12개
- Conditional Set Instruction : 4개
- Load and Store Instruction : 8개
- Branch Instruction : 2개
- DMNN related Instruction : 17개

이 외의 기본적인 명령어는 다른 프로세서의 것과 같으며 곱셈과 나눗셈 등의 명령어는 의사명령어를 만들어 수행하도록 하였다.

III. 신경망코프로세서를 이용한 펜입력 인식시스템

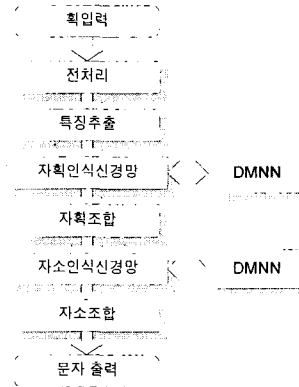


그림 3. 제안된 인식 시스템.

한글은 자소들의 2차원적인 결합으로 이루어지고, 자소는 일정한 획들의 조합으로 이루어진다. 그림 3에 본 논문에서 제안하는 시스템의 블록도를 나타내었다.

펜으로 입력된 획은 전처리와 특징추출부를 거친 후 인식신경망을 거치는데 이를 DMNN로 구성하였다. 인식신경망은 획 단위 인식을 위한 자획인식 신경망, 이를 조합하여 자소를 인식할 수 있는 자소인식 신경망으로 구성하였다. 자획인식 신경망에서는 입력된 획을 미리 정의된 획 중의 하나로 분류한다. 자소인식 신경

망은 인식된 획을 그들간의 방향정보를 이용하여 자소를 인식하여 문자인식을 한다. 자소내의 흘림이 허용된 11개의 기본획은 그림 4과 같다.



그림 4. 확장된 기본 자획.

그림 5는 전처리 및 특징추출 과정을 보여준다. 전처리를 거친 획 12개의 특징점을 추출하여 그들을 연결하는 11개의 방향벡터를 얻는다. 이 벡터들을 8방향 4비트 코딩하여 44-bits의 자획신경망 입력값을 얻게 된다.



(획입력) (평화화) (채우기과정)(특징점추출)(11개특징벡터)

그림 5. 전처리 및 특징추출.

중간층 뉴런의 개수는 시뮬레이션을 통해서 11개로 구성하여, 자획인식 신경망의 전체적인 구성은 44×11×11의 구조를 가진다. 11개의 획을 사용하여 한글의 자소를 필기하면, 최대 획은 4획으로써 표 1과 같이 구성할 수 있다.

표 1. 한글 자소 분류.

구분	한글의 자소(자음, 모음)
2획	ㅎ ㅅ ㅈ ㅋ ㅌ ㄱ ㄴ ㄷ ㄹ ㅂ ㅅ
3획	ㄴ ㄹ ㅈ ㅊ ㅎ ㅌ ㅋ ㅍ ㅊ ㅌ
4획	ㅈ ㅊ ㅊ ㅌ

획당 각각의 신경망을 사용하지 않고, 하나의 신경망으로 자소인식을 수행하였다. 기본 인식 자소의 수가 많으면 인식 시스템의 구성은 간단해지나 인식이 어려워지게 되고, 기본 자소의 수를 적게 잡으면 자소의 추출은 용이하나 시스템 구성이 복잡해지는 단점이 있다. 따라서 본 논문의 자소인식 신경망에서는 단자음과 단모음 그리고 수직 또는 수평 복모음을 인식하되 복자음이나 수직과 수평이 복합된 복모음은 자소조합에서 담당하게 하였다.

자소인식 신경망의 입력뉴런은 48개로 구성되며 출력뉴런은 15개로 구성된다. 처음 3개의 뉴런은 2, 3, 4 획들 중에서 어느 획의 출력인가를 나타내고, 나머지 12개의 뉴런은 몇 번째의 출력 결과인가를 출력하게 된다. 예를 들어 '교'이면 4획의 3번째이므로 자소인식 신경망의 출력은 "001001000000000"이 나오게 된다.

인식된 자소와 자소간의 위치관계를 이용해서 문자

를 인식하게 된다. 자소는 자획조합을 거친 후, 자소인식 신경망에서 인식된다. 그림 6에 자소조합 과정을 나타내었다.

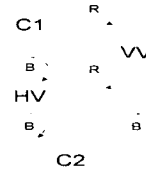


그림 6. 자소조합의 과정.

IV. 실험 및 결과.

1. 학습

10명의 필기자에게 획과 자소를 각각 4회씩 필기하도록 하여, 총 440개의 획과 1,080개의 자소 데이터를 얻었다. 이 중에서 중복되는 데이터를 제외하고 각 획과 자소를 대표할 수 있는 패턴을 8개씩 선정하여, 획 88개와 자소 216개를 학습에 참여시켰다.

표 2. DMNN의 학습 변수.

변수	은닉층 개수	학습조건	E_i	반복 회수	학습 시간
자획	11개	$\eta : 0.0161$ $\gamma : 0.1$	0.0038	52,773	6시간
자소	15개	$\eta : 0.0074$ $\gamma : 0.1$	0.007	54,801	16시간

η : 학습율, γ : 관성율, E_i : 한개의 뉴런에 대한 에러값

DMNN 신경망 학습은, 일정 학습 반복회수가 지나거나 제곱합 오차가 일정 수준 이하로 내려갈 때 종료하도록 하였다. 반복회수는 70,000번으로 하고 한개의 뉴런에 대한 에러값은 10^{-3} 정도의 값으로 하여 실험한 결과 표 2과 같은 최적화된 변수를 얻을 수 있었다.

2. 인 식

문자인식은 IBM-PC 호환 기종에서 윈도우용 시뮬레이터를 제작하여, 자주 사용되는 한글 300자^[14]를 10명의 필기자가 실시간으로 입력하여 총 3000자를 대상으로 실험하였다. 자소인식 신경망의 2후보 출력을 이용하여, 초성이 오인식된 문자를 2후보문자, 중성이 오인식된 문자를 3후보문자, 초·중성이 모두 오인식된 문자를 4후보문자로 두었다. 1후보문자만 고려했을 경우에 92.1%의 인식결과를 얻었고, 4후보까지 이용하여 95.3%까지 향상시켰다.

제 4후보문자까지 고려해도 인식하지 못한 글자가 141자 있었다. 이 중에서 획의 오인식으로 인한 경우

가 79개로 56.0%, 자소분리를 못한 경우가 46개로 32.6%, 그리고 기타의 경우가 16개로 11.3%를 차지하고 있다.

표 3. 인식 결과.

필기자	대상 문자	오인식 개 수	인식률(%)			
			1후보	후보문자		
				2후보	3후보	4후보
10명	3,000자	219	92.1	94.1	95.2	95.3

3. 신경망 코프로세서의 구현

신경망 코프로세서를 구성하는 DMNN과 RISC 컨트롤러를 VHDL로 설계하고 이를 Synopsys사의 VHDL 시스템 시뮬레이터인 VSS를 사용하여 시뮬레이션을 하였다. 이를 제안된 온라인 한글 인식에 적용하였으며, 그림 7은 자획인식 신경망의 출력 파형을 나타내었다.

실제적인 보드레벨 테스트에서 이러한 문자인식 신경망을 구현하려 했을 때, 너무 많은 하드웨어 자원을 요구하기 때문에 테스트에 사용할 FPGA로는 어려웠다. 따라서 입력노드의 수를 줄여서 이러한 패턴인식 신경망의 실제적인 하드웨어 동작과, 그 검증은 간단한 이진 패턴 분류 문제로 적용하여 설계의 크기를 줄임으로써 실제 테스트를 하였다. 실제 구현한 시스템은 8 to 3 이진 분류기로서, 8×3×3의 구조를 가진다. 이 테스트 시스템을 문자인식 신경망과 마찬가지로 VHDL로 설계하고, Synopsys FPGA compiler로 합성을 한 다음, ALTERA사의 MAX PLUS II를 사용하여 회로를 FPGA에 구현하였다. FPGA의 구현에서 하이칩사의 VELA라 불리는 ASIC 에뮬레이터를 사용하였다. 본 시스템의 구현과 테스트에 사용한 VELA는 ALTERA 10만 게이트 FPGA를 6개를 사용하고 있는데, Synopsys에서 합성된 본 시스템은 5개의 FPGA를 사용하고 있다. 따라서 이 인식시스템에 소요된 FPGA 게이트는 약 40에서 50만 게이트 정도이다.

V. 결 론

본 논문에서는 신경망하드웨어를 인식장치로 내장한 온라인 한글 문자인식 시스템을 구성하여 실험한 결과 92.1%의 인식률을 얻었으며, 제 4후보문자까지 이용하여 95.3%까지 향상시킬 수 있었다.

본 연구를 통하여 개발된 온라인 한글 문자인식시스템은 PDA와 같은 휴대용 정보단말기에서 효과적으로 장착될 수 있도록 단일칩 구현이 가능한 신경망을 이용하여 구현하였다. 본 연구에서 사용한 DMNN은 다수의 인식신경망을 하나의 하드웨어로 지원할 수 있도록 되어있어 다수의 인식기능을 동시에 지원할 수 있도록 설계되었다. 또한 전체 코프로세서를 FPGA

chipset으로 구현함으로써, 현재의 ASIC 기술을 통해 Chip으로 구현하여 현실적으로 적용이 가능한 시스템임을 확인할 수 있었다.

참 고 문 헌

- [1] 최정훈, 권희용, 김춘석, 황희용, "신경망 모델을 이용한 한글 필기체 온라인 인식", 한국정보과학회 논문지 제 17권 5호, pp540~549, 1990. 9
- [2] Y.C.Kim and M.A.Shanblatt, "Architecture and statistical model of a pulse-mode Digital Multilayer Neural Network", IEEE Trans. on Neural Networks, Vol.6, No.5, pp.1109~1118, Sep. 1995.
- [3] Y.C.Kim and M.A.Shanblatt, "Random Noise Effects in a Pulse-mode Digital Multilayer Neural Network", IEEE Trans. on Neural Networks, Vol.6, No.1, pp.220~229, Jan 1995..
- [4] 정기철, 김상관, 이종국, 김항준, "자소 단위의 온라인 흘림체 한글 인식", 전자공학회논문지, 대한전자공학회, 제33권 제9호, pp 124~134, 1996.

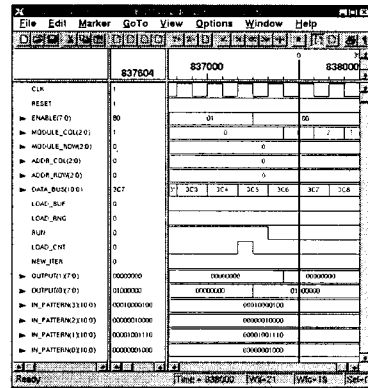


그림 7. 자획인식 신경망의 출력 파형.

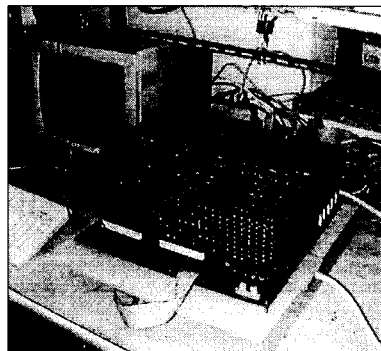


그림 8. 설계검증에 사용된 VELA ASIC 에뮬레이터.