

회로 내부 노드를 이용한 BIST의 테스트 시간 감소

최 병 구, 장 윤 석, 김 동 욱
광운대학교 전자재료공학과
전화 : (02) 940-5167/ 팩스 : (02) 919-3940

Test Time Reduction of BIST Using Internal Nodes of a Circuit

Byung-Gu Choi, Yoon Seok Chang, Dong-Wook Kim
Electronic Materials Engineering, Kwangwoon University
E-mail : vlsicad@daisy.kwangwoon.ac.kr

Abstract

As the result of enhancement of CAD, Design Automation and manufacturing technology, it's on the increasing complexity, integration ratio, data signals, and pin count to IC chips. This brings about difficulties of testing, and increasing test time. Now One of the most cost-consuming procedure as integration ratio increases is the testing step. In this paper, we propose a new method, "Efficient TP(test point) assignment algorithm" using "input grouping". This is helpful method to reducing test length without losing fault coverage.

Experimental results show that proposed method reduces test length remarkably and doesn't miss fault coverage, with low hardware overhead increasing.

I. 서론

반도체 제조공정기술의 발달은 설계에서 시판까지의

과정 중 많은 비용의 증가를 초래하고 있으며, 그 중 가장 대표적이라 할 수 있는 것이 제조된 IC의 테스트 분야이다^[1]. 집적도 증가에 따른 테스트 생성 및 ATE 사용비용의 증가는 미래의 테스트 전략으로 DFT (Design-for-Test)^{[2],[3],[4]} 분야를 지목하고 있으며, 그 중 가장 널리 연구되고 응용되고 있는 분야는 BIST(Built-In Self-Test)이다^{[5],[6]}.

BIST에서 사용하는 패턴으로는 결정(deterministic) 패턴, 무작위(random) 패턴, 그리고 의사-무작위 패턴(Pseudo-Random Pattern, PRP)이 주로 사용되나, 그 중 PRP가 가장 널리 사용되고 있다. TPG와 TRP를 실현하는 기술은 1970년대 후반부터 많은 연구가 이루어지고 있으나, 최근 가장 널리 사용되는 것은 선형귀환 쉬프트 레지스터(Linear Feedback Shift Register, LFSR)^[6]와 셀룰러 오토마타(cellular automata, CA)이다. 그 중 셀룰러 오토마타는 현재 연구가 진행 중이며 현재까지 가장 많이 사용되고 응용되고 있는 것은 LFSR이다. BIST는 자체 테스트 기능을 포함하므로 ATE의 사용이나 테스트 응답에 의한 고장여부 판단 등에 있어서 매우 많은 비용을 절감할 수 있으며, 실제 회로가 동작하는 속도로 테스트를 수행할 수 있는

장점을 갖고 있어 많은 부분에 응용되고 있다. 그러나 BIST를 적용하는 데는 크게 두 가지의 단점이 지적되고 있다. 그 첫 번째는 부가 하드웨어의 양이다. 이 문제는 하드웨어의 상대적인 비용감소로 하드웨어 부가에 대한 상당부분이 받아들여지고 있으며, 신호경로의 우회통과 및 동작속도의 증가로 성능저하 문제도 많은 해결방안이 발표된 바 있다.

또 하나의 문제는 테스트 시간의 증가이다. 의사무작위 패턴을 사용하는 경우 거의 고갈패턴과 차이가 없고 입력수가 증가하고 있는 추세에서 보면 비현실적인 테스트 시간이 요구된다. 이 문제를 해결하는 방법으로는 회로를 분할하는 방법등이 발표된 바 있으나, 이 또한 분할된 회로의 연결선 등에 따른 부가 하드웨어의 증가 및 테스트 시간의 감소정도가 아직 비현실적이어서 큰 효과를 거두지 못하고 있다. 본 논문에서는 테스트 시간의 감소에 초점을 맞춘 BIST 구현방법을 제시하고자 한다. 이 방법은 입력신호들을 종속성에 따라 구분하여 그룹화하는 방법을 사용하며, 회로 내부노드들의 일부분을 테스트를 위한 단자로 사용하여 의사-무작위 패턴 생성방법을 사용하면서 테스트 시간을 상당히 감소시키고 고장검출률을 향상시키는 결과를 초래한다. 본 논문에서는 BIST의 도구로서 LFSR을 사용하며, 대상 회로 레벨은 비규칙적인(random) 게이트 레벨 회로로 한다. 본 논문에서 제시된 방법을 실현한 후 여러 가지의 회로를 대상으로 제시한 방법이 상당한 테스트 시간을 감소시킬 수 있음을 보인다.

II. 효과적인 입력그룹화와 테스트 포인트 선정

먼저 본 논문에서 제안하는 입력그룹화 방법에 대하여 용어의 정의와 함께 설명한다.

<정의 1> 논리회로에서 특정 주 입력(IN_i)에 대한 한 내부노드(N_i)의 깊이(Depth_{IN_i}(N_i))는 IN_i 에서 N_i까지 통과하여야 하는 게이트 수로 정의한다. 또한 N_i의 최소깊이(MinDepth(N_i))는 각 주 입력에서 N_i까지의 깊이 중 최소값으로 정의한다. 즉,

$$Depth_{IN_i}(N_i) = \text{Number of gates between } IN_i \text{ and } N_i \tag{3-1}$$

$$MinDepth(N_i) = \min \{ Depth(N_i) \text{ for any primary input } \} \tag{3-2}$$

<정의 1>의 예를 그림 1의 예제 회로를 통해서 보면 Depth_{a[5]}}(N5)=1, Depth_{a[5]}}(N10)=2이다. 그러나 MinDepth_{EN}}(N10)=1이 된다.

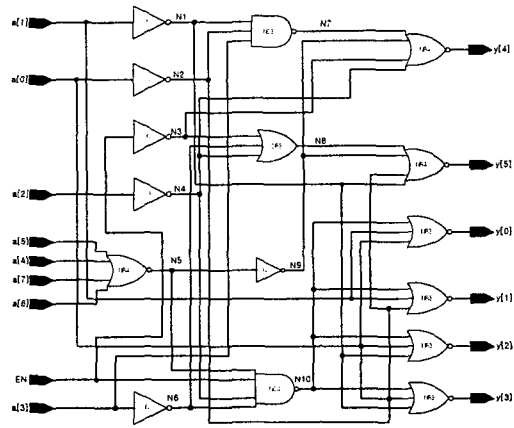


그림 1. 예제 회로
Fig. 1. An example circuit

<정의 2> 논리회로에서 기준점(reference point, RP_i)을 회로의 내부노드 중 하나(i)로 정의한다. 또한 최소깊이 k인 기준점들의 집합을 깊이 k인 기준선(reference line with MinDepth=k, RL(k))이라 한다.

그림 1에서 N9과 N10은 기준점이 된다. 일반적으로 입력에서 출력으로의 신호 경로 중간의 기준점에 대해서는 주 입력 중 일부분만 그 노드의 논리값에 영향을 미치는 경우가 많다. 그림 1에서도 N9은 {a4, a5, a6, a7}에만 종속되고 N10은 {a2, a3, a4, a5, a6, a7, EN}에만 종속된다. 만약 주어진 기준선이 정해지면 그 기준선 내의 각 기준점에 영향을 미치는 PI들이 분류될 수 있다.

<정의 3> 주어진 기준선(RL(k))에 대해 기준선 내의 각 기준점(RP_i)에 영향을 미치는 PI들의 집합을 그 기준점에 대한 입력그룹(IG(RP_i))이라 정의한다. 또한 기준선(RL(k))에 대한 입력그룹(IG(RL(k)))은 기준선 내의 모든 기준점들에 대한 입력그룹의 합집합으로 정의하며, 여기에는 모든 주 입력들이 포함된다.

정의 3에 의해 예제 회로의 기준 입력 그룹은 {a[2], a[3], a[4], a[5], a[6], a[7], EN}이 된다. 그림 2의 입력 그룹화 알고리즘에서 Depth 1인 최대 입력 그룹을 찾아 기준 입력 그룹으로 고려하여 테스트 패턴 생성기를 형성한다. 그러나 Depth 1의 최대 입력 그룹이 거의 모든 입력을 포함하거나 모든 입력이 최대 입력 그룹인 경우에는 입력 그룹중 우선 순위 별로 후보 그룹을 선정하거나 최초 선정된 최대 입력 그룹 노드의 하부 노드를 역추적하여 테스트 시간 감소 효과가 있는

노드의 입력 그룹을 기준 입력 그룹으로 정한다.

용할 수 없으므로, 이 때는 HMP가 아닌 MP게이트의 입력에 그 나머지 비트들을 사용할 수 있다.

```

InputGroup()
input: logic gate circuit, all PIs
output: PI groups
begin
  find all gates(Gi) with MinDepth(Gi)=1;
  number all Gis (0 ≤ i ≤ n-1);
  for i=0 to n-1
    loop 1
      find all PIs affecting Gi and include into IG(Gi);
      find IG(Gi) which has maximum PIs in all Gis
      and decide it as reference point
      if reducing effect is low, then
        loop 2
          find the intermittent gate(Gk) which is subset of
          reference point or 2nd maximum IG(Gj);
          find IG(Gk) which has maximum PIs in all Gks
          and include it or IG(Gj) into 2nd reference point
          if reducing effect is still low then
            goto loop2 for IG(Gk), next maximum IG
          else
            exit loop 2
        end if
      end loop 2
    end if
  end loop 1
end
    
```

그림 2. 입력 그룹화 알고리즘
Fig. 2. Input grouping algorithm

이때 스테이지의 자리매김은 타 입력 그룹의 요소와 같은 스테이지를 갖지 않도록 고려하며 융합되는 경우에는 테스트 포인트를 인가한다. 기존의 테스트 포인트들은 제어성/관찰성을 높이기 위한 테스트를 목적으로 하는 부가적 입/출력이라고 정의하고 있다. 그러나 본 논문에서는 이것과는 상이한 정의를 사용한다.

<정의 4> 입력 그룹화에 의해 입력들이 분류된 경우 각 그룹의 상이한 신호가 두 개 이상 융합하는 점을 융합점(merging point, MP)이라 정의한다. 또한 두 개의 동일한 입력 패턴을 갖는 입력그룹들이 융합하는 점을 동종 융합점(homogeneous merging point, HMP)이라 정의한다.

그림 1의 예제에서 y[0], y[1], y[2], y[3]와 y[4], y[5]가 모두 MP이며 y[0], y[1], y[2], y[3]은 N10, a[0], a[1]의 합집합이고 y[4]는 a[1], a[0], EN, a[2], N9의 합집합이며 y[5]는 a[0], a[1], a[2], a[3], EN, N9의 합집합이다. 따라서 IG(N9) = {a[4], a[5], a[6], a[7]}, IG(N10)={a[2], a[3], a[4], a[5], a[6], a[7], EN}이다. 따라서 테스트 포인트는 N9와 N10이 된다. 그림 3의 알고리즘에서 각 HMP 게이트의 입력수 중 가장 큰 것이 최고크기의 입력그룹에 속한 PI수보다 작을 경우, LFSR에서 생성되는 비트수를 모두 HMP 게이트에 사

```

TestPointDecision()
Inputs : CUT, input groups, list of # of PIs
         in input groups
Outputs : test point set(TP)
begin
  find all MPs;
  for each MPi
    loop 1
      if MPi is HMP then
        find all the inputs to MPi gate and
        include into TPi;
        if (# of input of TPi (k) ≤ #of PIs(n)
           in the biggest IG) then
          assign k bits from n bits;
        else
          assign n bits to TPi inputs;
          assign (k-n) bits out of n bits arbitrarily
        end if
      end if
    end loop 1
    if total number of TPs are not enough then
      loop 2
        find MP(TPj) which is not HMP with
        priority conditions;
        include TPj into TP;
        if total # of TPs are enough then
          exit loop 2;
        else
          goto loop 2;
        end if
      end loop 2
    end
  end
    
```

그림 3. 테스트 포인트 설정 알고리즘
Fig. 3. Test point selection algorithm

표1은 테스트 포인트와 주 입력에 대한 패턴 할당을 나타낸다. N9와 N10은 새로운 입력 역할은 함으로서 입력들의 중복할당에 의한 제한된 테스트 벡터를 고갈 패턴이 되도록 한다. 표에서 제시된 테스트 입력 할당을 함으로써 각각의 입력 그룹들은 의사 무작위 패턴을 포함하게 된다.

RP	st1	st2	st3	st4	st5	st6	st7
N10	EN	a2	a3	a4	a5	a6	a7
N9	EN	-	-	a1	N10	N9	a0

표 1. 예제 회로의 입력과 테스트 포인트에 대한 테스트 벡터 할당
Table 1. Assignment for inputs and test points to example circuit

III. BIST 실현 결과 및 결론

지금까지 제안한 입력 그룹화 알고리즘과 테스트 포인트 선정 알고리즘을 적용하여 예제 회로에 대해 BIST를 구현한 결과는 그림 4에 나타내었다.

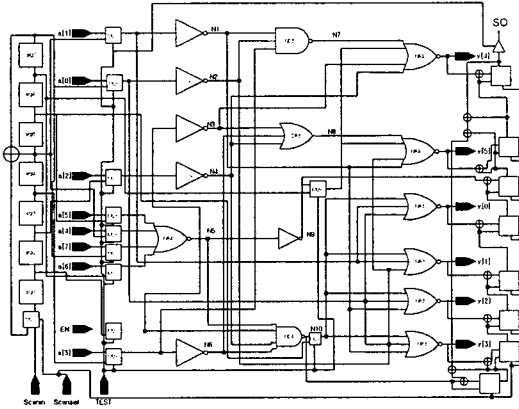


그림 4. 예제 회로에 대한 제안된 BIST 적용 결과
Fig. 4. Application proposed BIST to example circuit

그림 4는 표 1의 입력 그룹화 결과에 따라 패턴 분배를 한 것이고 2개의 테스트 포인트 셀이 삽입된 결과와 테스트용으로 부가된 테스트 핀들을 나타낸다.

표 2는 대상회로에 대한 시뮬레이션 결과 및 테스트 시간 감소 효과를 나타낸 것이다. 표에서 나타나듯이 테스트 시간의 현저한 감소와 허용할 만한 하드웨어 오버헤드를 가지고 있다. 제안된 방법은 여러 가지 대상회로에 대해 실험을 통해 테스트 시간의 감소 및 고장 검출률의 증가를 확인하였으며, 이 때 사용된 고장의 종류는 회로내의 모든 노드들에 대한 고착-0 및 고착-1 고장이었다. 실험 결과 최고 3×10^7 의 테스트 시간 감소를 얻을 수 있었으며, 그 외의 회로에서도 상당한 테스트 시간이 감소하였다.

고장 검출률에 있어서도 제안한 방법은 100%의 고장 검출률을 보여 기존의 방법에 비해 고장 검출률면에서도 우수함을 보였다. 따라서 본 논문에서 제안한 방법은 최근의 BIST에 대한 문제점으로 대두되고 있는 테스트 시간의 감소와 고장 검출률의 증가를 위해 효과적으로 사용될 수 있을 것으로 기대된다.

Reference

[1] Jon Turino, "Test Economics in the 21st Century", IEEE Design & Test, pp. 41-44,

CUT	TP 개수	Test time		Hardware overhead(Mux & flip-flop)		hardware overhead increasing rate(%)
		PRP	Proposed	PRP	Proposed	
C17	2	31	8	12	14	16.6
C499	12	$2^4 - 1$	65,536	112	121	8
16-bit-Adder	4	4,294,967,295	65,536	80	72	-10
8-bit-comparator	8	524,287	2,048	39	44	12.8
Binary decoder with enable	4	511	128	24	26	8.33
8-bit-ALU	12	1,048,575	4,096	44	60	36.3
4-bit-ALU	27	4095	256	28	48	71.4
DM74LS181	8	16,383	1,024	36	48	33.3
32-bit-parity generator	4	4,294,967,295	512	65	41	-36.9
74LS85	3	2047	512	25	29	16.0

표 2. 여러 대상 회로의 BIST 실현 방법적용결과.
Table 2. Experimental results from applying
the proposed BIST implementation.

July-Sep. 1997.

[2] Gadi Singer, "VTS 97 Keynote: The future of Test and DFT", IEEE Design & Test, pp.11-14, July-Sep. 1997.

[3] Michael J. Riezenman, "Technology 1998, Test & Measurement", IEEE Spectrum, pp.65-69, Jan. 1998.

[4] Abramovici, Breuer, Frideman, "Digital systems testing and testable design", computer science press, 1990.

[5] A. Ahmad, "Achievement of Higher Testability Goals through the Modification of Shift Registers in LFSR-based Testing", Int. J. Electronics, Vol. 82, No. 3, pp.249-260, 1997.

[6] Vishwani D. Agrawal, Sharad C. Seth, "Test generation for VLSI chips", computer society press, 1988.