

# CMOS RF-IC 설계를 위한 실리콘 기판 커플링 모델 및 해석

신 성규, 어 영선  
한양대학교 전자공학과

## Modeling and Analysis of Silicon Substrate Coupling for CMOS RF-IC Design

Sung-Kyu Shin and Yungseon Eo  
Dept. of Electronic Engineering, Hanyang University  
E-mail : skshin@iel.hanyang.ac.kr  
eo@iel.hanyang.ac.kr

### Abstract

A circuit model of silicon substrate coupling for CMOS RF-IC design is developed. Its characteristics are analyzed by using a simple RC mesh model in order to investigate substrate coupling. The coupling effects due to the substrate were characterized with substrate resistivity, oxide thickness, substrate thickness, and physical distance. Thereby the silicon substrate effects are analytically investigated and verified with simulation. The analysis and simulation of the model have excellent agreements with MEDICI(2D device simulator) simulation results.

### I. 서론

최근 RF 대역의 통신수요의 급성장으로 인해 1~2GHz 대역에서 무선통신 시스템의 생산 단가를 낮추기 위해 과거 GaAs를 사용하여 설계한 RF 회로를 실리콘으로 대체하고 있다[1]-[3]. CMOS 공정을 이용하면 RF 회로를 저전력, 저가격, 및 소형화할 수 있는 많은 잇점이 있지만 수신된 신호의 세기는  $0.22\mu V_{RMS}$  정도로 작아서 전도성이 있는 실리콘 기판을 통해서 전달되는 커플링(coupling) 노이즈가 RF 회로 성능에 심각한 영향을 주고 있다. 때문에 CMOS RF 회로 설계에서 실리콘 기판 커플링이 설계상 중요한 문제가 되고 있다[4]-[6].

기판의 커플링을 줄이기 위하여 물리적 격리를 하거나 가드-링(guard-ring)을 사용하는 방법과 커플링 효과를 분석하기 위해서 다양한 수치해석 방법이 제시되었다[5]-[9]. 그러나 이들 방법은 대부분 경험적 방법에 의한 설계법이기 때문에 복잡한 실리콘 기판의 물리적 특성을 정확히 반영할 수 없다. 반면 기판 구조 변화에 따른 커플링 예측이 어려울 뿐만 아니라 RF 회로의 회로 모델과 결합하여 RF 회로에 기판이 미치는 총체적인 특성을 분석할 수 없다. 따라서 이러한 문제를 극복하기 위해서 최근에 Raskin[6]은 SOI 구조에서 기판구조 변화에 따른 예측을 하기 위해서 lumped 회로 모델링을 제시하고 RF 대역에서 커플링 특성을 분석하였으나, 제시된 모델로 기판의 구조 변화에 따른 커플링 특성을 정확하게 예측할 수 없었으며 더욱이 기판의 커플링에 대해서는 이론적인 해석이 매우 미흡하다.

본 논문에서는 RF 대역에서 실리콘 기판의 커플링 특성을 파악하기 위하여 수치 해석적인 방법과 유사한 정확성을 유지하면서도 실리콘 기판의 커플링 특성을 쉽게 예측할 수 있는 회로모델을 제시하고 모델회로의 해석을 통하여 기판이 커플링에 미치는 영향을 분석하였다. 이는 기존의 수치해석의 방법을 사용하지 않고 회로 모델을 이용하므로 기판이 RF 회로에 미치는 영

항을 통계적으로 파악 할 수 있을 뿐만 아니라 수치 해석적 방법과는 달리 효과적으로 구조변화에 따른 커패시터를 분석하여 제시한 모델과 해석결과를 이용하여 기관의 특성에 따른 최적의 기관 설계의 가이드 라인을 제시한다.

## II. 실리콘 기관의 회로 모델

실리콘 기관은 기관의 구조, 주파수, 및 기관 저항에 따라서 물리적인 특성이 크게 바뀐다[10]. 일반적인 Metal-Insulator-Silicon(MIS)구조에서 실리콘 표면에서의 분극(interfacial polarization)과 기관의 이완 주파수(relaxation frequency) 등의 특성[11]을 고려하여 저항과 커패시터의 병렬로(여기서는 간단히 두개의 패드간의 커패시터로 모델함) 기관을 모델할 수 있다(그림 1).  $R_{ox}$  와  $C_{ox}$  는 oxide 의 저항 및 커패시턴스이고  $R_{si}$  와  $C_{si}$  는 실리콘의 저항과 커패시턴스를 의미하며  $R_{coup}$  와  $C_{coup}$  는 패드아래 실리콘에서 두 패드간의 저항과 커패시턴스를 나타낸다.

그림 2-(a)의 구조에서 회로 모델 파라미터를 추출하기 위하여 실리콘 기관은 그림 2-(b)와 같이 여러 개의 셀(cell)로 나누어 메쉬(mesh) 형태로 나타내었다. 그리고 그림 2-(c)와 같이 단위 셀에 대한 저항( $R_{unit}$ )과 커패시터( $C_{unit}$ )로 모델한 후, 각 메쉬의 등가 저항( $R_{mesh}$ )과 커패시터( $C_{mesh}$ )를 다음의 식으로부터 구하였다.

$$R_{mesh} = 3 \cdot R_{unit} = 3 \cdot \rho \frac{d}{A} \quad (1)$$

$$C_{mesh} = \frac{C_{unit}}{3} = \frac{1}{3} \cdot \epsilon \frac{A}{d} \quad (2)$$

그림 1에서 oxide 커패시턴스와 두 패드사이의 커패시턴스는 2 차원 소자 시뮬레이터인 MEDICI 를 이용하여 추출하였다. 그림 3에서 기관의 저항과 주파수에 따른 기관의 커패시터를 회로 모델과 MEDICI 시뮬레이션 결과를 비교하였다. 그림 3에서 보듯이 회로 모델은 MEDICI 시뮬레이션과 매우 잘 일치한다. 유사하게 기관의 두께와 oxide 의 두께 및 패드 사이의 거리에 따른 회로 모델과 MEDICI 시뮬레이션의 결과를 그림 4 그림 5 그림 6에 각각 나타냈다. 그림 4 ~ 그림 6에서 보듯이 회로 모델은 MEDICI 시뮬레이션과 매우 잘 일치한다. 따라서 기관의 특성을 간단한 메쉬 RC 모델을 사용하여 정확히 해석 할 수 있다.

## III. 실리콘 기관 특성의 해석

전절에서 기술한 바와 같이 실리콘 기관의 커패시터

회로 모델은 2 차원 소자 시뮬레이터와 유사한 결과를 주기 때문에 등가회로 모델을 분석함으로써 실리콘 기관의 커패시터 특성을 정확하게 분석 및 예측 할 수 있다. 만약  $C_{ox} \gg C_{coup}, C_{si}$  이라고 가정하면 그림 1의 등가회로에서 Y11 과 Y21 를 쉽게 구할 수 있다. 다시 Y-파라미터로부터 S-파라미터로 변환하면 S21 은 다음과 같다.

$$S21 \approx 2 \cdot Z_0 \cdot C_{coup} \cdot \frac{S^2 \cdot \left\{ S + \frac{1}{R_{coup} \cdot C_{coup}} \right\}}{\left\{ S + \frac{1}{R_{si} \cdot C_{ox}} \right\} \cdot \left\{ S + \left( \frac{1}{R_{si}} + \frac{2}{R_{coup}} \right) \cdot \frac{1}{C_{ox}} \right\}} \quad (3)$$

여기서  $Z_0$  는 기준 특성 임피던스(reference characteristic impedance)이다. 식(3)으로부터 다음과 같이 두개의 극 주파수인  $f_{p1}$  과  $f_{p2}$  및 제로 주파수인  $f_z$  를 얻을 수 있다.

$$f_{p1} = \frac{1}{2\pi \cdot R_{si} \cdot C_{ox}} \quad (4)$$

$$f_{p2} = \frac{1}{2\pi} \cdot \frac{1}{C_{ox}} \cdot \left( \frac{1}{R_{si}} + \frac{2}{R_{coup}} \right) \quad (5)$$

$$f_z = \frac{1}{2\pi \cdot R_{coup} \cdot C_{coup}} \quad (6)$$

$f_{operating}$  은 원하는 동작주파수라고 하면, 식(3)으로부터 각각 낮은 주파수( $|S21|_{low}$ )와 중간 주파수( $|S21|_{medium}$ )와 높은 주파수( $|S21|_{high}$ )에 대한 커패시터의 크기 결정요소를 다음과 같이 다시 나타낼 수 있다.  $0 < f_{operating} < f_{p1} < f_{p2} < f_z$  의 낮은 주파수에서 커패시터 크기는

$$|S21|_{low} \approx \left| \frac{2 \cdot Z_0 \cdot R_{si}^2 \cdot C_{ox}^2}{R_{si} + R_{coup}} S^2 \right| \quad (7)$$

이 되고  $0 < f_{p1} < f_{p2} < f_{operating} < f_z$  의 중간 주파수에서 커패시터 크기는

$$|S21|_{medium} \approx \left| \frac{2 \cdot Z_0}{R_{coup}} \right| \quad (8)$$

이 되며,  $0 < f_{p1} < f_{p2} < f_z < f_{operating}$  의 높은 주파수에서 커패시터 크기는

$$|S21|_{high} \approx |2 \cdot Z_0 \cdot C_{coup} \cdot S| \quad (9)$$

이 된다. 등가회로의 시뮬레이션 결과에 대한 주파수에 따른 커패시터의 크기와 극, 제로 주파수의 위치를 그림 7에 나타냈다. 두개의 극 주파수  $f_{p1}$  과  $f_{p2}$  는 실리콘 기관의 이완 주파수를 결정하는 요소이며, 이 두개의 극 주파수 이상이 되면 표면의 분극이 잘 일어나지 않아서 두 패드 사이의 저항 성분에 의해 커패시터의 크기가 결정되어 커패시터가 일정해진다. 그리고 실리콘의

이완 주파수이상 이 되면 다시 주파수에 따라 증가하며, 이 때의 커플링 크기는 두 패드간의 실리콘 커플링 커패시턴스에 의해 결정된다.

#### IV. 기판 특성의 고찰 및 설계

시뮬레이션 결과와 모델해석을 통해 다음과 같은 실리콘 기판의 특성을 고찰할 수 있다. RF IC 설계시 사용하는 기판의 저항 범위가 대략 1~100Ω·cm 이고, 동작 주파수가 1~2GHz 대역이라면 1Ω·cm 에서 기판저항이 증가할수록 커플링이 증가하다가 100Ω·cm 일 경우에는 -10 ~ -15dB 만큼 감소하는 현상이 그림 3 에 표시된 부분과 같이 일어난다. 이것은 실리콘이 단순한 유전체가 아니라, 전도성이 있는 유전체이기 때문에 표면의 분극(interfacial polarization)과 이완 시간(relaxation time)이 결부되어 일어나는 특이한 현상이다. 식(4) ~ (8)을 보면 실리콘 기판 저항에 의해  $R_{si}$ 와  $R_{comp}$ 가 결정되며 기판 저항이 증가하면  $f_{p1}$ 과  $f_{p2}$ 와  $f_z$ 를 저주파 대역으로 이동되고, 저주파대역의 커플링은 증가시키고 중간 주파대역에서는 커플링을 감소시키거나 고주파 대역에는 큰 영향이 없다. 실리콘 기판의 경우는 기판 두께가 얇아지면 식(4) ~ 식(6)과 같이  $R_{si} \cdot C_{si}$ 와  $R_{comp} \cdot C_{comp}$ 를 동시에 증감되어서 극과 제로 주파수에는 변화가 없고 식(7) ~ 식(9)에서와 같이 모든 주파수대역에서 커플링의 크기를 감소시킨다는 것을 그림 4 에서 확인할 수 있다. 그리고 oxide 두께가 두꺼워질수록 식(4) 및 식(5)와 같이  $f_{p1}$ 과  $f_{p2}$ 를 고주파대역으로 이동시켜서 낮은 주파수에서의 커플링이 감소됨을 그림 5 에서 확인할 수 있으며, 두 패드사이의 물리적 거리를 증가시키는 경우에는 식(4) ~ 식(6)에서  $R_{comp} \cdot C_{comp}$ 가 동시에 증감되어  $f_{p2}$ 만 조금 변화시킬뿐 극과 제로 주파수에 큰 영향이 없으며 식(7) ~ 식(9)에서 모든 주파수대역에서 커플링 크기만 감소시킨다는 것을 그림 6 에서 검증하였다.

그림 3 ~ 그림 6 의 시뮬레이션 결과와 식(3) ~ 식(9)를 통해서 RF IC 설계시 기판 설계 방법을 알 수 있다. 따라서, 대부분 RF IC 에서 주로 사용되는 주파수에서 기판이나 회로 설계시 식(8)로부터 중간 주파수의 커플링 크기를 줄이기 위해서 저항이 매우 큰 기판을 사용하거나 식(4)과 식(5)와 같이 저항이 아주 작은 기판을 사용하여 극과 제로 주파수를 이동시켜야 한다. 그리고 물리적인 거리를 증가시키고, 기판의 두께를 얇게

만들수록 커플링을 줄일 수 있다. 한 예로, RF 대역에서 20Ω·cm 기판에 가아드-링을 사용한 경우 커플링이 최대로 -10dB 정도 감소하였지만 기판 저항이 200Ω·cm 일 경우에는 가아드-링 없이 최대로 -15dB 까지 감소시킬 수 있으며[6] 기판의 두께를 더욱 얇게 한다면 더욱 감소시킬 수 있다.

#### V. 결론

CMOS RF IC 를 구현하기 위해서 실리콘 기판을 간단한 RC 매쉬 회로로 모델하였다. 그 결과를 2 차원 디바이스 시뮬레이터(MEDICI)로 검증하여 모델의 정확성을 검증하였다. 또한 제안한 회로 모델을 해석하여 기판의 구조와 저항에 따른 커플링의 특성을 극과 제로 주파수 및 커플링 크기로서 수식적으로 얻었다. 따라서 주어진 시뮬레이션 결과와 수식으로부터 CMOS RF 회로 설계에서 중요한 문제인 실리콘 기판 특성을 고찰하였다.

#### VII. 참고문헌

- [1] D. K. Shaeffer and T. H. Lee, "A 1.5 V, 1.5 GHz CMOS low noise amplifier," *IEEE JSSC.*, vol. 32, no. 5, pp. 745-759, May 1997.
- [2] C. S. Kim *et al.*, "A Fully Integrated 1.9-GHz CMOS Low-Noise Amplifier," *IEEE MGWL.*, vol. 8, pp. 293-295, Aug. 1998.
- [3] G. Hayashi *et al.*, "A 9mW 900MHz CMOS LNA with Mesh Arrayed MOSFETs," in Symp. VLSI Circuit Dig. Tech. Papers, 1998, pp. 84-85.
- [4] M. Pfost, and H. M. Rein, "Modeling and Measurement of Substrate Coupling in Si-Bipolar IC's up to 40GHz," *IEEE J. SSC.*, vol. 32, pp. 582-591, Apr. 1998.
- [5] A. L. L. Pun *et al.*, "Substrate Noise Coupling Through Planar Spiral Inductor," *IEEE JSSC.*, vol. 33, pp. 877-884, Jun. 1998.
- [6] J. P. Raskin *et al.*, "Substrate Crosstalk Reduction Using SOI Technology," *IEEE Trans. ED.*, vol. ED-44, pp. 2252-2261, Dec. 1997.
- [7] R. Gharpurey and G. Meyer "Modeling and Analysis of Substrate Coupling in Integrated Circuits," *IEEE JSSC.*, vol. 31, pp. 344-353, Mar. 1996.
- [8] N. K. Verghese and D. J. Allstot, "Computer-Aided Design Considerations for Mixed-Signal Coupling in RF Integrated Circuits," *IEEE JSSC.*, vol. 33, pp. 314-323, Mar. 1998.
- [9] E. Charbon *et al.*, "Substrate Optimization Based on Semi-

Analytical Techniques," *IEEE TCAD*, vol. 18, pp. 172-190, Feb. 1999.

- [10] H. Hasegawa, M. Furukawa, and H. Yanai "Properties of Microstrip Line on Si-SiO<sub>2</sub> System," *IEEE Trans. MTT.*, vol. MTT-19, no. 11, pp. 869-881, Nov. 1971  
 [11] A. von Hippel, *Dielectrics and Waves*, M.I.T. press, 1966.

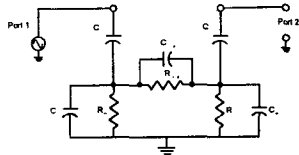
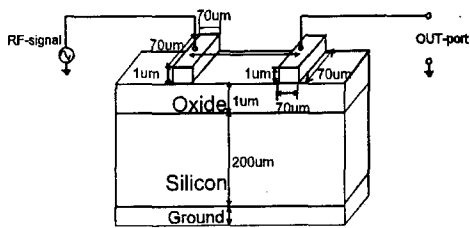
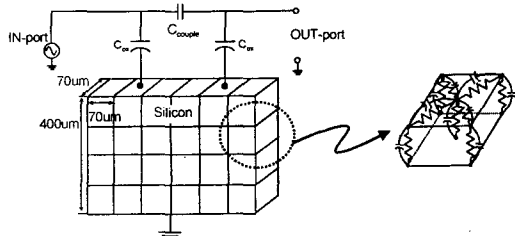


그림 1. 실리콘 기판 커플링의 등가회로



(a)



(b)

(c)

그림 2. 실리콘 기판 시뮬레이션 구조

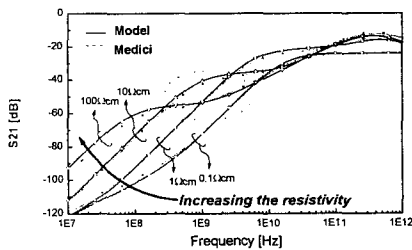


그림 3. 저항에 따른 기판 커플링 특성  
(기판 두께=200µm, oxide 두께=1µm, 물리적 격리=140µm)

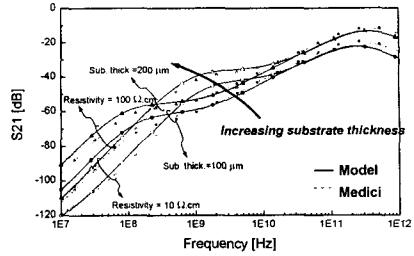


그림 4. 기판의 두께에 따른 커플링 특성  
(oxide 두께=1µm, 물리적 격리=140µm)

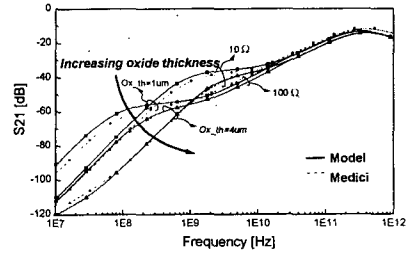


그림 5. Oxide 두께에 따른 커플링 특성  
(기판 두께=200µm, 물리적 격리=140µm)

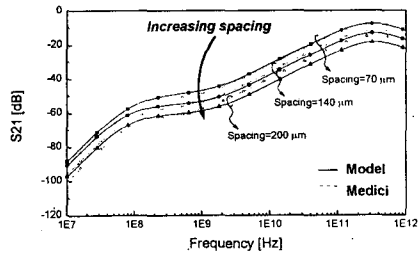


그림 6. 물리적 격리에 따른 기판의 커플링 특성  
(oxide 두께=1µm, 기판 두께=200µm, 물리적 격리=140µm, 기판 저항=100Ω.cm)

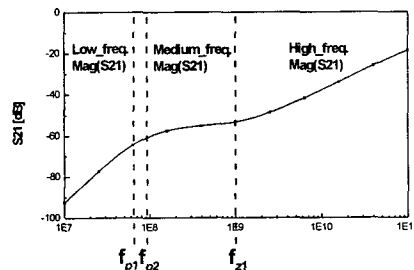


그림 7. 주파수에 따른 커플링 크기와 극, 제로 위치