

# 그라운드 평면을 갖는 다층 구조 IC 패키지 시스템에서 동시 스위칭 노이즈 모델링

최진우, 어영선  
한양대학교 전자공학과  
E-mail : thinu@iel.hanyang.ac.kr  
eo@iel.hanyang.ac.kr

## Simultaneous Switching Noise Model in Multi-Layered IC Package System with Ground Plane

Jin-Woo Choi, Yungseon Eo  
Dept. of Electronic Engineering, Hanyang University  
E-mail : thinu@iel.hanyang.ac.kr  
eo@iel.hanyang.ac.kr

### Abstract

It is essential to estimate an effective inductance in a ground plane of multi-layer IC package system in order to determine the simultaneous switching noise of the package. A new method to estimate the effective ground inductance in multi-layer IC package is presented. With the estimated ground plane inductance values, maximum switching noise variations according to the number of simultaneously switching drivers are investigated by developing a new SSN model. These results are verified by performing HSPICE simulation with the 0.35 $\mu$ m CMOS technology.

### 1. 서론

최근 고성능 VLSI 칩에서 속도와 집적도가 증가하면서 패키지에 기인한 시간지연 및 노이즈가 심각한 문제가 되고 있다. 이러한 문제를 완화 시키기 위하여 다층구조에 의한 패키지 배선 설계가 필수적이 되었다 [1][2]. 현재까지 다층 구조에 대해서 동시 스위칭 노이즈의 예측은 시뮬레이션에 의존하고 있으며 대부분의

스위칭 노이즈 모델은 단층구조에는 쉽게 적용 가능하지만 그라운드나 파워가 평면과 다수의 핀 등으로 복잡하게 이루어진 다층 구조의 경우에는 그라운드의 인덕턴스 값을 결정 하기가 대단히 어렵기 때문에 모델을 바로 적용 할 수 없다. 본 논문에서는 먼저 partial plane 모델을 도입하여 패키지의 등가회로를 구성하고 그라운드 인덕턴스를 구하기 위한 테스트회로를 이용하여 SPICE 시뮬레이션으로부터 스위칭 노이즈 적용에 필요한 그라운드 인덕턴스를 구하는 새로운 방법을 제시한다. 마지막으로 제시한 방법을 이용하여 구한 인덕턴스를 실제 스위칭 노이즈 모델에 적용하여 그 타당성을 시뮬레이션을 통하여 검증한다.

### 2. 다층구조의 그라운드 평면모델링

스위칭 노이즈는 근원적으로 시스템내의 회로소자들이 동시 스위칭 할 때 실제의 그라운드 혹은 파워 지점과 상대적인 그라운드 혹은 파워선 간의 인덕턴스에 유기되는 전압 변동이다. 이들 노이즈는 간단히 그림 1 과 같은 CMOS 회로에서 그라운드 선의 인덕턴스

에 유기되는 전류 변화와 인덕턴스 값으로부터 다음과 같이 수식적으로 표현 할 수 있다[3][4].

$$V_{\text{sw}} = nL_{\text{eff}} \frac{dI}{dt} \quad (1)$$

여기서  $n$ 은 동시에 스위칭하는 게이트의 갯수이고  $dI/dt$ 는 시스템의 속도에 관련되는 인자이며  $L_{\text{eff}}$ 는 패키지의 유효 인덕턴스이다. 식 (1)을 슛채널 모델에 적용하기 위하여 Vemuru는 Sakurai's  $\alpha$ -power law[5][6]의 전류식을 사용하여 식 (2)와 같은 새로운 스위칭 노이즈식을 제시하였다[6][7].

$$V_{\text{sw max}} = S_r n k_m L_{\text{eff}} f \left( 1 - e^{-\frac{(I_m - I_n)}{S_r n k_m L_{\text{eff}}}} \right) \quad (2)$$

여기서

$$f = \alpha (I_m - I_n - V_n)^{\alpha-1} \approx 1$$

이다. 위에서 제시한 스위칭 노이즈 모델은 DIP 나 QFP와 같은 단순한 패키지에는 쉽게 적용할 수 있으나 다층구조 패키지에 적용하기에는 많은 어려움이 있다. 즉 그라운드 인덕턴스 성분을 간단히 알 수 있다면 상관없지만 그라운드가 본딩 와이어를 통하여 평면과 다수의 핀으로 복잡하게 이루어져 있는 경우 인덕턴스 성분값은 쉽게 알아낼 수 없다. 또한 전체 그라운드 평면을 그리드 형태의 회로로 모델링하여 SPICE 시뮬레이션 한다는 것은 복잡한 다층 패키지 구조에서는 방대한 계산량 때문에 대단히 비효율 적이고 경우에 따라서는 시뮬레이션이 불가능하다.

따라서 본 논문에서는 그림 2와 같이 전체회로에서 스위칭 노이즈에 큰 영향을 끼치지 않는 영역을 간단히 종속 전류원으로 모델링 하는 partial plane 모델을 도입한다. 먼저 전체 평면 시뮬레이션에서 핀과 그라운드 평면의 parameter를 Maxwell 시뮬레이션으로부터 추출한 후 SPICE 시뮬레이션으로부터 하나의 source에 대하여 partial plane에 존재하는 그라운드 핀들을 통해 얼마만큼의 전류가 흘러 나가는가를 알아낼 수 있다. 따라서 Partial plane 위의 핀을 통해서 나가는 전류 성분을 제외한 전류성분을 종속 전류원으로 모델링하여 그림 2와 같이 스위칭 노이즈 모델링에 필요한 partial plane을 모델링 할 수 있다. Partial plane을 스위

칭 노이즈에 적용하는 것은 full plane을 적용하는 것 보다는 간단하지만 문제를 개념적으로 간단하고 명료하게 정리 하기 위하여 다음과 같은 가정이 필요하다. 첫째, Partial plane에서 나가는 전류는 다시 Partial plane으로 들어오지 않는다. 둘째, partial plane 위의 모든 핀의 인덕턴스 성분은 같다. 셋째, 저항 성분은 고려하지 않고 인덕턴스 성분만 고려한다. 이러한 가정은 실제 상황과 큰 오차 없이 받아들여 질 수 있는 가정이다. 따라서 이러한 가정하에 그림 2의 partial plane은 그림 3의 등가회로로 구성 가능하다. 그림 3에서  $L_{\text{bond}}$ 는 본딩 와이어의 인덕턴스 성분이고  $L_{\text{pin}}$ 은 partial plane 위의 핀의 인덕턴스 성분이며  $L_{\text{gnd}}$ 는 bonding wire에서 각 핀에 이르는 그라운드 평면에서의 인덕턴스 성분이다. 또한 current source로 모델링한 부분은 partial plane에서 평면으로 흘러 나가는 전류성분을 표시한 것이다.

첫번째 핀의 인덕턴스 성분  $L_{\text{pin}1}$ 과 그라운드 플레인의 인덕턴스 성분  $L_{\text{gnd}1}$ 의 합을 다음의 식 (3)에서와 같이  $L_{\text{eff}1}$ 로 표현하면 첫번째 핀부터 열번째 핀까지의 병렬연결 인덕턴스는 식 (4)와 같이 단순화하여 표현할 수 있다.

$$\begin{aligned} L_{\text{pin}1} + L_{\text{gnd}1} &= L_{\text{eff}1} \\ L_{\text{pin}2} + L_{\text{gnd}2} &= L_{\text{eff}2} \\ L_{\text{pin}3} + L_{\text{gnd}3} &= L_{\text{eff}3} \\ &\vdots \\ L_{\text{pin}10} + L_{\text{gnd}10} &= L_{\text{eff}10} \end{aligned} \quad (3)$$

따라서 전체 전류패스에 대한 유효 인덕턴스  $L_{\text{eff}}$ 는 다음과 같다.

$$\frac{1}{L_{\text{eff}}} = \frac{1}{L_{\text{eff}1}} + \frac{1}{L_{\text{eff}2}} + \frac{1}{L_{\text{eff}3}} \dots \frac{1}{L_{\text{eff}10}} \quad (4)$$

### 3. 인덕턴스 파라미터 결정

$L_{\text{eff}}$  값을 구하기 위해서 가장 어려운 점은 본딩 와이어에서 핀에 이르는 그라운드 평면의 인덕턴스 값을 결정하는 것이다. 그라운드 평면에서 전류가 흐르는 경로를 정확하게 추적하기 어렵기 때문에 다음에서 제시할 새로운 방법을 사용하면  $L_{\text{eff}}$  값을 근사적으로 얻을

수 있다.

먼저 그림 4 와 같은 partial plane 에서  $L_{eff}$  을 얻기 위해서 저항성분은 고려하지 않고 인덕턴스 임피던스 성분만을 가정하여 평면에  $i(t) = \sin\omega t$  을 가하는 테스트 회로를 도입한다. 이 테스트 회로의 SPICE 시뮬레이션으로부터 주파수 변화에 대한 각각의  $v(t)$ ,  $i(t)_1$ ,  $i(t)_2, \dots, i(t)_{10}$  을 얻을 수 있다. 각각의 핀과 그라운드 평면에 걸리는 전압은 같으므로 위에서 얻은 전압, 전류 값으로부터 그라운드 평면에 대한 인덕턴스 값을 구할 수 있다. 표 1 에 이상에서와 같은 방법으로 SPICE 시뮬레이션에서 구한  $L_{eff}$  값과 Maxwell 시뮬레이션에서 구한  $L_{pin}$  ( $=1.72nH$ )값으로부터 얻은  $L_{gnd}$  의 값을 정리하였다.

표 1 에서 partial plane 의 핀의 배치를 고려하면 source 에서 가장 거리가 먼 핀에서 그라운드 플레인과 가장 큰 루프를 형성하므로 가장 큰 인덕턴스 값을 갖고 가까운 핀에서는 작은 루프를 형성하므로 인덕턴스의 값이 상대적으로 작다는 것을 알 수 있다. 앞 절에서 식 (4)를 이용하면  $L_{eff} = 0.29 nH$  을 구할 수 있다. 스위칭 노이즈가 최대인 경우를 고려하고 bonding wire 의 인덕턴스  $1nH$  를 더하면 전체 그라운드의 인덕턴스 값  $L_{eff} = 1.29nH$  가 된다. 여기서 구한  $1.29nH$  를 스위칭 노이즈 모델 식 (2)에 적용하여 계산한 결과와 본 논문에서 제시한 모델을 이용하여 시뮬레이션한 결과를  $tr=0.25n$ ,  $tr=0.5n$  인 각각의 경우에 대하여 그림 5 에 나타내었다. 본 논문에서 제시한 모델을 이용한 결과와 SPICE 시뮬레이션한 결과가 잘 일치하는 것을 볼 수 있다.

#### 4. 결론

본 논문에서는 복잡한 다층구조에서 스위칭 노이즈를 모델을 통해 예측 할 수 있는 새로운 방법을 제시하였다. 특히 전체 그라운드 평면을 시뮬레이션 하는 대신 partial plane 모델을 도입하여 시뮬레이션 시간을 단축시키고 그라운드 평면의 인덕턴스를 구하기 위한 새로운 테스트회로를 도입하여 SPICE 시뮬레이션으로부터 그라운드 평면의 인덕턴스를 계산 하였다. 마지막

으로 논문에서 제시한 방법으로 구한 인덕턴스값을 실제 스위칭 노이즈 모델식에 적용하여 구한 결과를 시뮬레이션으로 검증하였다. 본 논문에서 제안한 방법은 복잡한 다층 구조를 갖는 패키지 성능을 고찰하고 설계하는데 유용하게 사용 될 수 있다.

#### 5.참고문헌

- [1] Said F. Al-sarawi, Derek Abbott and Paul D. Franzon, "Review of 3-D Packing Technology," IEEE trans. CPMT. vol.21, pp.2-14, February, 1998.
- [2] Qizheng Gu, Y. Eric Yang and M. Ali Tassoudji, "Modeling and Analysis of Vias in Multi-layered Integrated Circuits," IEEE trans. MTT. vol.41, pp 206-214, February, 1993.
- [3] Arun Vaidyanath, B. Thoroddsen and J.L.Prince, "Effect of CMOS Driver Loading Conditions on Simultaneous Switching Noise," IEEE trans. CPMT. vol.17, pp.480-485, November, 1994.
- [4] K. Bathey, M. Swaminathan, L. D. Smith and T. J. Cockerill, "Noise Computation in Single Chip Packages," IEEE trans. CPMT. vol.19, pp.350-360, May, 1996.
- [5] T. sakurai and A. R.newton, "Alpha-power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas," IEEE JSSC. vol.25, pp.584-594, April, 1990.
- [6] S. R. Vemuru, " Accurate simultaneous switching noise estimation including velocity-saturaion effects." IEEE Trans. CPMT. vol.19, pp.344-349, May, 1996.
- [7] S. R. Vemuru, " Effects of Simultaneous Switching Noise on the Tapered Buffer Design," IEEE Trans. VLSI. vol.5, pp 290-300, September, 1997.

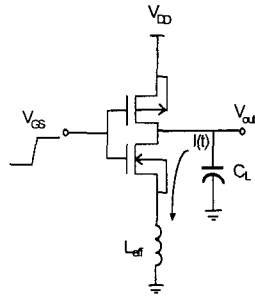
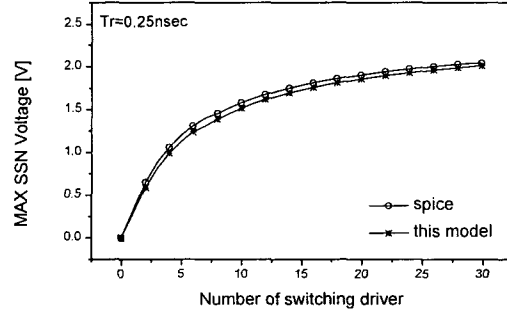


그림 1 CMOS 회로



(a)  $T_r = 0.25\text{nsec}$  일때

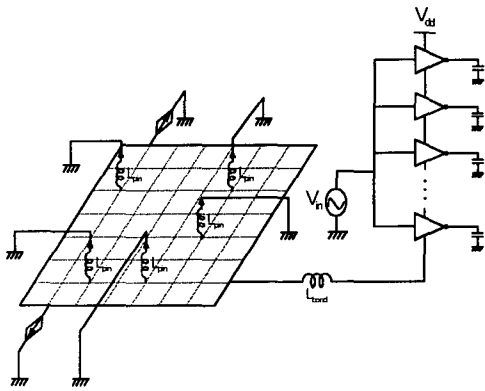
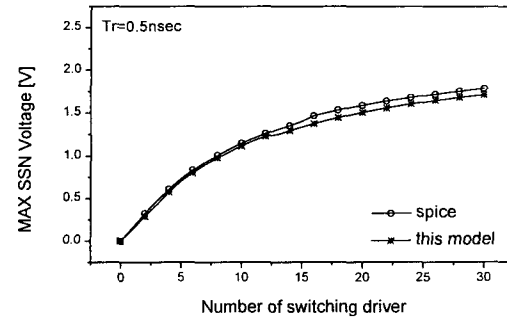


그림 2 partial plane 모델링



(b)  $T_r = 0.5\text{nsec}$  일때

그림 5 동시 스위칭 드라이버 갯수 변화에 대한 최대 스위칭 노이즈 비교 ( $V_{dd}=3.3\text{V}$ )

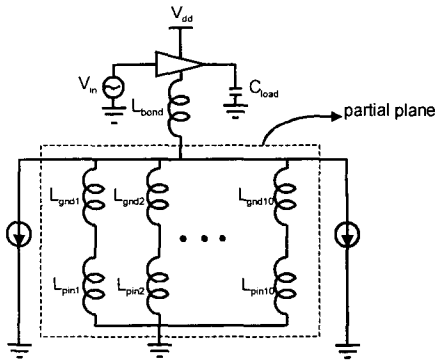


그림 3 partial plane 의 등가회로 모델

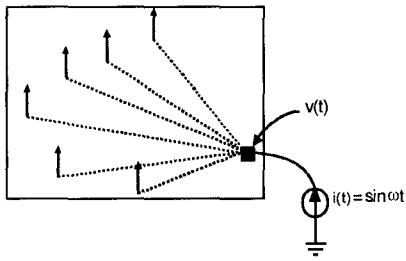


그림 4  $L_{\text{eff}}$  를 구하기 위한 테스트 회로

PIN Number ( $i$ )	$L_{\text{eff}i}$ (nH)	$L_{\text{gnd}i}$ (nH)
1	2.90	1.18
2	2.98	1.26
3	2.90	1.18
4	2.87	1.15
5	2.99	1.27
6	3.02	1.30
7	2.84	1.12
8	2.97	1.25
9	2.84	1.12
10	2.96	1.24

표 1 각 핀과 그라운드 평면의 인덕턴스 값