

파이프라인 데이터경로에서의 스위칭 동작 제한을 통한 전력소모 축소

정 현 권, 김 진 주, 최 명 석, 김 동 욱
광운대학교 전자재료공학과
전화 : (02) 940-5167 / 팩스 : (02) 919-3940

Reduction of Power Dissipation by Switching Activity Restriction in pipeline datapaths

Hyoun-Kwon Jeong, Jin-Ju Kim, Myoung-Suk Choi, Dong-Wook Kim
Electronic Material Engineering, Kwangwoon University
E-mail : vlsicad@dasiy.kwangwoon.ac.kr

Abstract

In this paper, we addressed the problem of reducing the switching activity in pipeline datapath and proposed a solution. clock-gating method is a kind of practical technique for reducing switching activity in finite state machine. But, in the case that the target gated function unit has a pipeline structure, there is some spurious switching activity on each stage register group. This occur in early stage of every function enable cycle. In this paper we proposed a method to solve this problem. This method generates the enable signal to each pipeline stage to gate the clock feeding register group. Experimental results showed effective reduction of dynamic powers in pipeline circuits.

I. 서 론

최근 이동 통신시스템의 급속한 발달에 따라 휴대용 기기의 전력소모량을 줄이는 요구가 증대되고 있는데, 제한된 전력을 사용하는 시스템의 사용시간을 늘이는 방법으로 배터리의 용량증가와 함께 주어진 회로의 전력소모를 최소화하려는 노력이 최근에 매우 활발히 연

구되고 있다. 최근의 회로 실현 추세는 CMOS기술을 이용하는 것이며, CMOS는 논리적 응답변화가 있을 때만 전력을 소모한다. 따라서 CMOS회로에서의 전력소모 축소는 스위칭 동작(switching activity)을 최소화하는 문제가 된다. 이에 따라 칩이 소모하는 전력을 줄이고, 신뢰성을 높이기 위해 칩 내부의 불필요한 스위칭 동작을 줄이려는 방법들이 활발히 연구되고 있다. 저전력을 요구하는 VLSI 칩은 여러 설계단계에서 전력소모에 대한 고려가 필요한데, 비교적 상위수준인 알고리즘 수준이나 RTL수준에서의 고려가 가장 효율성이 높다는 연구결과[2] 따라, 상위수준에서의 저전력 합성 알고리즘이 많이 제안되었다. RTL수준에서의 대표적인 방법중 하나로 clock gating 방법[1]이 사용되고 있는데, 이는 FSM(finite state machine)에서 기능블럭이 동작하지 않는 특정상태(idle상태)를 분석해내고, 이를 이용하여 기능블럭의 입,출력 레지스터의 클럭을 단절시킴으로써 기능블럭 내부의 불필요한 스위칭 동작을 막는 방법이다. 이 방법은 idle상태 분석과 clock gating에 필요한 부가회로의 삽입이 필요한데, 이 부가회로가 면적비용에 차지하는 비율이 작으면서, 전력소모를 줄이는 효율을 극대화시키는 회로를 합성하는 것이 여러 연구의 주 목적이다.

본 논문에서는 최근 클럭 주파수가 증가되고, 고성능 및 고신뢰성이 요구되는 부분에서 주로 사용되는 데이터패스 기능블록인 파이프라인 데이터 패스에서 불필요한 스위칭 동작을 살펴보고, 이를 최소한의 면적비용으로 최소화하는 방법을 제안하였다. 본 논문에서는 VHDL을 이용한 RTL 레벨로 코딩된 임의의 대상회로에 대한 실험결과를 제시하며, 제안된 방법에 따라 파이프라인 스테이지의 개수와 연산비트 수에 따른 전력소모 의존성을 분석한다.

II. 파이프라인 기능블록의 스위칭 특성

일반적인 clock-gating[1]이 적용되는 방법은 다음과 같다. 대상 STG(state transition graph)대해 입력변수와 현재 상태와 다음 상태간의 정보를 바탕으로 self loop를 갖는 최적화된 패턴 셋을 선택하고, 그 패턴 셋에 의해 다양한 논리 최소화 알고리즘으로 최적화된 동작함수(activation function : F_a)를 유도한다.

이를 통해 각 기능블록의 입력 레지스터에 입력되는 클럭을 게이트킴으로써 idle 상태에서 기능블록 내부의 스위칭 동작을 억제시키는데, 이 기능블록이 파이프라인 구조를 갖는 경우, 파이프라인 데이터패스 자체를 하나의 기능블록으로 인식하게 되므로, 기존의 방법으로 입력되는 클럭을 게이트시키면, 기능블록의

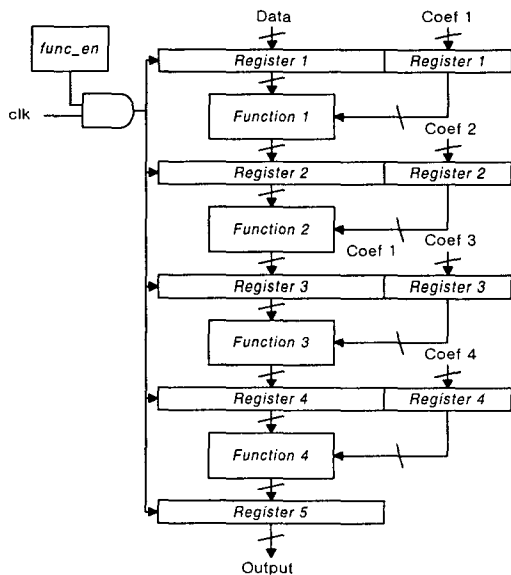


그림 1. 5스테이지 파이프라인 기능블록

초기동작영역에서 그림 3에 보인 불필요한 스위칭 동작이 발생하게 된다. 그림 1의 예제는 하나의 기능블록을 5 개의 클럭 사이클로 구동되게 동일 면적으로 분리시킨 5 스테이지 파이프라인 데이터 패스 구조이다.

이 그림에서 파이프라인 기능블록은 블록 여기 신호(func_en)를 갖고 있으며, clock gating 방법에서의 F_a 값을 반전시켜서 func_en 신호에 연결시킨다. 임의의 기능블록 동작 스테이트에서 enable 신호를 생성시킴으로써 기능블록의 동작에 필요한 클럭을 삽입시켜 그 블록을 동작시키는데, 파이프라인 스테이지 개수를 N이라고 하면, func_en이 '1'이 되는 초기 (N-1)개의 사이클 동안 첫번째 사이클에서 데이터를 받는 첫번째 레지스터를 제외한 (N-1)개의 레지스터 블록에서 불필요한 스위칭이 발생한다. 마찬가지로 (N-1)개의 사이클동안의 불필요한 스위칭이 발생하는 영역을 그림 2에 나타내었다.

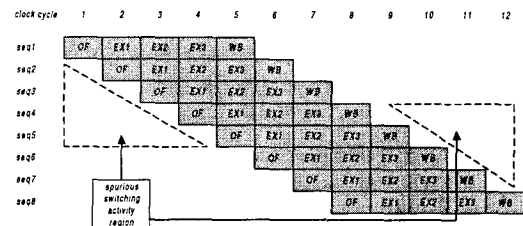


그림 2. 5 스테이지 파이프라인 기능블록에서 불필요한 스위칭 발생 영역

마찬가지로 i번째 사이클에서는 (N-i)개 스테이지의 레지스터 그룹에서 불필요한 스위칭이 발생하며, 각 스테이지에 연결된 기능블록 내부를 스위칭 시킴에 따라 전력소모에 기여한다. 그림 3은 그에 따른 스위칭 동작 시뮬레이션 결과이다.

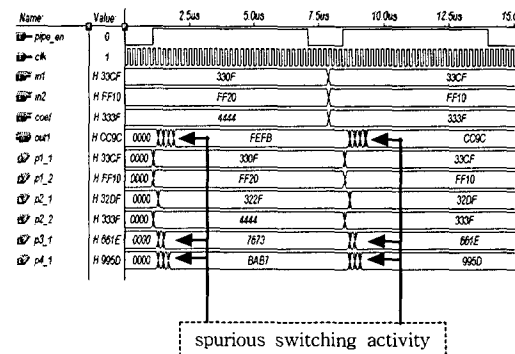


그림 3. 파이프라인 데이터패스의 불필요한 스위칭동작

이러한 불필요한 스위칭 동작을 제어하기 위해서는 내부 레지스터를 스테이지별로 그룹화시키고, 각 스테이지마다 스테이지 여기 신호(stage : enable s_en)를 만들어서 내부 레지스터 블록의 입력클럭을 세부적으로 제어할 필요가 있다.

III. 스테이지 여기 신호 발생

먼저, 기능블럭 전체의 enable 신호를 생성시키는 부가회로(Fa function)는 clock-gating 알고리즘에 따라 구성되어 있다고 가정한다.[1] 여기서는 이 Fa function의 값을 이용하여 각 스테이지 레지스터의 클럭을 게이트시키는 방법에 대해 제안하고자 한다.

N개의 스테이지에서 i 번째 스테이지의 여기 신호를 생성하는 방법은 다음과 같다.

파이프라인 구조의 경우 현재 스테이지의 동작은 이전 스테이지의 동작과 1 사이클 간격으로 연결되어 있으므로, 각 스테이지가 여기되는 시점은 일반적으로 다음과 같다.

$$S_{(i_en)}(t) = S_{(i-1_en)}(t-1) \quad (1)$$

(i < N)

N : stage 개수

S(i)_en : i 번째 스테이지 여기 신호

t : 임의의 클럭 사이클

이 때의 타이밍 조건은,

$$t_{(data \text{ at } i \text{ stage})} < t_{(i \text{ stage_en})} \quad (2)$$

를 만족시켜야 한다.

그림 4는 그림 1에 보인 대상회로에 대해 각 스테이지 여기 신호를 수식(1), (2)에 따라 구하고 레지스터 그룹에 연결시켜 합성한 결과이다.

시험 데이터 패스에서 연산에 필요한 입력 데이터는 16비트이며, 5 스테이지에 대한 각각의 스테이지 여기 신호생성 블록이 추가된다. 그림 5는 스테이지 여기 신호에 의해 동작되는 파이프라인 데이터패스의 시물레이션 결과이다. 이 결과에 의하면, 그림3에서 각 스테이지에서의 첫 번째부터 (N-1)번째 사이클동안의 불필요한 스위칭 동작이 제거되었음을 알 수 있다.

표 1에서 제안된 파이프라인 구조의 전력소모율을 비교하였다. 이는 Synopsys의 전력예측 툴을 사용한 결과로서 내부 노드에서의 천이동작을 확률적으로 계산한 방법을 사용한다. 물론, 파이프라인 스테이지의 개수에 따라 다른 결과가 나오지만, 5 스테이지 파이프라인의 경우 기존의 클럭게이트 방법에 비해 비교적

적은 면적비용으로 파이프라인 데이터 패스 회로 내부에서 약 54%의 전력소모를 줄일 수 있었다.

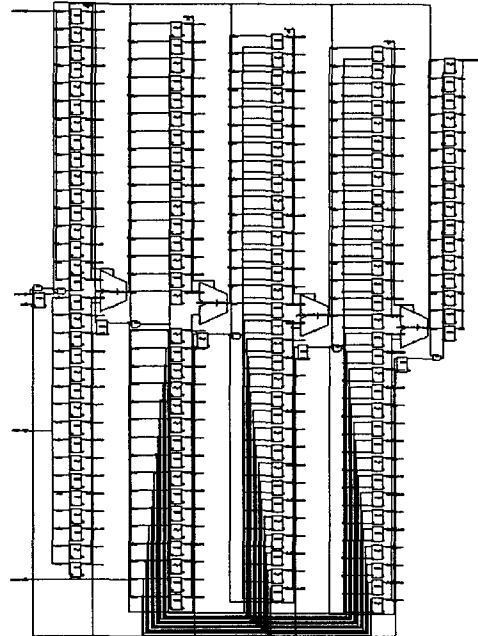


그림 4. 스테이트 여기 신호(s_en)를 갖는 5 스테이지 파이프라인 데이터패스 합성결과

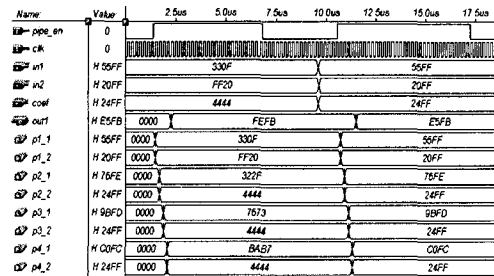


그림 5. 내부 스테이지 레지스터 그룹에서의 스위칭 동작 축소

표 1. 기존의 클럭게이트 방법과 전력소모율 비교

	general clock gating structure	proposed clock gating structure
cell internal power	12.0394 uW	5.1828 nW
net switching power	12.1465 uW	6.0804 nW
Total dynamic power	24.1859 uW	11.2632 uW
Area cost	2474	2519

IV. 전력소모 감소와 부가회로의 trade-off

일반적으로 면적비용과 전력비용 사이에는 trade-off 가 있는데, 제안된 알고리즘에서는 데이터패스 합성시에 가중치(weight function)를 두어 조절 가능하다. 파이프라인 데이터패스의 모든 스테이지에 대한 각각의 여기신호를 생성시키면(full stage gating) 면적비용이 증가 하지만 전력소모를 줄이는 효율은 크며, 일부 스위칭 동작이 많은 스테이지에 대해서만 스테이지 여기신호를 생성하여 클럭을 억제시킴(partial stage gating)으로써 보다 적은 면적비용으로 전력소모를 줄이는 효과를 가져올 수 있다. 이 Partial stage gating에 대한 실험결과를 표 2에 나타내었다.

표 2. 그림 3 회로에 대한 partial stage gating 방법의 시뮬레이션 결과

	general clock gating structure	full stage gating (5 stage gated)	partial stage gating (4 stage gated)
Total dynamic power	24.1859 uW	11.2632 uW	16.6071 uW
Area cost	2474	2519	2510

전력 가중치함수는 게이팅시킬 스테이지 개수를 결정하는 기준으로 사용되었다. 결과에 의하면, 5 스테이지 중 4개의 스테이지를 게이팅시킴으로써 partial stage gating으로 대상회로에 대해서 31% 전력소모를 줄일 수 있다. 반면, 면적 비용이 2519에서 2510으로 감소함을 알 수 있다.

V. 실험결과 및 결론

실험은 파이프라인 데이터 패스에서 스테이지 개수에 따른 제안된 알고리즘의 전력소모 의존성에 대해 시뮬레이션한 결과를 표 3에 나타내었다.

표 3. 전력소모 감소의 스테이지 개수 의존성

	general clock gating structure	proposed clock gating structure	effective ratio of reduction dynamic power per area cost
2 stage	12.5462 uW	6.8838 uW	19.74
3 stage	17.2186 uW	8.4536 uW	33.55
4 stage	23.4207 uW	10.9691 uW	34.87
5 stage	24.1859 uW	11.2632 uW	29.35
6 stage	30.1273 uW	13.1611 uW	32.01

먼저, 단위 면적비용당 전력소모 감소 효율을 나타내는 상수로서 효율계수를 정의한다.

$$\left(\frac{\text{effective ratio of power reduction}}{\text{per area cost}} \right) E_p = \frac{\text{전력감소 비율}}{\text{면적비용 증가비율}}$$

E_p 값이 클수록 적은 면적으로 큰 전력감소 효과를 나타낸다. 실험 결과에 의하면 스테이지 수가 늘어남에 따라 전력소모 감소 효과가 증가 하지만, 반드시 선형적인 관계는 아니며 E_p 효율계수값이 32 정도가 최대치임을 알 수 있다. 제안된 스테이지 게이팅 방법에서 데이터패스 비트수에 대한 전력소모 감소 의존성은 비트수가 증가할수록 클럭이 게이팅되는 레지스터 그룹이 커지므로 단위면적비용당 전력소모 감소효율이 증가하였으며, 그 결과를 표 4에 나타내었다.

표 4. 데이터패스 비트수에 대한 전력소모 의존성

	general clock gating structure	proposed clock gating structure	effective ratio of reduction dynamic power per area cost
4 bit	4.699 uW	2.8929 uW	4.15
8 bit	10.5159 uW	5.3547 uW	11.63
16 bit	24.1859 uW	11.2632 uW	29.35
32 bit	49.3632 uW	21.9975 uW	45.11

이 논문에서는 파이프라인 구조를 갖는 데이터패스에서 효율적인 clock-gating 방법인 스테이지 게이팅 방법을 제안하였고, 이에 대한 실험결과로서 각 스테이지의 초기 사이클에서 불필요한 스위칭 동작을 감소시켜서 평균 30% 정도의 전력소모를 줄이는 효과를 보였다.

앞으로, 휴대용 기기에 사용되는 파이프라인 구조의 다양한 연산블럭들에 대해 실험을 진행할 것이며, 좀 더 효율이 좋은 방법들을 연구할 계획이다.

참 고 문 헌

- [1] L. Benini and G. De Micheli "Automatic synthesis of Low-Power gated-clock Finite-State Machine s" IEEE Trans. computer-aided design., Vol. 15, pp. 630-643, Jun. 1996.
- [2] Anand Raghunathan, Niray K. J "High-Level Power Analysis and Optimization" Kluwer academic publisher. 1998.
- [3] M. Alidina and J. Monterio., "Precomputation-based sequential logic optimization for low power", IEEE Trans. VLSI System. vol. 2, pp. 426-436, Jan. 1995