

## 새로운 200 MHz CMOS 선형 트랜스컨덕터의 설계

°박 회중\*, 이 주찬\*, 신 회중\*, 차 형우\*\*, 정 원섭\*

\*청주대학교 전자공학과, \*\*청주대학교 전자·정보통신·반도체 공학부

360-764 충북 청주시 상당구 내덕동 36번지

### A Design of Novel 200 MHz CMOS Transconductors

°Hee-Jong Park\*, Ju-Chan Lee\*, Hee-Jong Shin\*, Hyeong-Woo Cha\*\*, and Won-Sup Chung\*\*

\*Dept. of Electronic Eng., Chongju Univ.

\*\*School of Electronic, Information & Communication, Semiconductor Eng., Chongju Univ.

36 Naedok-dong, Sangdang-gu, Chongju-shi, 360-764

Tel : (0431) 229-8441,

E-mail : hwcha@chongju.ac.kr

#### Abstract

A 200MHz CMOS transconductor using translinear cells is presented. It adopts a cascade circuit consisting of a voltage follower(VF), a resistor, and a current follower(CF). The translinear cell which has substancially high-frequency is used as the VF and CF, respectively. Simulation results show that the proposed transconductors have the 3-dB frequency of a 200 MHz, and the dynamic range of  $\pm 2.5$  V for a supply voltage  $\pm 3$  V.

#### I. 서론

트랜스컨덕턴스 증폭기(transconductance amplifier) 또는 트랜스컨덕터(transconductor)는 입력 전압을 전류로 변환하여 출력시키는 전압-전류 변환기로서, 고주파 여파기와 발진기 설계에 널리 사용된다. 특히, 수메가헤르츠(MHz)에서 동작하는 비디오(video) 신호처리 및 컴퓨터 디스크 드라이버(disk drive)용 아날로그 여파기 설계에는 필수 불가결한 기본 빌딩 회로이다 [1]-[3].

트랜스컨덕터를 실현하는 방법은 차동쌍(differential pairs)을 이용하는 방법과 전류 미러(current mirror)를 이용하는 방법으로 대별된다. 현재 주로 연구되고 있는 것은 전자이다. 차동쌍을 이용하여 설계된 트랜스컨덕터들은 좋은 선형성[4]-[6]과 온도 특성[6]을 보이는 장점을 가지고 있다. 그러나, 이 트랜스컨덕터들은 회로 구성이 복잡하고, 대역폭이 비교적 좁다는 단점도 가지고 있다(트랜스컨덕턴스의 -3 dB 주파수가 100 MHz 이하). 전류 미러를 이용한 트랜스컨덕터는 주파수 대역폭이 넓고 낮은 공급기 전압에서 동작하

이 논문은 1998년 한국학술진흥재단의 학술연구비에 의하여 지원되었음

며, 비교적 작은 전력을 소비한다는 특징을 갖고 있다 [7]-[8]. 그러나 이 트랜스컨덕터는 트랜지스터의 소신호 범위(수 mV)에서 동작하므로, 입력 선형 범위가 좁고, 온도 특성이 나쁘다는 단점을 가진다.

본 논문에서는 회로 구성이 간단하고 대역폭이 넓으면서 선형성이 좋은 200MHz CMOS 트랜스컨덕터를 체계적으로 설계하기 위한 새로운 방안을 제안한다. 이 방안에서는 기존의 연구와는 달리 전압 폴로워(voltage follower : VF)와 전류 폴로워(current follower : CF)를 이용하여 트랜스컨덕터를 설계하며, VF 및 CF는 고주파 특성이 우수한 트랜스리니어 셀을 사용한다[9]-[11]. 이하에, 설계된 트랜스컨덕터 회로들의 동작원리와 시뮬레이션 결과 및 브레드 보드 실험 결과에 대해 논의한다.

#### II. 회로구성 및 동작원리

본 논문에서 제안할 트랜스컨덕터의 기본 구성 블록도를 그림 1에 나타냈다. 이 트랜스컨덕터는 전압 폴로워(voltage follower : VF)와 전류 폴로워(current follower : CF), 그리고 VF의 출력 전압을 전류로 바꾸기 위해 사용한 저항  $R$ 로 구성된다.

그림 1의 구성에서 VF와 CF를 이상적인 것으로 가정하면  $v_{in} = v_1$ ,  $v_2$ 는 가상 접지가 된다. 따라서, 저항  $R$ 을 통해 흐르는 전류  $i_R$ 은  $i_R = v_{in}/R$ 이 되고, 이 전류는 CF를 통해 출력된다. 따라서, 그림 1의 트랜스컨덕터의 입·출력 관계는 다음과 같다.

$$i_{out}^+ = g_m v_{in} \quad (1)$$

여기서,  $g_m$ 은 트랜스컨덕턴스이고  $g_m = 1/R$ 이다.

그림 1의 단일-입력 단일-출력 트랜스컨덕터의 블록도를 CMOS 트랜스리니어 셀(translinear cell)로 실

현하기 위한 회로를 그림 2에 나타냈다.

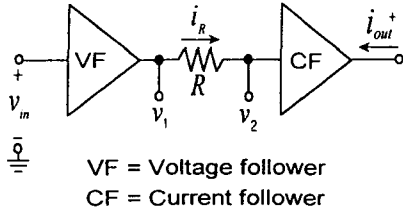


그림 1. 단일-입력 단일-출력 트랜스컨덕터의 블록도

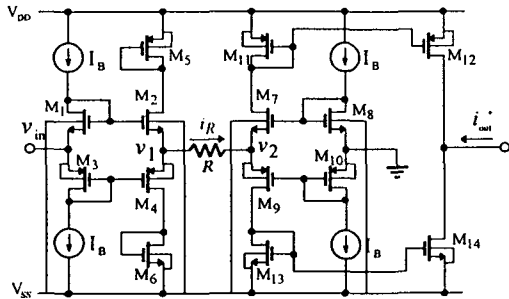


그림 2. 단일-입력 단일-출력 트랜스컨덕터의 회로도

회로에서, 바이어스 전류  $I_B$ 와 트랜지스터  $M_1 \sim M_6$ 가 트랜스리니어 셀을 구성하며, 전압 폴로워로 동작한다. 바이어스 전류  $I_B$ 와 트랜지스터  $M_7 \sim M_{10}$ 은 또 다른 트랜스리니어 셀을 구성하며, 전류 폴로워로 동작한다. 전류미러  $M_{11}$ 과  $M_{12}$ (혹은  $M_{13}$ 과  $M_{14}$ )는 전류 폴로워의 출력 전류를 복제하여 트랜스컨덕터의 출력 전류  $i_{out}^+$ 를 만드는 역할을 한다.

트랜스리니어 셀에서 모든 nMOS 트랜지스터( $M_1, M_2, M_7$ , 그리고  $M_8$ )와 pMOS 트랜지스터( $M_3, M_4, M_9$ , 그리고  $M_{10}$ )가 각각 정합되었다고 가정하고, 신호 입력,  $M_1, M_2$ , 저항  $R, M_7, M_8$ , 그리고 접지로 구성되는 루프(loop)에 KVL를 적용하면

$$-v_{in} - v_{GS1} + v_{GS2} + i_R R - v_{GS7} + v_{GS8} = 0 \quad (2)$$

을 얻는다. 모든 바이어스 전류  $I_B$ 가 동일하다면  $v_{GS1} = v_{GS8}$ 이 되어, 신호 전류  $i_R$ 은 다음과 같이 주어진다.

$$i_R = \frac{1}{R} \left\{ v_{in} + \sqrt{\frac{I_B + i_R}{K}} - \sqrt{\frac{I_B - i_R}{K}} \right\} \quad (3)$$

여기서,  $K$ 는 트랜지스터의 도전율 파라미터이다.

$I_B \gg i_R$ 일 경우, 위 식에서 괄호 안의 두 번째항과 세 번째항이 상쇄되어  $i_R = (1/R)v_{in}$ 이 된다. 이 전류는 전류 폴로워로 동작하는 오른쪽 트랜스리니어 셀과 pMOS와 nMOS의 전류 미러에 의해 복제되어 출력된다. 따라서, 최종 출력  $i_{out}^+$ 는 식 (1)과 같이 된다. 이 출력 전류의 식이 온도의 항을 포함하고 있지 않기 때문에, 트랜스컨덕터의 온도 특성이 우수할 것으로 예상된다.

그림 2의 회로에서 보다 자세히 회로 구성을 살펴보면, 왼쪽 트랜스리니어 셀의  $M_1$ (혹은  $M_3$ )는 DC 레벨 시프터로 동작하고,  $M_2$ (혹은  $M_4$ )는 공통-드레인(소스 폴로워) 증폭기로 동작한다. 한편, 오른쪽 트랜스리니어 셀의  $M_7$ (혹은  $M_9$ )은 그것의 게이트가 신호적으로 접지이므로 공통-게이트 증폭기로 동작한다. 공통-드레인과 공통-게이트 증폭기들은 우수한 고주파 특성을 가진다[12]. 따라서, 이 트랜스컨덕터 역시 우수한 고주파 특성을 가질 것이다.  $M_{11} \sim M_{14}$ 까지의 전류 미러들은 매우 우수한 고주파 특성을 가진다. 따라서, 이들 전류 미러는 트랜스컨덕터의 주파수 특성에 거의 영향을 미치지 않는다.

그림 2의 트랜스컨덕터는 고주파 특성과 선형 범위가 우수하지만, 그것의 입력과 출력이 단일-입력 단일-출력이기 때문에 응용 범위가 차동-입력 차동-출력 트랜스컨덕터보다 제한된다. 따라서, 보다 폭 넓은 응용을 위해서는, 고주파 특성과 선형 범위가 우수한 차동-입력 차동-출력 트랜스컨덕터의 실현이 요망된다. 이것을 실현하기 위한 방법을 그림 3, 4, 5에 각각 나타냈다.

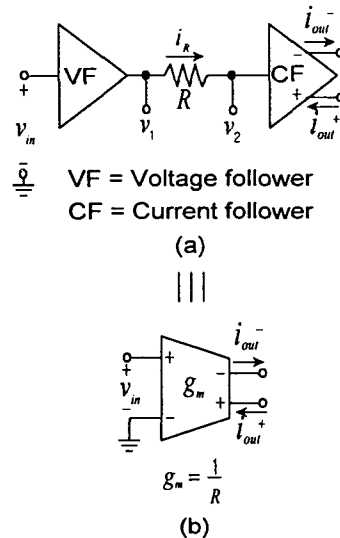


그림 3. 단일-입력 차동-출력 트랜스컨덕터의 블록도(a)와 그 회로 기호(b).

그림 3은 단일-입력 차동-출력 트랜스컨덕터의 블

록도와 그 회로 기호를 나타낸 것이다. 이 블록도에서는, 트랜스컨덕터가 차동-출력을 갖도록 차동-출력 CF가 사용되었다. 따라서, 그림 3의 트랜스컨덕터의 입·출력 관계식은 다음과 같다.

$$i_{out}^+ = -i_{out}^- = g_m v_{in} = \frac{1}{R} v_{in} \quad (4)$$

그림 4는 그림 3의 블록도를 실현한 회로이다. 이 회로에서,  $i_{out}^-$  출력 전류를 반전시키기 위해 교차 결합된(cross-coupled) 전류 미러가 사용되었다.

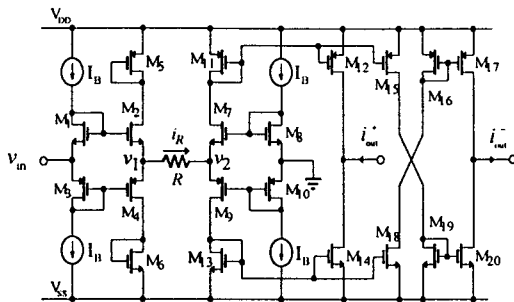


그림 4. 단일-입력 차동-출력 트랜스컨덕터의 회로도

그림 5는 그림 4의 단일-입력 차동-출력 트랜스컨덕터를 이용하여 차동-입력 차동-출력 트랜스컨덕터를 실현하기 위한 블록도를 나타낸 것이다. 이 블록도의 입·출력 관계식은 다음과 같이 얻을 수 있다.

$$i_{out}^+ = g_{m1} v_{in}^+ - g_{m2} v_{in}^- \quad (5)$$

$$i_{out}^- = g_{m2} v_{in}^- - g_{m1} v_{in}^+ \quad (6)$$

여기서,  $g_{m1}$ 과  $g_{m2}$ 과 정합 되었다고 가정하면 즉  $g_{m1} = g_{m2} = g_m$ 이라면, 출력 전류 식들은 다음과 같이 나타내어질 것이다.

$$i_{out}^+ = g_m (v_{in}^+ - v_{in}^-) = g_m v_{in} \quad (7)$$

$$i_{out}^- = -g_m (v_{in}^+ - v_{in}^-) = -g_m v_{in} \quad (8)$$

### III. 시뮬레이션 결과 및 고찰

그림 3과 5의 트랜스컨덕터 회로를 반도체설계교육센터(IDEC) MPW에서 제공한 현대 0.65  $\mu m$  CMOS 공정 모델 파라미터를 사용하여 HSPICE로 시뮬레이션했다. 회로에서 정전류원  $I_B$ 는 기본 전류 미러(basic current mirror)를 사용해 실현했다. 회로에 사용된 모든 pMOS의  $W/L=64/0.8(\mu m)$ , nMOS의  $W/L=32/0.8(\mu m)$ 이다. 전류원은 기본적인 전류 미러(current mirror)를 사용하였고, 모든 시뮬레이션에는

$200\mu A$ 의 바이어스 전류와  $V_{DD} = -V_{SS} = 3V$ 의 공급기 전압, 그리고  $g_m = 1/R = 50\mu g$ 가 사용되었다.

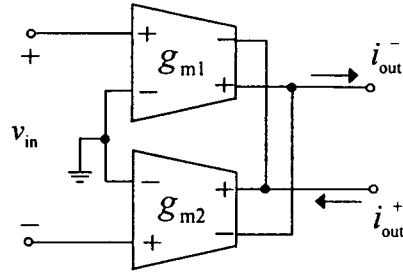


그림 5. 차동-입력 차동-출력 트랜스컨덕터의 블록도

제한한 회로(그림 3과 그림5)의 입력 전압에 대한 출력 전류의 관계 특성을 그림 6에 나타냈다. 이 그림으로부터 제안한 트랜스컨덕터의 특성이 차동-입력 차동-출력의 경우 이론과 같지만 단일-입력 차동-출력의 경우 이론과 다소 차이가 있다는 것을 알 수 있다. 그 원인은 현대 0.65  $\mu m$  공정이 n-Well 공정임을 감안하

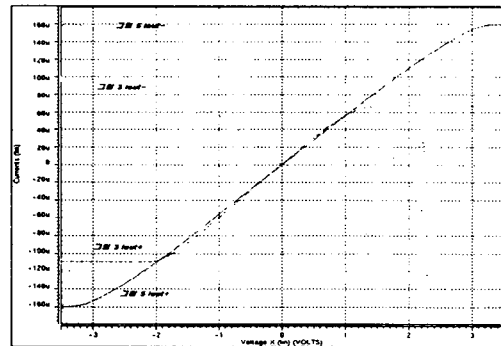


그림 6. 트랜스컨덕터의 선형 특성

여  $V_{sb} \neq 0$ 기 때문에 nMOS 트랜지스터의  $V_t(V_t \neq V_{t0})$ 의 증가에 의해 나타난 현상으로 사료된다.

$i_{out}^+$ 와  $i_{out}^-$ 의 차이는  $i_{out}^-$ 를 출력시키기 위해 교차-결합 전류 미러를 사용했기 때문이다. 트랜스컨덕턴스  $g_m=50\mu$ 으로 설정했을 때 트랜스컨덕터의 주파수 특성을 그림 7에 나타냈다. 여기서,  $i_{out}^+$ 와  $i_{out}^-$ 의 3-dB 주파수가 200MHz 이상으로 우수한 특성을 보였다.

그림 5에 나타난 차동-입력 차동-출력 트랜스컨덕터의 직류 특성과 교류 특성을 브레드보드 상에서 개별 소자를 사용하여 실험하였다. 이 실험에는 MOS 트랜지스터는 CD4007CN 게이트 어레이(array),  $R=20k\Omega$ ,  $I_B=200\mu A$ , 그리고 공급기 전압  $V_{DD} = -V_{SS} =$

5 V를 각각 사용하였다. 측정된 직류 특성과 교류 특성을 그림 8과 9에 각각 나타냈다. 이 결과와 HSPICE 시뮬레이션과는 차이가 있음을 알 수 있다. 그 원인은 실험에 사용한 소자의 파라미터와 현대공정의 파라메타가 다르기 때문이다.

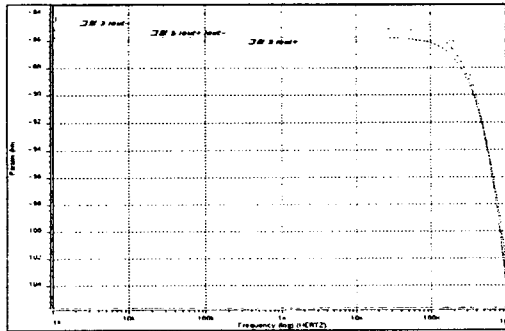


그림 7. 트랜스컨덕터의 주파수 특성

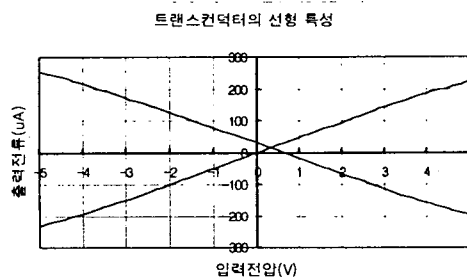


그림 8. 트랜스컨덕터의 선형 특성

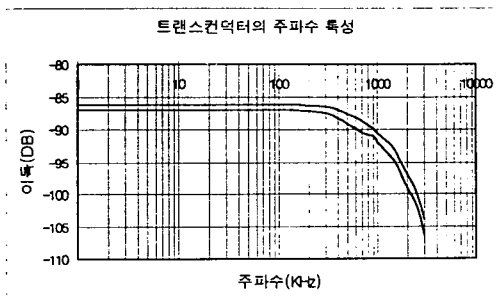


그림 9. 트랜스컨덕터의 주파수 특성

#### IV. 결 론

200MHz CMOS 선형 트랜스컨덕터를 체계적으로 설계해 그 동작 원리를 확인했다. 제안한 트랜스컨덕터는 넓은 입력 선형 범위와 우수한 주파수 특성을 장점을 가진다. 따라서, 이 트랜스컨덕터는 필터의 빌딩

블록(building block)이나 고주파 발진기(oscillators)등에 폭 넓게 이용될 것이다. 현재, 제안한 트랜스컨덕터 회로는 IDEC를 통해 현대반도체(주)에서 IC로 제작할 예정이다.

#### 참고 문헌

- [1] F. Krummenacher and N. Joehl, "A 4-MHz CMOS continuous-time filter with on-chip automatic tuning," *IEEE J. Solid-State Circuits*, vol. SC-23, pp. 750-758, June 1988.
- [2] J. M. Khoury, "Design of a 15-MHz CMOS continuous-time filter with on-chip tuning," *IEEE J. Solid-State Circuits*, vol. SC-26, pp. 1988-1997, Dec. 1991.
- [3] Y. Tsvividis, "Integrated continuous-time filter design-an overview," *IEEE J. Solid-State Circuits*, vol. SC-29, pp. 166-176, March 1994.
- [4] D. John and K. Martin, "Analog Integrated Circuit Design," John Wiley & Sons, Inc., ch. 15, 1997.
- [5] Won-Sup Chung and Hyeong-Woo Cha, "Bipolar linear transconductor," *Electronics Letters*, vol. 26, pp. 619-620, May 1990.
- [6] Won-Sup Chung, Kwang-Ho Kim, and Hyeong-Woo Cha, "A linear operational transconductance amplifier for instrumentation applications," *IEEE Trans. Instrumentation and Measurement*, vol. IM-41, pp. 441-443, June 1992.
- [7] S. S. Lee, *et al.*, "CMOS continuous-time current-mode filters for high-frequency applications," *IEEE J. Solid-State Circuits*, vol. SC-28, pp. 323-329, March 1993.
- [8] 방 준호 외 4인, "개선된 연속시간 전류모드 CMOS 적분기를 이용한 3.3 V 능동 저역 필터 구현," 대한전자공학회 논문지, 제33권, B편, 제4호, pp. 52-62, 1996.
- [9] B. Gilbert, "Translinear circuit: a proposed classification," *Electronics Letters*, vol. 11, pp. 14-16, Jan. 1975.
- [10] A. Fabre, *et al.*, "High frequency application based on a new current controlled conveyor," *IEEE Trans. Circuits and Systems I*, vol. 43, pp. 82-91, Feb. 1996.
- [11] Hyeong-Woo Cha and K. Watanabe, "Wide-band CMOS current conveyor," *Electronics Letters*, vol. 32, pp. 1245-1246, July 1996.