선형 트랜스컨덕터를 이용한 20 MHz CMOS 연속시간 저역-통과 여파기의 설계

°박 희종*, 박 상렬*, 김 동용*, 차 형우**, 정 원섭*

*청주대학교 전자공학과, **청주대학교 전자 · 정보통신 · 반도체 공학부

360-764 충북 청주시 상당구 내덕동 36번지

A Design of 20 MHz CMOS Continuous Time Low-Pass Filter Using Linear Transconductors

°Hee-Jong Park*, Sang-Yeal Park*, Dong-Yong Kim*, Hyeong-Woo Cha**, and Won-Sup Chung**

*Dept. of Electronic Eng., Chongju Univ.

**School of Electronic, Information & Communication, Semiconductor Eng., Chongju Univ.

36 Naedok-dong, Sangdang-gu, Chongju-shi, 360-764

Tel : (0431) 229-8441, E-mail : hwcha@chongju.ac.kr

Abstract

A 20 MHz CMOS continuous low-pass filter using simulated floating inductor consisted of two fully-differential transconductors and a capacitor is presented. The theory of operation is described and simulation results show close agreement between predicted behaviour and experimential performance. Simulation results show that the filter has ripple bandwidth of 22 MHz, pass-band ripple of 0.36 dB. and cutoff frequency of 26 MHz at supplay voltage of ±3 V. The power dissipation is 19.2 mW.

I. 서 론

여파기(filter)는 어떤 원하는 주파수 대역의 신호들만을 통과시키고 그 외의 대역의 신호들은 저지하는 회로로서, 통신 및 계장 시스템에 필수불가결한 빌딩 블록이다. 여파기는 그 기능과 성능에 따라 여러 유형 및 종류로 분류된다. 그 중에서 특히, 20 MHz 정도의 고주파에서 동작하는 저역-통과 여파기는 디지털 휴대폰 및 위성 수신기의 중간주파(IF) 단, HDTV의 디코더(decoder), 그리고 하드-디스크 드라이브 시스템(hard-disk drive system)의 리드 채널(read channel)에 사용되는 등 많은 응용 분야를 가지고 있다. 이들 시스템에 사용하기 위한 여파기 함수와 회로로서 가장 널리 사용되는 것은, 일립틱(elliptic) 함수와 LC 사다리(ladder) 회로망이다. 사다리형 일립틱 저역-통과 여파기는 낮은 소자 감도(sensitivity)를 보인다는 장점을 가지고 있다[1]. LC 사다리형 일립틱 저역-통과 여파기를 실현함에 있어 가장 중요한 과제는, 능동 소자들을 이용하여 단자 특성이 수동 인덕터와 동일한 시뮬레이티드 플로팅 인덕터(simulated floating inductor)를 구성해야 하는 것이다. 특히, 디지털 휴대폰이나 디스크 드라이브 시스템 등에 들어가는 고주파 여파기를 실현하기 위해서는, 고주파 특성과 온도 특성이 좋은 시뮬레이티드 플로팅 인덕터의 설계가 선행되어야 한다.

시뮬레이티드 플로팅 인덕터를 구성하는 방법은 연산 증폭기(operational amplifier: op amp)와 저항 및 커패시터를 이용하여 구성하는 방법과 트랜스컨덕터(transconductor)와 커패시터를 이용하여 구성하는 방법으로 구별된다. 전자의 방법은 전압-모드로 동작하는 연산 증폭기를 능동 소자로 사용하기 때문에, 회로 구성이 복잡하고 고주파 특성이 좋지 않다[2], [3]. 한편, 후자의 방법은 전류-모드로 동작하는 트랜스컨덕터를 능동 소자로 사용하기 때문에 회로 구성이 간단하고 고주파 특성이 좋다는 장점을 가진다[4].

트랜스컨덕터와 커패시터를 이용해 플로팅 인덕터를 실현하는 기존의 방법에는 두 가지 방법, 즉 세 개의 차동-입력 단일-출력(differential-in single-ended) 트랜스컨덕터들과 한 개의 커패시터를 이용하는 방법[5], [6]과 네 개의 차동-입력 단일-출력 트랜스컨덕터들과 한 개의 커패시터를 이용하는 방법이 있다[7], [8]. 본 연구에서는, 이들과는 달리, 차동 입-출력형(differential in-out) 또는 완전 차동형(fully different-

이 논문은 1998년 한국학술진흥재단의 학술 연구비에 의하여 지원되었음

ial) 트랜스컨덕터 두 개와 커패시터 하나를 이용한 시뮬레이티드 플로팅 인덕터를 제안한다. 제안될 플로팅 인덕터는 두 개의 트랜스컨덕터와 하나의 커패시터만을 필요로 하기 때문에 회로 구성이 간단하며 적은 소비 전력을 가질 것이다. 이와 같이 설계된 플로팅 인덕터는 사다리형 3차 일립틱 저역-통과 여파기를 설계하는 데 사용될 것이고, 설계된 여파기는 시뮬레이션 결과와 브레드보드 실험 결과를 통해 타당성을 입증했다.

II. 회로구성 및 동작원리

LC 사다리형 여파기 실현에 사용할 시뮬레이티드 플로팅 인덕터의 회로도를 그림 1(a)에 나타냈다. 회로는 두 개의 차동 입-출력형 트랜스컨덕터와 하나의 커패시터로 구성된다. 회로의 동작을 이해하기 위해, 트랜스컨덕터가 이상적이라고 가정하여 y-파라미터를 구하면 다음과 같다.

$$y_{11} = \left.\frac{I_1}{V_1}\right|_{V_2=0} = \frac{g_{m1}g_{m2}}{sC} \quad (1a)$$

$$y_{12} = \left.\frac{I_1}{V_2}\right|_{V_1=0} = -\frac{g_{m1}g_{m2}}{sC} \quad (1b)$$

$$y_{21} = \left.\frac{I_2}{V_1}\right|_{V_2=0} = -\frac{g_{m1}g_{m2}}{sC} \quad (1c)$$

$$y_{22} = \left.\frac{I_2}{V_2}\right|_{V_1=0} = \frac{g_{m1}g_{m2}}{sC} \quad (1d)$$

$$Y = \begin{bmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{bmatrix} = \frac{g_{m1}g_{m2}}{sC}\begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \quad (2)$$

여기서, g_{m1}과 g_{m2}는 각각 왼쪽의 트랜스컨덕터와 오른쪽의 트랜스컨덕터의 트랜스컨덕턴스이다. (2) 식은 이 회로가

$$L_{eq} = \frac{C}{g_{m1}g_{m2}} \quad (3)$$

의 등가 인덕턴스를 갖는 플로팅 인덕터로 동작한다는 것을 말해준다. 그림 1(b)에 등가 인덕턴스를 4-단자 회로망으로 나타냈다. 두 트랜스컨덕터가 정합되어 있다고 가정하면, 즉 $g_{m1} = g_{m2} = g_m$이라고 하면, 등가 인덕턴스 L_{eq}는 다음과 같이 간단하게 표현될 것이다.

$$L_{eq} = \frac{C}{g_m^2} \quad (4)$$

(4) 식으로부터 알 수 있듯이, 등가 인덕턴스 L_{eq}가 트랜스컨덕터의 트랜스컨덕턴스 g_m의 제곱에 반비례하기 때문에, 고주파 특성과 온도 특성이 우수한 시뮬

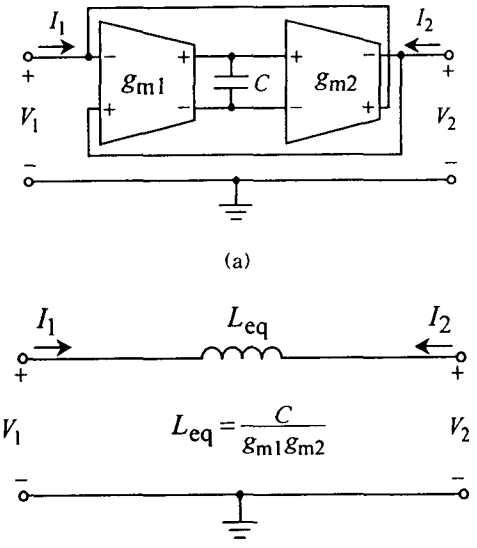


그림 1. (a) 차동 입-출력형 트랜스컨덕터들을 이용한 시뮬레이티드 플로팅 인덕터; (b) 등가 회로.

레이티드 인덕터를 실현하려면 이들 특성이 좋은 트랜스컨덕터를 설계하는 것이 요구된다.

그림 1(a)의 플로팅 인덕터를 구현하기 위해 사용한 트랜스컨덕터를 그림 2에 나타내었다. 이 트랜스컨덕터의 입출력 관계식은 다음과 같다.

$$i_{out}^{+} = g_m(v_{in}^{+} - v_{in}^{-}) = g_m v_{in} \quad (5a)$$

$$i_{out}^{-} = -g_m(v_{in}^{+} - v_{in}^{-}) = -g_m v_{in} \quad (5b)$$

여기서, $g_m = 1/R$ 이고, R은 트랜스컨덕터의 소스 디제너레이션(source degeneration) 저항이다. 이 트랜스컨덕터를 이용하여 그림 1(a)의 플로팅 인덕터를 구성했을 경우, 그것의 등가 인덕턴스는 다음과 같이 표현된다.

$$L_{eq} = CR^2 \quad (6)$$

등가 인덕턴스가 커패시턴스 C와 트랜스컨덕터의 소스 디제너레이션(source degeneration) 저항 R에 의해 결정된다는 점에 주목할 필요가 있다. 즉, 이는, 등가 인덕턴스가 트랜지스터 파라미터의 영향을 받지 않는다는 것과 온도 계수가 작은 커패시터와 저항기를 사용하면 온도 안정된 플로팅 인덕터를 실현할 수 있다는 것을

의미한다. 그림 1(a)의 인덕터 회로와 이의 실현에 사용될 그림 2의 트랜스컨덕터 회로 모두가 대칭 구조를 이루고 있기 때문에, 이 플로팅 인덕터는 기존의 인덕터 회로들보다 높은 Q 값을 보일 것이다[9].

본 논문에서 제안한 LC 사다리형 3차 일립틱 저역-통과 여파기 회로를 그림 3(a)에 나타냈다. 이 수동 여파기의 플로팅 인덕터를 그림 1(a)의 시뮬레이티드 플로팅 인덕터로 대체한 것이 그림 3(b)의 회로이다. 설계될 여파기의 사양은 다음과 같다. 즉, 리플(ripple) 대역폭은 30 MHz, 통과-대역 리플은 0.18 dB, 그리고 저지-대역 감쇠량은 약 45.7 MHz에서 17.86 dB를 가지도록 설계되었다[10].

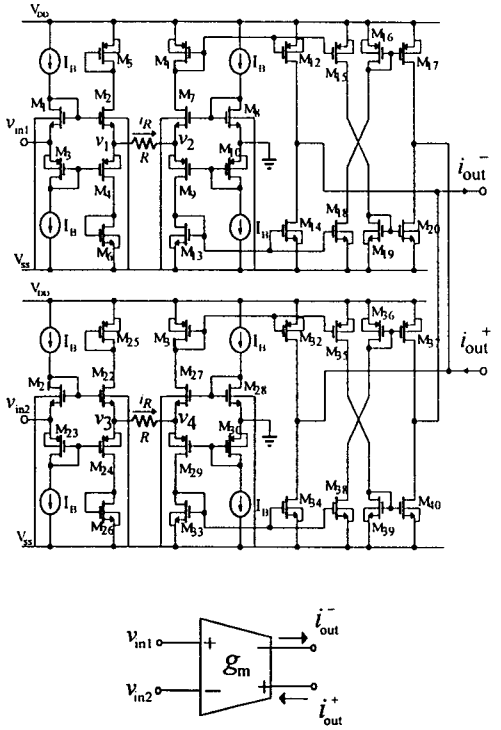
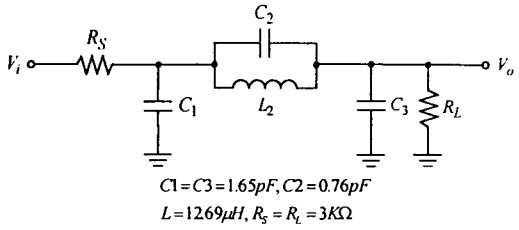


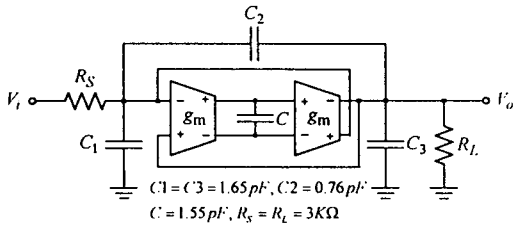
그림 2. 차동 입-출력형 CMOS 트랜스컨덕터의 내부 회로 및 기호.

Ⅲ. 시뮬레이션 결과 및 고찰

이상에서 논의한 그림 3의 회로들은 IDEC MPW에서 제공한 현대 0.65μm 공정의 모델 파라미터를 사용하여 HPSICE로 시뮬레이션 하였다. 회로에 사용된 모든 pMOS의 pMOS의 W/L=64/0.8(μm), nMOS의 W/L=32/0.8(μm)이다. 전류원은 기본적인 전류 미러(current mirror)를 사용하였고, 모든 시뮬레이션에는 $200\mu A$의 바이어스 전류와 $V_{DD} = -V_{SS} = 3V$의 공급기 전압, 그리고 $g_m = 1/R = 350\mu S$가 사



(a)



(b)

그림 3. (a) LC 수동 여파기; (b) 시뮬레이티드 플로팅 인덕터로 실현한 능동 여파기.

용되었다.

그림 3(a)와 그림 3(b)의 여파기에 대한 입출력 전달 특성을 그림 4에 나타내었다. 이 그림으로부터 시뮬레이티드 인덕터로 구성한 능동 여파기의 전달 특성이 수동 인덕터로 구성한 수동 여파기의 전달 특성과 잘 일치한다는 것을 알 수 있다.

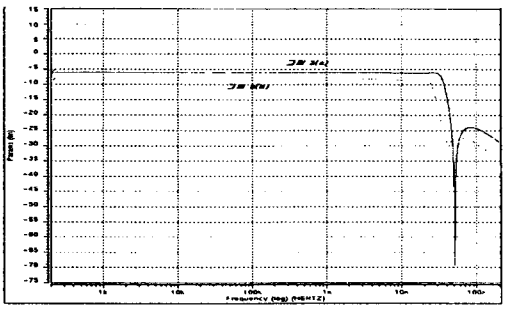


그림 4. 그림 3(a)와 그림 3(b)에 보인 여파기들의 입-출력 전달 특성

그림에서 보여진 것처럼 LC 수동 필터와 능동 필터의 3dB-주파수는 각각 35.9 MHz와 26 MHz이다.

이렇게 두 필터의 3dB-주파수가 차이나는 이유는 능동 필터의 기생성분 때문이다.

표 1 여파기의 성능표

	설계값	시뮬레이션값
리플 대역폭	30MHz	22MHz
통과 대역 리플	0.18dB	0.36dB
저지-대역 감쇠량	17.86dB	19.20dB
3-dB주파수		26MHz
소비전력		19.2mW

그림 5는 본 논문에서 제안한 LC 사다리형 3차 일립틱 저역-통과 여파기 회로의 동작을 확인한 브레드 보드 실험 결과이다. 이 실험에는 CD4007CN 게이트어레이를 사용하였으며 트랜스컨덕터의 $R=20$ kΩ, 바이어스전류 $I_B=200$ μA, 그리고 공급기 전압 $V_{DD}=-V_{SS}=5$ V를 각각 사용하였다. 그리고 이 여파기는 소자의 특성을 감안하여 50 KHz의 3dB-주파수를 갖도록 설계되었다[10].

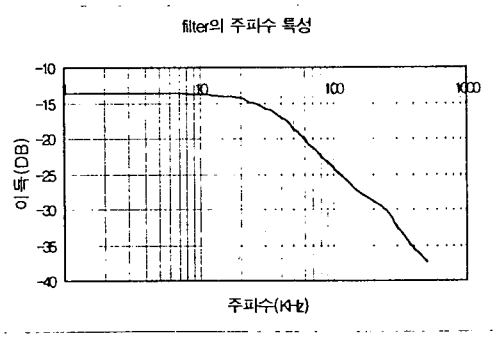


그림 5. 사다리형 3차 일립틱 저역-통과 여파기의 입-출력 전달 특성

그림에서 보여진 것처럼 이 능동 필터의 3dB-주파수는 약 35 KHz이고 여파기로서의 동작을 한다는 것을 알 수 있다.

Ⅳ. 결 론

본 논문에서는 20MHz CMOS 연속시간 사다리형 3차 일립틱 저역-통과 여파기를 두 개의 차동 입-출력 트랜스컨덕터를 이용한 시뮬레이티드 플로팅 인덕터를 사용하여 실현했다. 실현된 여파기는 고주파 특성이 좋은 플로팅 인덕터를 사용했기 때문에 IC화가 가능할 것이다. 특히, 제안한 회로구성의 연속시간 저역-통과 여파기는 고주파 여파기를 필요로 하는 디지털 휴대폰이나 디스크 드라이브 시스템 등에 널리 사용될 것이다. 현재, 본 논문에서 제안한 여파기 회로는 IDEC를 통해 현대반도체(주)에서 IC로 제작할 예정이다.

참고 문헌

[1] M. Valkenburg, *Analog Filter design* : Holt-Saunders International Editions, Ch. 14, 1982.

[2] *National Operational Amplifiers Databook*, National Semiconductor Corp., Santa Clara, CA, 1995.

[3] A. S. Sedra, P. O. Brackett, *Filter theory and design : active and passive*, Matrix Publishers, Inc., Ch.8-9, 1978.

[4] K. R. Laker, W. M. C. Sansen, *Design of analog integrated circuits and system*, McGraw-Hill, Inc., Ch. 5, 1994.

[5] R. NANDI, "Lossless inductor simulation: Novel configurations using D.V.C.C.S," *Electronics Letters*, Vol.16, pp. 666-667, Aug. 1980.

[6] L. P. Huelsman, *Active and passive analog filter design*, McGRAW-HiLL, Inc., International edition, Ch. 6, 1993.

[7] P. D. Walker, M. M. Green, "An Approach to fully differential circuit design without common-mode feedback," *IEEE Transactions on Circuits and System-II*. Vol. 43, No. 11, pp. 752-762, Nov. 1996.

[8] M. M. Green, "On power transmission of LC ladder filter using active inductor realizations," *IEEE Transactions on Circuits and System-I*, Vol. 43, No. 6, pp. 509-511, June. 1996.

[9] 정 원섭, 김 종필, 박 지만, "트랜스어드미턴스 증폭기를 이용한 사다리형 8차 일립틱 저역-통과 여파기" 대한전자공학회 논문지, 제 35권, C편, 제 8호, pp. 41- 51, 1996.

[10] Arthur B. Williams, *Electronic filter design handbook*, McGRAW-HiLL, Inc, 1981.