

자체귀환형 2단 고리발진기를 이용한 고속 CMOS PLL 설계

문 연 국, 윤 광 섭
인하대학교 전자공학과 아날로그 회로설계 연구실
402-751 인천광역시 남구 용현동 253
g1981144@inhavision.inha.ac.kr

Design of a High Speed CMOS PLL with a Two-stage Self-feedback Ring Oscillator

Yeon Kug Moon and Kwang Sub Yoon
Dept. of Electronic Engineering, Inha University
253 Younghyun-dong, Nam-Gu, Incheon, 402-751, Korea
g1981144@inhavision.inha.ac.kr

ABSTRACT

A 3.3V PLL(Phase Locked loop) is designed for a high frequency, low voltage, and low power applications. This paper proposes a new PLL architecture to improve voltage to frequency linearity of VCO(Voltage controlled oscillator) with new delay cell. The proposed VCO operates at a wide frequency range of 30MHz~1GHz with a good linearity. The DC-DC voltage up/down converter is utilized to regulate the control voltage of the two-stage VCO. The designed PLL architecture is implemented on a 0.6 μ m n-well CMOS process. The simulation results show a locking time of 2.6 μ sec at 1GHz, Lock in range of 100MHz~1GHz, and a power dissipation of 112mW.

I. 서론

최근의 정보 및 통신 시스템은 고속, 대용량 데이터 처리, 저장 및 전송할 수 있는 성능이 요구되고 있고 이러한 시스템에서 PLL(Phase Locked Loop)은 비디오/오디오 장비의 클럭복원회로, 마이크로프로세서[1]나 RF 주파수 합성기[2]와 같은 응용에서의 클럭합성기, 위성통신이나 RF통신회로에서의 캐리어 복원기 및 FM 주파수 변 복조회로등의 폭 넓은 응용분야에서 중요한 역할을 담당하고 있다. 최근의 회로설계 경향을 살펴보면 먼저 PLL의 주요 블록인 VCO(Voltage Controlled Oscillator)의 동작주파수 범위가 높고 짧은 획득시간과 적은 위상잡음을 가지면서 제한된 전력으로 저 가를 유지하며 고 집적도를 이룰 수 있도록 설

계되고 있다. 본 논문에서는 CMOS 2단 고리발진기를 이용하여 100MHz~1GHz의 넓은 Lock-in 범위를 갖는 PLL을 제안한다. 제안하는 자체귀환형 2단 고리발진기에서의 VCO 특성은 30MHz~960MHz까지 매우 좋은 선형성을 이루고 있다.

II. PLL 회로 설계

그림 1은 설계된 PLL의 회로구조를 나타낸다. 설계된 회로는 위상 주파수 검출기 회로와 전하펌프(Charge pump) 회로, 루프필터(Loop filter) 회로, DC-DC 전압 승압/강압 변환기 회로(DC-DC Voltage Up/Down Converter), 자체 귀환형 2단 고리발진기 회로(Two-stage Self-feedback Ring Oscillator), 프로그래머블 64분주 회로(Programmable 64 Divider) 등으로 이루어져 있다. 위상 주파수 검출기에서 나오는 신호는 전하펌프와 루프필터를 거치면서 DC 제어전압 값으로 바뀌어지고 DC-DC 변환기에서는 2단발진기가 일정한 출력특성을 가지면서 선형영역에서 안정적으로 동작할 수 있는 두 개의 DC 제어전압 값으로 바뀌 준다. 발진기의 출력신호는 프로그래머블 64분주기에 의하여 다양한 분주비로 분주된다.

그림 2(a)는 기존 고리발진기의 단점인 선형성을 증가시킬 수 있고, 넓은 Lock-in 범위를 가능하게 하는 CMOS 2단 완전 차동 고리 발진기의 회로도이고, 이러한 회로구현을 만족시킬 수 있는 것이 그림 2(b)에서 제안하는 자체귀환형 지연셀 회로이다. 최근 폭넓게 사용하는 회로구조인 (1) NMOS source coupled PMOS Load[M5, 6, 10, 11, 12] [3]나 (2) PMOS

source Coupled NMOS Load[M1, 2, 9, 17, 18] [1]에서 는 2단 구성만으로 VCO의 기본 발진조건인 충분한 위상천이와 1보다 큰 이득을 동시에 얻을 수 없기 때문에 이것을 극복하기 위하여 (1)구조와 (2)구조를 결합하여 이득을 2배로 높임으로써 필요한 이득을 충족시키고, 충분한 위상천이를 얻기 위해서는 능동부하(Active Load) [M13~M16]를 이용한다. 각 지연 셀의 입력단은 (1)구조의 NMOS 게이트 입력과 (2)구조의 PMOS 게이트 입력을 종속접속(cascade)으로 연결하여 공통 입력단으로 사용하며 앞에서 충분한 위상천이를 얻기 위해 사용한 증폭기는 출력단의 전압스윙을 제한하게 되는데 이러한 단점을 극복하기 위해 출력신호를 자체귀환(self-feedback) - 출력단의 양의 출력은 양의 입력으로 귀환시키고 음의 출력은 음의 입력으로 귀환시키므로써 각 단에서의 출력스윙 범위를 향상시킬 수 있다. 이와 같은 방법으로 Spiral Inductor가 없는 CMOS 2단구성 고리발진기를 구성하고, 기존의 고리발진기에서 많이 문제시되는 제어전압 대 발진주파수의 선형성을 넓은 주파수 영역에서 1차 직선의 특성을 나타낼 수 있다. 또, 너무 큰 VCO 이득으로 인해 발생할 수 있는 오차를 없애기 위해서 넓은 튜닝영역(0.2V~2.7V)에서 높은 동작주파수 영역을 가질 수 있도록 설계하였으며 이것으로 인해 전체시스템은 안정적으로 동작할 수 있다. 이상에서 설명한 내용을 수식적 해석을 통해 살펴보면 제안된 2단 고리발진기의 루프이득은 식 (1)과 같이 선형화 시킨 모델로 나타낼 수 있다.

$$T(j\omega) = \left[\frac{-G_M \cdot R}{1 + j\omega \cdot R \cdot C} \right]^2 \quad (1)$$

단, $G_M = g_{m2} + g_{m6} = g_{m1} + g_{m5}$,

$$R = \left(\frac{1}{3} r_{d11} \cdot g_{m13} \cdot r_{d13} \right) \parallel \left(\frac{1}{3} r_{d17} \cdot g_{m15} \cdot r_{d15} \right)$$

$$C = C_{gd13} + C_{gd15} + \frac{5}{4} (C_{gs8} + C_{gs4} + C_{gd4} + C_{gs4})$$

$$+ C_{db13} + C_{db15} \approx \frac{5}{4} (C_{gs8} + C_{gs4}) + C_{db13} + C_{db15}$$

여기서 G_M 은 지연셀 한 단에서 안정된 발진을 위해 요구되는 이득이고, R과 C는 각 단의 출력저항과 부하 커패시턴스를 나타낸다. 고리발진기의 기본 발진조건을 충족시키기 위해서는 식(2)와 식(3)을 동시에 만족해야하고, 식(2)로부터는 발진주파수에 제한을 받지 않음을 알 수 있지만, (3)식의 결과로부터 $0.6 \mu\text{m}$ 표준공정 파라미터를 사용했을 때 약 1.2GHz에서 제약을 받음을 알 수 있다.

$$\text{Ph} \left[\left(\frac{-G_M \cdot R}{1 + j\omega_{osc} \cdot R \cdot C} \right)^2 \right] = 2\pi \cdot k \quad (2)$$

$$\left| \frac{-G_M \cdot R}{1 + j\omega_{osc} \cdot R \cdot C} \right|^2 \geq 1 \quad (3)$$

또, 식 (4)를 이용하면 G_M 값이 커질 때 최대 발진주파수가 적정수준까지 증가한 후 감소함을 알 수 있다.

$$\frac{1}{(1 + R^2 \cdot C^2 \cdot \omega_{osc}^2)^2} (G_M \cdot R - jG_M \cdot R^2 \cdot C \cdot \omega_{osc})^2 \geq 1 \quad (4)$$

제안하는 자체귀환형 2단 고리발진기에서는 모든 발진주파수에서 출력특성이 일정한 DC전압(1.65V)을 유지하도록 설계할 수 있고, 피크 진폭이 2V이상의 풀스윙 출력신호를 내도록 설계하여 기존의 3단구성 고리발진기에서 많이 사용하는 레플리카 바이어스회로나 Level Shifter의 사용이 필요 없도록 설계하였다. 이것으로 인해서는 집적도와 전력소모면에서 기존의 것보다 더 좋은 성능을 얻을 수 있을 것이다. 그러나 자체귀환형 지연셀의 PMOS 부하(M11~M14)와 NMOS 부하(M15~M18)는 일정 제어전압 범위 내에서만 선형영역(Linear region)으로 동작하는데 PMOS의 제어전압은 1.5V~0V사이에 있어야 하고, NMOS의 제어전압은 1.8V~3.3V사이에 있어야 한다. 이와 동시에 출력신호의 DC 전압을 항상 1.65V로 고정시키기 위해서는 루프필터에서 출력되는 DC전압을 일정한(Constant) 비율로 NMOS Load와 PMOS Load에 전달해 주어야 하는데 이러한 역할을 하는 회로가 DC-DC 전압 승압/강압 변환기 회로이다. DC-DC 전압 승압/강압 변환기 회로를 그림 3에 나타내었다. DC-DC 승압 변환기에서의 출력 제어전압은 1.8V에서 3.3V까지 제어할 수 있어야 하고, 동시에 DC-DC 강압 변환기에서의 출력 제어전압은 1.5V에서 0V까지 제어할 수 있어야 선형영역에서 넓은 발진주파수의 튜닝이 가능하므로 그림 3에서와 같이 전압 펌프(Voltage pump)회로[4]를 사용하여 구현할 수 있다. 또, 넓은 동작주파수 범위를 선택하기 위해서는 루프필터에서 출력되는 전압범위도 넓을수록 좋고 제안하는 회로에서는 0.2V에서 2.7V까지의 전압범위를 사용하였다. 이 전압범위는 VCO 이득이 오차를 발생하지 않는 범위에서 2단 발진기가 안정적으로 동작할 수 있는 최대한의 제어범위이다. DC-DC 변환기의 출력전압은 PMOS의 제어전압이 1.5V를 시작으로 대략0.06V씩 감소하게 하고 NMOS에서는 1.8V를 기준으로 대략0.06V씩 증가하는 출력전압을 얻을 수 있도록 설계하였다.

III. 모의실험결과 및 Layout

제안된 회로는 $0.6 \mu\text{m}$ CMOS 표준공정을 사용하여 모

의 실험을 수행하였다. 그림 5에서는 입력주파수가 125MHz이고 동작주파수가 1GHz일 때 록킹시간이 2.6 μ sec이고 이때 루프의 대역폭은 입력주파수의 2.6% 정도인 3080kHz로 고정했다. 이 그림에서 양쪽 대칭성을 보이는 위, 아래 파형은 각각 DC-DC Converter에서 출력되는 Pull in process 특성이다. 그림 6은 입력주파수를 20MHz로 하고 동작주파수를 80MHz로 했을 때의 Pull in process 특성과 락킹 파형을 나타낸다. 이때 Locking time은 650nsec이다. 제안된 DC-DC Converter를 사용하여 설계된 VCO회로의 동작주파수는 0.2V일 때 28MHz이고 2.51V일 때 1GHz로서 전압대 주파수의 좋은 선형성을 가지면서 넓은 입력 락킹 범위와 Lock-in 범위를 가질 수 있다. 또한 VCO회로의 비교적 높은 이득과 넓은 튜닝 전압범위는 짧은 획득시간을 유도하며 전체회로를 높은 이득에서 안정적으로 동작하게 한다. 표 1은 전체 PLL의 모의실험 결과이고, 자체귀환형 2단 고리발진기를 이용한 PLL 전체회로의 레이아웃은 그림 7과 같으며, 전체 칩 면적은 0.6mm \times 1.2mm 였다.

IV. 결론

본 논문에서는 자체귀환형 CMOS 2단 고리발진기를 이용한 고속의 PLL 설계방법과 모의실험 결과를 제시하였다. 제안된 2단 고리발진기의 동작주파수 범위는 28MHz~1040MHz 이고, 이를 이용한 PLL에서는 2MHz~250MHz의 넓은 입력 락킹범위와 125MHz 입력주파수에 대해서 2.6 μ s의 빠른 록킹시간을 갖는다. 표2는 기존의 3단 고리발진기와 2단 고리발진기의 성능 비교이다.

참고문헌

[1] Ian A. Young, Jeffrey K. Greason, and Keng L. Wong, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors," IEEE J. Solid-State Circuits, vol. 27, no. 11, pp. 1599~1607, Nov. 1992.
 [2] Turgut S. Aytur and Behzad Razavi, "A 2-GHz, 6-mW BiCMOS Frequency Synthesizer," IEEE J. Solid-State Circuits, vol. 30, no. 12, pp. 1457~1462, Dec. 1995.
 [3] Ilya Novof, John Austin, Ram Kelkar, Don Strayer, and Steve Wyatt, "Fully Integrated CMOS Phase-Locked Loop with 15 to 240 MHz Locking Range and ± 50 ps Jitter," ISSCC Dig. Tech. Papers pp. 112~113, Feb. 1995.
 [4] R. Jacob Baker, Harry W.Li, and David E. Boyce, "CMOS Circuit Design, Layout, and Simulation," IEEE Press, 1998.

Table 1. Simulation results of the designed PLL

Power Supply Voltage	3.3V
Input Locking Range	2MHz ~ 250MHz
Lock In Range	100MHz ~ 1GHz
Locking Time	2.6 μ s @ 1GHz operating frequency with 125MHz input
VCO Tuning Range	28MHz ~ 1040MHz
VCO Gain	404MHz/V
Supply Voltage Sensitivity	5.5%/V
Power dissipation	112mW
Technology	0.6 μ m CMOS Technology

Table 2. Comparison of conventional three-stage VCO with the proposed VCO

Parameter	Three-Stage VCO	The proposed VCO
Power Supply Voltage	3.3V / 5V	3.3V
Operating Frequency	N/A	28MHz ~ 1040MHz
Power Dissipation	> 20mW	13mW (@1GHz)
Output Characteristic	60° / stage	90° / stage (Quadrature output)
VCO gain	N/A	404MHz/V

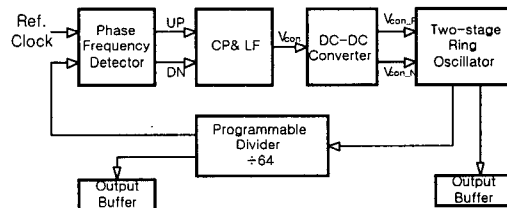


Fig. 1 Block diagram of the proposed PLL

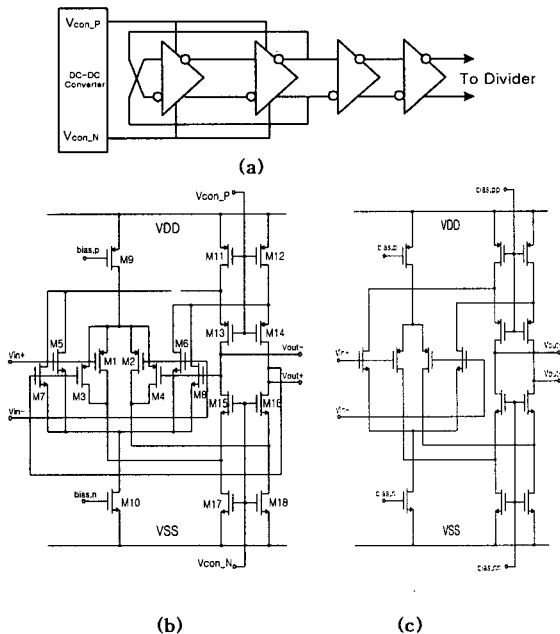


Fig. 2. Circuit diagram of (a) ring oscillator's structure (b) the proposed self-feedback delay cell (c) buffer circuit

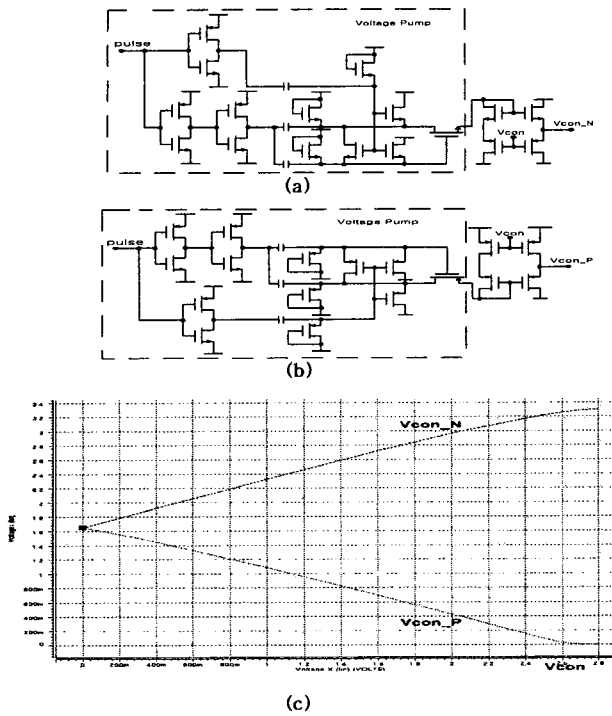


Fig. 3. Circuit schematic of (a) DC-DC voltage Up converter (b) DC-DC voltage Down converter (c) DC-DC converter characteristic curve

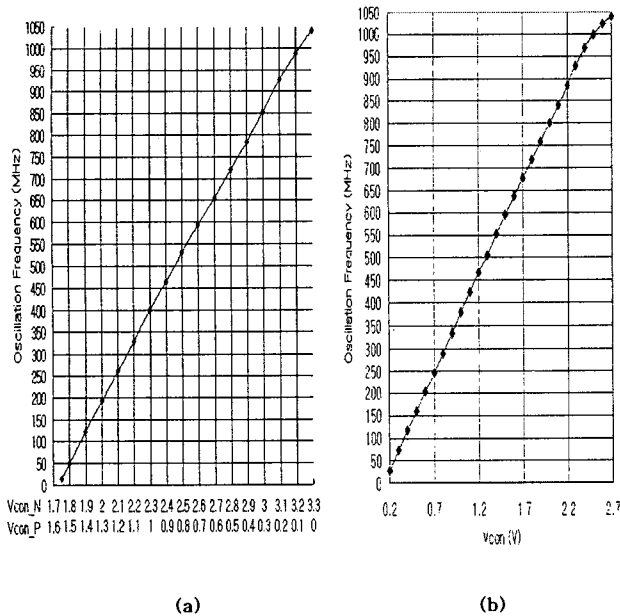


Fig. 4. Voltage to frequency characteristic curve of (a) two-stage self-feedback ring oscillator (b) two-stage self-feedback ring oscillator with DC-DC voltage Up/Down converter

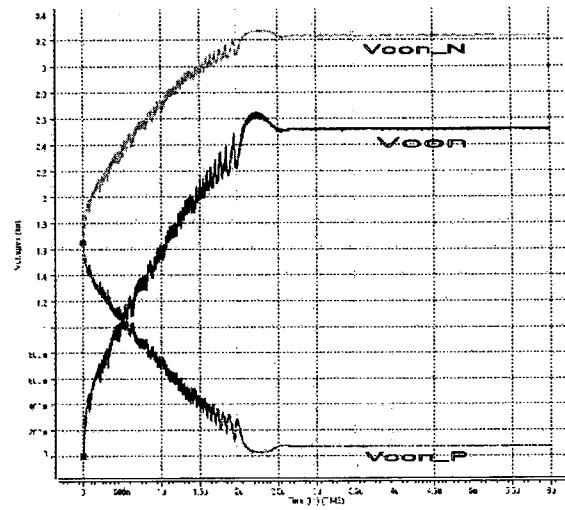


Fig. 5. Pull in process characteristic at 1GHz operating frequency with 125MHz of input frequency (3080kHz Loop Bandwidth)

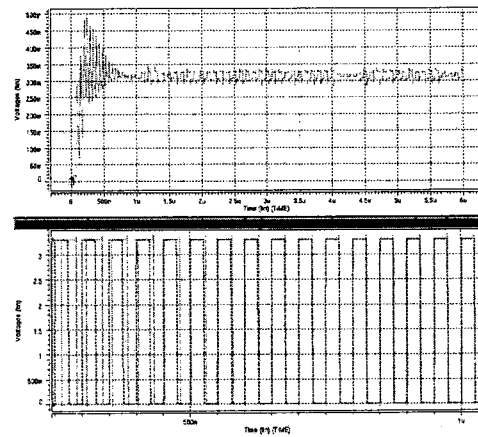


Fig. 6. Pull in process characteristic and locking at 80MHz operating frequency with 20MHz of input frequency

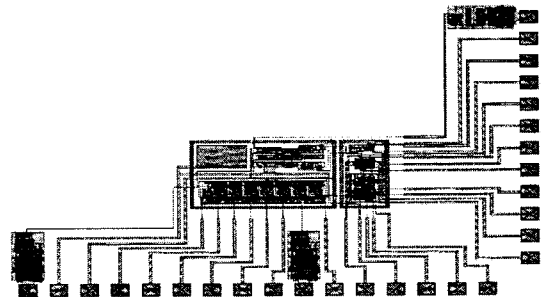


Fig. 7. Layout of the proposed PLL