1999 年度 大韓電子工學會 夏季綜合學術大會 論文集 第 22 卷 第 1 號 99/6

다결정 실리콘 TFT의 불균일도 개선을 위한 트랜지스터 슬라이싱

이 민 호, 이 인 환
한양대학교 전자전기공학부
mino@creta.hanyang.ac.kr, ihlee@email.hanyang.ac.kr

Reducing the Poly-Si TFT Nonuniformity by Transistor Slicing

Minho Lee, Inhwan Lee
Dept. of Electronic Engineering, Hanyang University
mino@creta.hanyang.ac.kr, ihlee@email.hanyang.ac.kr

Abstract

This paper presents a circuit-level method to deal with transistor nonuniformity. In this method, which is called transistor slicing, a transistor is implemented as a parallel connection of multiple smaller transistors. The paper analyzes the method and demonstrates that transistor slicing can effectively reduce the nonuniformity in TFT mobility and threshold voltage. The method is particularly useful in implementing analog functions using poly-silicon TFTs which show a significant level of nonuniformity.

I. 서론

TFT-LCD는 평판 디스플레이의 한 종류로 최근 몇 년간 비약적인 발전을 거듭하고 있다. TFT-LCD는 현재 비정질 실리콘 TFT-LCD가 주도하고 있으나, 최근에는 구동회로를 패널에 집적할 수 있는 다결정 실리콘 TFT-LCD의 연구개발도 활발하게 이루어지고 있다.

다결정 실리콘 TFT-LCD는 구동회로를 패널에 집적할 수 있어 기존의 비정질 실리콘 TFT-LCD에 비해 장기적으로 비용절감과 함께 신뢰도 향상이 기대된다. 그러나 다결정 실리콘 TFT는 채널영역 결정화의 불균일성으로 인해 전계 이동도 및 문턱전압에서 불균일한 특성이 존재한다[1]. 이러한 다결정 실리콘 TFT의 불균일성은 대면적 다결정 실리콘 TFT-LCD 구현과 관련된 아날로그 회로 설계를 어렵게 하는 요인이 된다[2]. 따라서 대면적 다결정 실리콘 TFT-LCD를 실용화하기 위해서는 여러 가지 면에서 연구개발이 이루어져야 하나, 이중에서도 특히 다결정 실리콘 TFT의 낮은 전류구동 능력 및 불균일도를 보상 및 개선할 수 있는 아날로그 회로설계 방법의 개발이 필수적이라 할 수 있다.

본 논문에서는 다결정 실리콘 TFT의 불균일도에 의한 회로의 구동 오차를 감소시킬 수 있는 트랜지스터 슬라이싱 방법을 제안하고, 이 방법을 실제 다결정 실리콘 TFT-LCD를 위한 아날로그 버퍼의 설계에 적용함으로써 그 효율성을 검증한다.

II. 다결정 실리콘 TFT-LCD

TFT-LCD는 액정에 전압을 인가하여 광투과율을 조절함으로써 화상신호를 표현한다. TFT-LCD는 구동방식에 따라 아날로그 및 디지털 방식으로 분류된다. 그림 1의 디지털 구동방식의 전체 구동을 살펴보면 게이트 드라이버는 게이트 선에 순차적으로 스캔펄스를 인가하고, 이 스캔 펄스는 화소부 TFT의 게이트에 입력되어 데이터 구동회로의 출력 화상 신호가 화소에 전달되게 한다. 데이터 드라이버에서 시프트 레지스터는 래치를 순차적으로 스캔하기 위한 타이밍 신호를 발생하며, 래치는 시프트 레지스터로부터 스캔신호를

받아 컨트롤러로부터 전달되는 디지털 화상신호를 저장한다. 래치에 저장된 디지털 화상신호는 D/A 변환기를 통해 아날로그 화상 신호로 변환되고, 변환된 화상신호는 커런트 버퍼를 통해 증폭된 다음 화소에 전달된다.

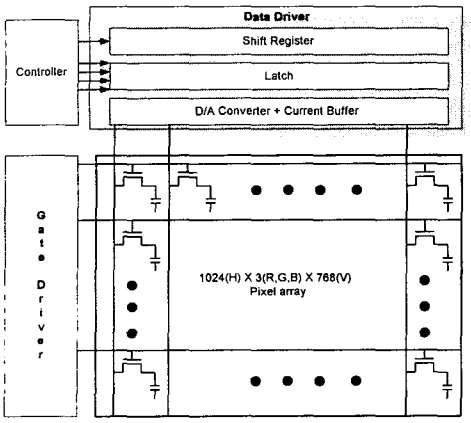


그림 1. 디지털 구동 방식 TFT-LCD

고화질 다결정 실리콘 TFT-LCD를 구현하기 위해서는 여러 가지 면에서 연구개발이 필요하나, 구동회로 설계 측면에서는 화질을 결정하는 중요한 요소인 아날로그 버퍼의 정확도를 향상시킬 수 있는 설계방법의 개발이 필요하다. 기존의 비정질 실리콘 TFT-LCD에서는 아날로그 버퍼로서 Op-Amp를 이용하나, 다결정 실리콘 TFT-LCD에서는 다결정 실리콘 TFT의 불균일도로 인한 오차증가로 인해 Op-Amp를 구현하기가 어렵다. 따라서 다결정 실리콘 TFT-LCD에 이용할 수 있는 정확한 아날로그 버퍼의 개발을 위해서는 다결정 실리콘 TFT의 불균일도를 개선할 수 있는 회로 설계방법이 요구된다.

Ⅲ. 트랜지스터 슬라이싱

다결정 실리콘 TFT의 제한점을 개선하기 위한 노력은 크게 두 가지 측면에서 진행되고 있다. 첫째, 소자의 낮은 구동능력 및 불균일성을 개선하기 위한 공정 기술의 개발이 진행되고 있으며, 둘째로는 이러한 제한점을 회로 설계에서 보상하기 위한 방법이 연구되고 있다. 본 절에서는 다결정 실리콘 TFT의 불균일도를 회로 설계 측면에서 개선할 수 있는 트랜지스터 슬라이싱 방법을 제안하고, 이 방법의 효율성을 분석한다.

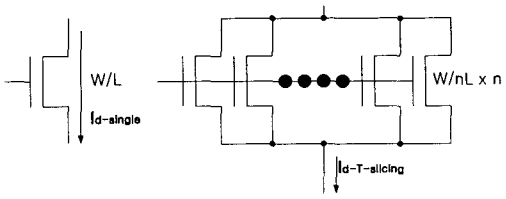
트랜지스터 슬라이싱은 하나의 커다란 트랜지스터를 구현하는데 있어 이를 여러 개의 작은 트랜지스터가 병렬로 연결된 형태로 구현하는 방법을 말한다. 그림 2는 하나의 TFT를 n개의 같은 크기를 갖는 작은 TFT(이러한 작은 TFT를 TFT 슬라이스라고 부름)로 구현한 예를 보인다. 그림 2의 두 구조에서의 전체 드레인 전류는 각각 식 (1) 과 (2)로 표현된다.

$$I_{d-single} = \frac{1}{2} C_{ox} \mu_o \frac{W}{L} (V_{GS} - V_{to})^2 \quad (1)$$

$$I_{d-T-slicing} = \frac{1}{2} C_{ox} \frac{1}{n} \frac{W}{L} \sum_{i=1}^{n} \mu_i (V_{GS} - V_{ti})^2 \quad (2)$$

이 식에서 C_{ox}는 옥사이드의 단위면적당 커패시터 값을 나타내고, W와 L은 트랜지스터의 폭과 길이를 나타내며, μ와 V_t는 각각 전계 이동도와 문턱전압을 나타낸다. 그리고 n은 트랜지스터 슬라이싱에서의 TFT 슬라이스의 개수를, i는 i번째 TFT 슬라이스를 의미한다.

트랜지스터 슬라이싱에서의 TFT 슬라이스들은 전체적으로 하나의 등가 TFT로 생각할 수 있다. 실제 TFT의 전계 이동도와 문턱전압이 균일하지 않으므로 식 (1)과 (2)에서 μ_i, V_{ti}, μ_o 및 V_{to}는 랜덤 변수이다. 여기서는 각 TFT 슬라이스의 전계 이동도(μ_i)와 문턱전압(V_{ti})의 분포가 트랜지스터 슬라이싱을 사용하지 않은 경우의 단일 트랜지스터의 그것들(μ_o 및 V_{to}의 분포)과 동일하다는 가정 하에, 트랜지스터 슬라이싱의 효과를 살펴본다.



(a) Single Transistor (b) Transistor Slicing Method

그림 2 단일 트랜지스터와 트랜지스터 슬라이싱

우선, 모든 TFT 슬라이스의 문턱전압이 균일하고 이들의 전계 이동도만이 불균일한 경우를 살펴본다. 이 때 μ_i (i=1,..,n)가 서로 독립이라면, 그림 2(b)의 트랜지스터 슬라이싱에서의 개별 TFT 슬라이스의 전계 이동도의 표준편차와 전체 등가 TFT의 전계 이동도의 표준편차에 대한 관계는 식 (2)로부터 다음과 같이 얻을 수 있다.

$$\sigma_{eq}(\mu) = \sigma\left(\frac{\mu_1 + \cdots + \mu_n}{n}\right) = \frac{1}{\sqrt{n}} \sigma(\mu_i) \quad (3)$$

여기서 σ는 표준편차를 의미하며, $\sigma_{eq}(\mu)$는 그림 2(b)의 모든 TFT 슬라이스를 하나의 등가 TFT로 생

각할 때 이 등가 TFT의 전계 이동도의 표준편차를 나타낸다. 식 (3)은 트랜지스터 슬라이싱을 사용할 경우 TFT의 전계 이동도의 표준편차는 n이 증가함에 따라 감소함을 즉, 트랜지스터 슬라이싱 방법을 이용하여 TFT의 전계 이동도의 불균일도를 감소시킬 수 있음을 보인다.

다음에는, 모든 TFT 슬라이스의 전계 이동도가 균일하고 이들의 문턱전압만이 불균일한 경우를 살펴본다. 이 때, 그림 2(b)의 트랜지스터 슬라이싱 구조에 대하여, 식 (2)로부터 문턱전압을 포함하는 제곱항 즉, $(V_{gs}-V_t)^2$ 의 표준편차에 대한 다음의 관계를 얻을 수 있다.

$$\sigma_{eq}((V_{GS}-V_t)^2)=\sigma\left(\sum_{i=1}^{n}\frac{(V_{GS}-V_{ti})^2}{n}\right) \quad (4)$$

식 (4)에서 V_{ti} (i=1,..,n)가 독립된 정상분포를 갖는다고 가정하면, 우변의 제곱항 즉 모든 TFT 슬라이스에 대한 등가 TFT에서의 $(V_{GS}-V_t)^2$은 Chi-Square 분포를 갖는다. 여기서 주어진 n값에 대한 등가 TFT에서의 제곱항$((V_{GS}-V_t)^2)$의 표준편차의 개별 TFT의 제곱항 $((V_{GS}-V_{ti})^2)$ 표준편차에 대한 비율을 보면 그림 3과 같다. 그림 3은 TFT 슬라이스의 수가 증가할수록 전체 등가 TFT의 문턱전압의 불균일도가 감소함을 즉, 트랜지스터 슬라이싱 방법을 이용하여 TFT의 문턱전압의 불균일도를 감소시킬 수 있음을 보인다.

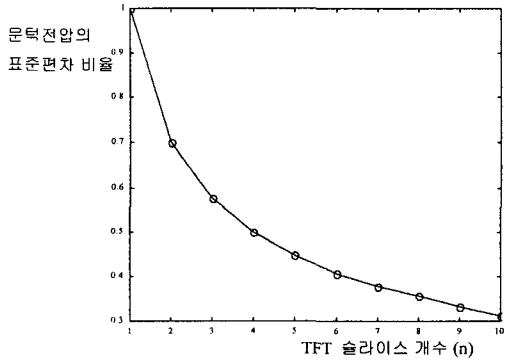


그림 3 TFT 슬라이스 수에 따른 문턱전압의 불균일도

실제 다결정 실리콘 TFT에서는 전계 이동도와 문턱전압 모두 불균일하므로, 이들을 함께 고려한 분석이 필요하다. 식 (2)에서 $(V_{GS}-V_t)$를 A로 치환하면 개별 TFT 슬라이스의 불균일도와 모든 TFT 슬라이스에 대한 등가 TFT의 불균일도와의 관계는 다음과 같다.

식 (5)에서 등가 TFT의 불균일도를 해석적으로 추정하기는 어려우므로, 시뮬레이션을 통해 이를 추정하였

$$\sigma(\mu_o\cdot A^2)=\sigma\left(\frac{(\mu_{o1}\cdot A_1^2)+\cdots+(\mu_{on}\cdot A_n^2)}{n}\right) \quad (5)$$

다. 이 때 TFT 슬라이스의 전계 이동도와 문턱전압의 불균일도(표준편차)는 각각 10%로 가정하였다. 시뮬레이션에서는 Monte Carlo 방법을 사용하여 개별 TFT 슬라이스의 전계이동도 및 문턱전압을 난수를 발생시켜 결정하고, 이를 이용하여 전체 등가 TFT의 불균일도를 추정하였다. 시뮬레이션 결과에 의하면 등가 TFT의 불균일도는 TFT 슬라이스의 수가 늘어날수록 감소하며, 그 추이는 그림 3에 나타난 문턱전압만이 불균일한 경우와 유사하다.

본 절에서의 분석 결과 우리가 트랜지스터 슬라이싱 방법을 이용하여 TFT의 불균일도를 개선할 수 있음을 보인다. 특히 트랜지스터 슬라이싱은 커런트 버퍼와 같이 큰 트랜지스터가 요구되는 응용에서 보다 효과적으로 활용될 수 있다.

Ⅳ. 트랜지스터 슬라이싱을 이용한 버퍼

다결정 실리콘 TFT의 문턱전압의 불균일도를 보상할 수 있는 커런트 버퍼가 최근에 발표되었다. [4]에서 제시한 커런트 버퍼의 구조는 그림 4(a)와 같다. 실제 TFT-LCD에는 이러한 버퍼가 모든 화소 컬럼에 대해 필요하며 (그림 1), 따라서 이들이 균일한 특성을 갖도록 설계하는 것이 중요하다.

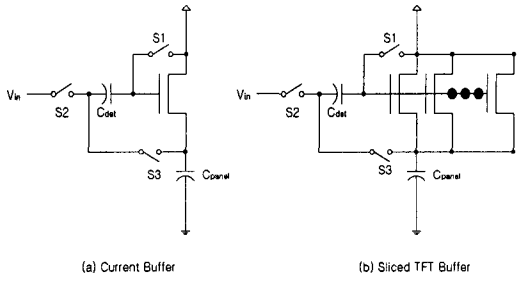


그림 4. 트랜지스터 슬라이싱을 이용한 버퍼

그림 4(a)에 보인 커런트 버퍼의 동작은 문턱전압 검출과 보상의 두 단계로 나누어진다. 문턱전압 검출 단계에서는 스위치 1, 3이 닫히고 스위치 2가 열려 커패시터(C_{det})에 TFT의 문턱전압이 검출되어 저장된다. 그 후 보상 단계에서는 스위치 1, 3이 열리고 스위치 2가 닫혀 입력전압에 검출된 문턱전압을 더한 값을 TFT의 게이트에 인가함으로써, 문턱전압의 불균일도에 의한 오차를 보상한다. 그림 4(b)는 이 커런트 버퍼

에 트랜지스터 슬라이싱을 적용한 것을 보인다. 여기서 TFT 슬라이싱의 효과를 추정하기 위하여 그림 4(b)의 버퍼를 그림 5에 나타난 바와 같은 14.1" XGA 급 다결정 실리콘 TFT-LCD 환경에 적용하였다.

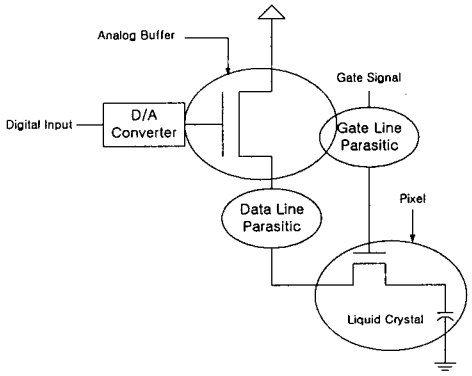


그림 5. 시뮬레이션 환경

트랜지스터 슬라이싱의 효율성을 분석하기 위한 회로 시뮬레이션은 Monte Carlo 방법을 사용하였다. 구체적으로 계조전압을 0에서 63계조까지 계조별로 인가하면서, 계조별 구동오차의 평균과 표준편차를 추정하였다. 표 1은 계조별 평균 구동오차의 평균과 표준편차를 나타낸다. 표 1에서 보듯이 TFT 슬라이싱은 계조별 평균 구동오차의 평균과 표준편차를 감소시킴을 알 수 있다. 예를 들어, TFT 슬라이스의 수가 3개일 때 계조별 평균 구동오차의 평균은 트랜지스터 슬라이싱을 사용하지 않은 경우에 비해 67%로 감소한다.

Slice TFT 수	계조별 평균 구동오차의 평균 (%)	계조별 평균 구동오차의 표준편차(%)	비고
1	100	100	Single TFT
2	83	65	2-Slice TFT
3	67	55	3-Slice TFT
4	67	55	4-Slice TFT

표 1. 트랜지스터 슬라이싱의 불균일도 개선효과

표 1에서 TFT 슬라이스 수가 4개 이상인 경우에는 계조별 평균 구동오차의 평균 및 표준편차가 더 이상 감소하지 않는다. 이러한 현상은 트랜지스터 슬라이싱 방법의 문제가 아니고, 그림 4에 보인 커런트 버퍼의 구조에서 기인한다. 즉 TFT 슬라이스 수가 늘어날수록 버퍼를 구성하는 TFT의 불균일도에 의한 오차는 개선되나, 커패시터(C_{det}) 와 스위치(S1, S2, S3)간의 커플링에 의한 오차는 여전히 존재하기 때문이다.

V. 결론

대면적 다결정 실리콘 TFT-LCD를 구현하기 위해서는 다결정 실리콘 TFT의 낮은 구동능력 및 불균일도를 개선하는 소자 개발 및 회로 설계방법의 개발이 필요하다. 본 논문에서는 다결정 실리콘 TFT의 전계이동도 및 문턱전압의 불균일도를 화로 설계에서 개선할 수 있는 트랜지스터 슬라이싱 방법을 제안하였다. 그리고 실제 다결정 실리콘 TFT-LCD환경에서 트랜지스터 슬라이싱 방법을 커런트 버퍼의 설계에 적용하여, 이 방법의 효율성을 분석하였다.

시뮬레이션 결과, 트랜지스터 슬라이싱 방법을 적용한 커런트 버퍼는 기존의 커런트 버퍼에 비해 구동오차가 33% 정도 개선되었다. 트랜지스터 슬라이싱 방법은 회로 면적이나 복잡도를 거의 증가시키지 않는다. 따라서 트랜지스터 슬라이싱은 다결정 실리콘 TFT의 전계이동도 및 문턱전압의 불균일도를 개선하기 위한 매우 효과적인 방법임을 알 수 있다.

참고문헌

[1] Yoshihiro Morimoto, et. al., *"Influence of Grain Boundaries and Intragrain Defects on the Performance of Poly-Si Thin Film Transistors,"* Journal of Electrochem. Soc, Vol. 144, No. 7, July 1997.

[2] Yong-Min Ha, et. al., *"12.1 inch XGA Low-Temperature Poly-Si TFT-LCD,"* 1998 Asia Display, pp. 947-952.

[3] Robert V. Hogg *Introduction to Mathematical Statistics,* 4th Edition, Macmillan, 1978.

[4] J. Jeon, O.K. Kwon, and I. Lee, *"A New Digital Driving Scheme for Poly-Si TFT-LCD Panels,"* 1998 Asia Display, pp. 425-428.