

# 내장형 시스템에 적합한 32 비트 RISC/DSP 마이크로프로세서에 관한 연구

유동열, 문병인, 홍종욱, 이태영, 이용석  
연세대학교 전자공학과  
전화 : (02) 361-2872

## A Study on the 32 bit RISC/DSP Microprocessor Appropriate for Embedded Systems

Dong Ryul Ryu, Byung In Moon, Jong Wook Hong, Tae Young Lee, Yong Surk Lee  
Dept. of Electronics Engineering Yonsei University  
E-mail : dongr@dubiki.yonsei.ac.kr

### Abstract

We have designed a 32-bit RISC microprocessor with 16/32-bit fixed-point DSP functionality. This processor, called YRD-5, combines both general-purpose microprocessor and digital signal processor (DSP) functionality using the reduced instruction set computer (RISC) design principles. It has functional units for arithmetic operation, digital signal processing (DSP) and memory access. They operate in parallel in order to remove stall cycles after DSP and load/store instructions with one or more issue latency cycles. High performance was achieved with these parallel functional units while adopting a sophisticated 5-stage pipeline structure and an improved DSP unit.

### I. 서론

응용 분야가 범용 컴퓨터가 아닌 시스템의 내장형(embedded) 형태로 사용되는 프로세서는 CPU의 강력한 처리 기능보다는 응용 분야에 적합한 가격 대 성능의 비가 중요한 요소로서 작용하게 된다. 내장형으로 사용되는 CPU는 적절한 성능과 높은 생산성 그리고 저 전력 소비가 필수적이다.

한편 멀티미디어 시대가 도래함에 따라 마이크로프로세서의 멀티미디어 처리능력이 중요시되고 있으며 기존에는 DSP(Digital Signal Processing) 전용 칩을 사용하여 이를 처리하였다. 그러나 최근에는 범용 마이크로프로세서의 성능이 크게 개선됨에 따라 소프트웨어로 이러한 연산을 수행하고자 하는 움직임과 맞물려 멀티미디어 전용 명령어들을 범용 마이크로프로세서에 추가할 수 있게 됨으로써 그래픽, 비디오, 오디오 및 네트워크 등의 응용을 빠르게 처리하는 것이 가능하게 되었다.

본 논문에서는 내장형 RISC 마이크로프로세서에 멀티미디어 DSP 명령어를 결합시킨<sup>[1][2]</sup> 32비트 멀티미디어 RISC(YRD-5; Yonsei RISC DSP 5 Stage) 구조를 연구하였다. YRD-5는 DSP 유닛을 내장하고 있으며 이 DSP 유닛은 내부에 2개의 곱셈기가 있고 13개의 DSP 명령어를 제공한다. Look-ahead 프리페치 알고리즘을 채용한 명령어 캐시를 내장하고 있으며 DSP 명령어를 사용할 때에는 ALU 명령어나 메모리 명령어를 동시에 수행할 수 있도록 하였다. 4k 바이트의 SRAM을 내장하고 있으며 타이머와 버스 컨트롤러 및 DRAM 컨트롤러 그리고 워치도그(watchdog) 타이머를 자체 내장하여 별다른 칩셋이 없어도 시스템 구성을 손쉽게 이룰 수 있도록 하였다.

### II. YRD-5 아키텍처

본 논문의 YRD-5 프로세서는 5단 파이프라인, RISC 및 DSP의 통합형 구조이며 그림 1은 이러한 YRD-5 블록 다이어그램이다. 명령어 캐시는 루프 버퍼(loop buffer) 구조로 크기가 적지만 히트율은 높은 구조를 가지고 있으며 레지스터 파일은 2개의 읽기 포트(read ports)와 1개의 쓰기 포트(write port)를 가지고 있다. 실행 유닛에는 크게 정수 연산을 처리하는 ALU, DSP 명령어를 처리하는 DSP 유닛, 메모리 명령어를 처리하는 메모리 주소 및 데이터 파이프라인의 3가지로 나눌 수 있다.

이 구조는 부동 소수점 연산 유닛을 탑재하지 않았으며 대신 소프트웨어 루틴으로 처리하도록 한다. 또한 메모리 관리 유닛(memory management unit)이 없어 가상 메모리(virtual memory) 개념을 사용하지 못하며 다중 프로세서(multi-processor)로의 사용을 지원하지 않으므로 독립 프로세서(uni-processor)로만 사용 가능한 구조이다. 이 구조는 내부에 4kbyte의 SRAM을 포함하고 있는데 이는 DSP 유닛이 주로 다량의 데이터를 처리하기 때문에 데이터를 빠르게 얻기 위한 것이다. 한편 내장형 시스템에 사용될 수 있도록 내부에 2개의 다기능 카운터를 두었으며 I/O 핀을 시스템에 맞추어 조절할 수 있도록 하였고, 저 전력 소비를 위하여 전력 감소 모드(power down mode)를 두었다. 내부 클럭킹 방식으로는 PLL(Phase Locked Loop)을 이용한 단일 페이즈 클럭을 사용하였다. YRD-5 구조는 가능한 한 간단한 구조로써 최대의 성능을 낼 수 있도록 최적화 하는데 그 초점이 맞추어져 있다.

### III. RISC와 DSP의 병렬 수행

RISC와 DSP 기능을 모두 사용하려고 하는 경우 기존에는 그림 2(a)와 같이 RISC 프로세서와 DSP 프로세서를 모두 사용하여 시스템을 구성하여 왔다. 그러나 이러한 구성은 많은 단점을 가지고 있다. 우선 프로그래머는 RISC와 DSP가 사용하는 메모리의 동기를 맞추어야 하고 응용 프로그램 중 RISC와 DSP에서 수행해야 할 부분을 정확하게 나누어야 한다. 또한 이렇게 작성된 응용 프로그램은 디버깅이 매우 어렵다. 게다가 보통의 DSP 알고리즘은 전처리와 후처리 과정을 거치는데 이 과정들은 RISC 프로세서가 처리하는 것이 더욱 합리적이다. 따라서 RISC와 DSP 프로세서 간의 데이터 전달이 있어야 하며 이는 성능에 좋지 않은 영향을 미치게 된다. 마지막으로 RISC와 DSP 프로세서는 각기 SRAM, I/O, 레지스터 등을 가지고 있기 때문에 리소스들의 낭비가 생기고 또한 이 둘을 하드웨어적으로 연결해야 하는 부담을 갖는다.

그러나 그림 2(b)와 같이 하나의 RISC 마이크로프로세서에 DSP 기능을 추가하게 되면 프로그래머가 RISC와 DSP를 구분하여 프로그램을 작성할 필요가

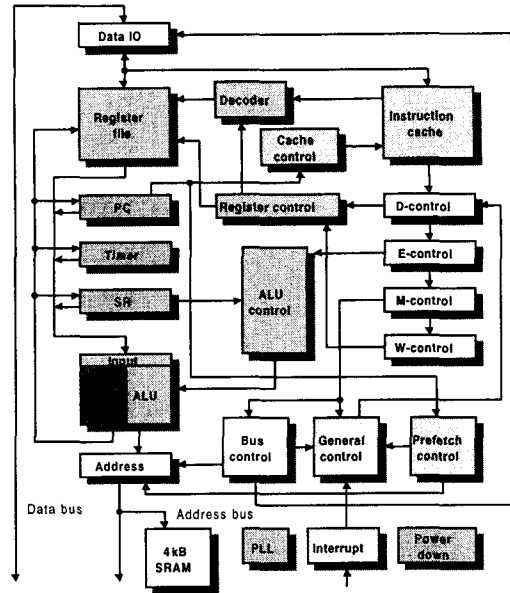


그림 1 YRD-5 의 전체 구조  
Fig. 1 YRD-5 microprocessor architecture

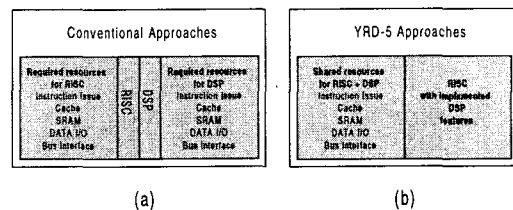


그림 2 RISC와 DSP의 결합방식  
Fig. 2 RISC and DSP in system

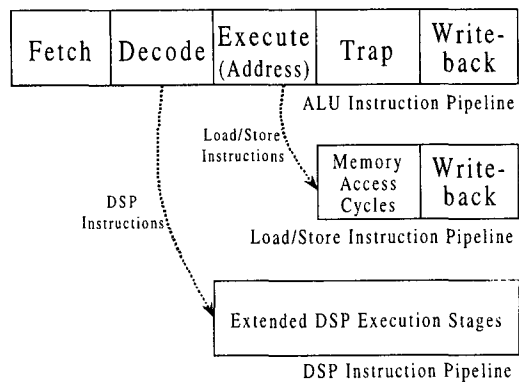


그림 3 RISC 명령어와 DSP 명령어의 동시 실행  
Fig. 3 Parallel execution of RISC and DSP instructions

없어지고 디버깅 또한 매우 쉬워진다. 또한 전처리 및 후처리 과정을 위한 데이터 전달의 필요가 없어지며 하드웨어 리소스를 RISC와 DSP가 공유하게 되기 때문에 낭비가 없으며 하나의 칩으로 만들어지기 때문에 보드 상에서 연결해야 할 필요가 생기지 않는다.

따라서 YRD-5 구조는 RISC에 DSP 모듈을 추가하여 RISC 명령어와 DSP 명령어를 모두 실행할 수 있게 하였다. 또한 이 두 종류의 명령어가 순차적이 아닌 병렬 적으로 실행되게 함으로써 성능을 높일 수 있게 하였다. 예를 들어 그림 3과 같이 DSP 명령어가 DSP 모듈에서 계산중인 동안 다른 명령어들에 의해 주소 계산, 로드/스토어, 분기 등이 수행될 수 있다. 이러한 명령어의 병렬 수행은 프로세서의 성능을 높일 수 있다.

#### IV. DSP 유닛

DSP 성능은 곱셈기의 성능에 크게 영향을 받는다. 본 유닛은  $32 \times 32$  곱셈을 4개의  $16 \times 16$  곱셈으로 나누어 수행함으로써 곱셈기의 크기를 줄여 면적을 줄이도록 하였으며, 또한 2개의  $16 \times 16$  곱셈기를 사용함으로써 곱셈의 시간을 줄이도록 하였다. 그리고  $32 \times 32$  곱셈의 경우에 오퍼랜드 검사 로직을 추가하여 오퍼랜드를 16 비트 단위로 검사하여서 필요 없는 곱셈의 조합을 제거함으로써 곱셈 사이클 수를 줄였다. 그림 4는 DSP 유닛의 블록 다이어그램이다.

#### V. Bus 컨트롤러 내장

YRD-5는 버스 컨트롤러를 내장하여 SRAM, DRAM, EPROM 등의 외부메모리를 별도의 칩셋이 없이도 구성할 수 있도록 하였다. 버스 컨트롤러는 2단 파이프라인으로 구성되어 연속적인 버스 사이클 발생 시에 내부 코어의 스톱사이클이 발생하지 않도록 하였다. 버스 컨트롤러를 장착함으로써 인하여 내장형 응용 시에 전체적인 시스템의 사이즈를 줄일 수 있다.

#### VI. 기능 및 성능 평가

YRD-5의 전체 시스템은 HDL로 기술되었다. YRD-5의 검증은 테스트 벡터를 사용함으로써 이루어지며 검증을 위해 사용된 테스트 벡터는 차후에 그대로 하드웨어의 검증을 위해 사용될 수 있다. 그림 5의 테스트 벡터는 기능검증 및 성능 평가의 2가지 종류로 나뉘어지며 성능검증의 경우 실행결과의 정확도까지 평가된다. 그림 5와 그림 6은 각각 정수 및 DSP 명령어의 성능평가 결과이다. GMS32132<sup>[3]</sup>는 내장형 응용으로 사용되는 32 비트 RISC/DSP 프로세서이며 본 연구의 비교를 위하여 채택하였다. 정수 명령어의 경

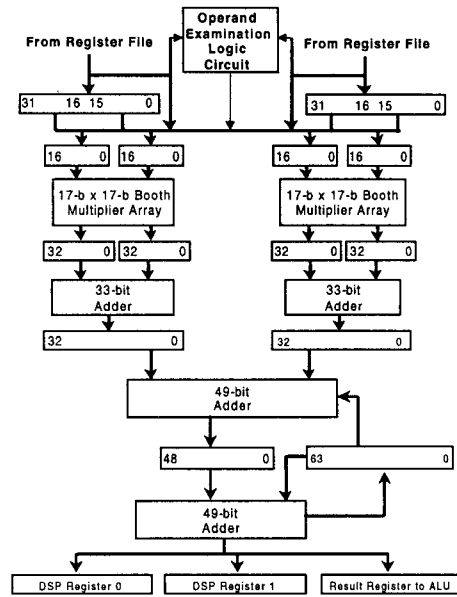


그림 4 DSP 유닛의 블록 다이어그램  
Fig. 4 Block diagram of DSP unit

우 약 2.9 CPI, DSP 명령어는 약 2.2 CPI의 성능을 나타내었다. 스톱의 원인은 주로 데이터 및 명령어 버스 사이클의 병목현상과 DSP 명령어의 데이터 디펜던시

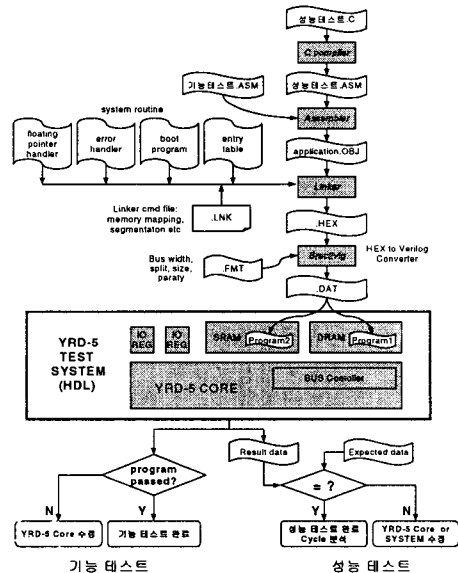


그림 5 YRD-5의 기능 및 성능 검증 흐름도  
Fig. 5 Functionation and performance verification flow for YRD-5

에 의하여 발생하였다. 이를 향상시키기 위하여 하바드 아키텍처를 채용할 수 있으나 하바드 아키텍처는 내장형 응용에 적합하지 않고 메모리 bandwidth를 높이거나 효율적인 DSP 컴파일러를 개발함으로써 프로세서의 성능을 높일 수 있다.

검증된 YRD-5는 0.6um 3중 금속 공정을 사용하여 자동 레이아웃하였고 크기는 8x8 mm<sup>2</sup>, 동작주파수는 typical 조건에서 43MHz 이었다.

VII. 결론

본 논문에서는 내장형 시스템에 적합한 32 비트 RISC/DSP 마이크로 프로세서(YRD-5)를 설계하였다. 설계된 마이크로 프로세서는 RISC 와 DSP 동작이 동일한 칩에서 구현되기 때문에 각기 설계된 시스템보다 비용이나 성능 면에서 유리하다. 또한 RISC 및 DSP 동작이 병렬적으로 수행 가능하기 때문에 명령어 이슈(issue)의 지연 시간을 줄일 수 있다. 또한 DRAM, SRAM, ROM 등의 제어 신호 및 리프레시 신호등을 내장된 버스 컨트롤러가 모두 관장하게 하여 별도의 칩셋이 없이도 시스템 구성이 용이하도록 하였다. 2개의 17x17 곱셈기가 장착된 DSP 유닛은 동시에 2개의 16x16 곱셈을 수행할 수 있으며 오퍼랜드 검사 로직을 이용하여 보다 빠른 32x32 곱셈 기능을 수행할 수 있다. 시스템의 기능 검증과 성능 평가를 위하여 검증 환경을 구축하였으며 성능 평가를 위하여 CPI 분석 시뮬레이터를 제작하였으며 이를 통하여 스톱 사이클과 스톱의 종류 등을 분석하였다.

본 논문에서 설계된 마이크로 프로세서는 RISC 및 DSP 기능을 모두 지원하며 버스 컨트롤러를 내장하여 시스템을 보다 경제적으로 구성가능하며 파워다운 등의 다양한 기능 등을 제공하여 내장형 시스템이나 SOC(System On a Chip)등에 적용할 경우 경쟁력을 얻을 수 있을 것이라 판단된다.

참고문헌

- [1] Michael Dolle, Manfred Schlett, A cost-effective RISC/DSP microprocessor for embedded systems, *IEEE Micro*, Vol. 15, No. 5, pp. 32-40, Oct. 1995.
- [2] 이용환, 멀티미디어 명령어를 강화한 수퍼스칼라 RISC 마이크로프로세서 구조 연구, 연세대학교 전자공학과 대학원 박사학위 논문, 1998년 12월.
- [3] *GMS30C32132, GMS30C32116 Users Manual*, MCU Application Team in LG Semicon, Chongju, Korea, 1996.

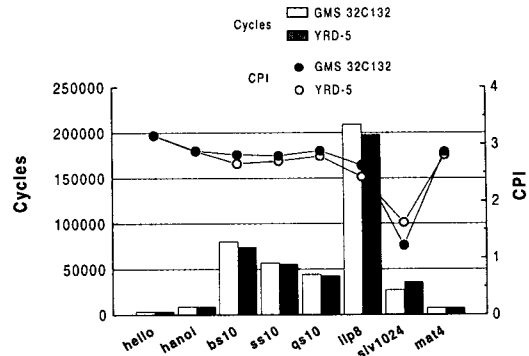


그림 6 정수 명령어 프로그램의 성능 비교  
Fig. 6 Performance comparison of integer program

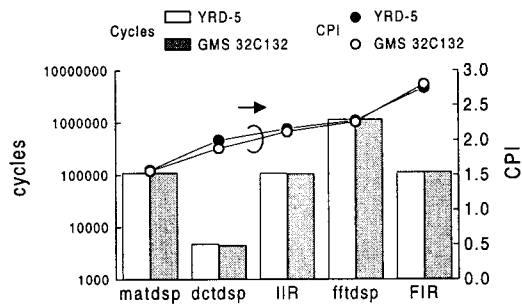


그림 7 DSP 명령어 프로그램의 성능 비교  
Fig. 7 Performance comparison of DSP program

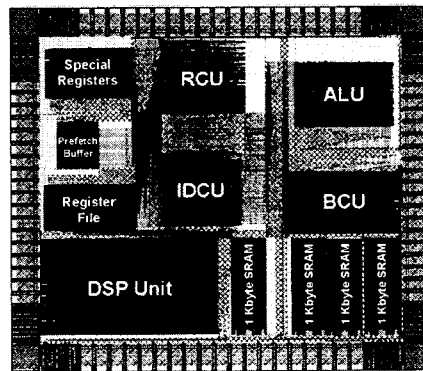


그림 8 YRD-5의 전체 레이아웃  
Fig. 8 Layout of YRD-5