

## RF CMOS 집적회로 기술현황 및 발전전망

한국전자통신연구원 회로소자기술연구소 RF CMOS 회로팀

유 현 규

### 요약

RF CMOS 집적회로 기술은 CMOS 기술의 급격한 발전과 더불어 최근 크게 주목 받고 있다. 이는 CMOS가 제공 할 수 대량생산 능력으로 인해 기존 RF IC의 저가격화뿐 아니라 미래의 복합, 다기능 무선 멀티미디어 단말기 구현을 위한 single chip solution을 제공 할 수 있는 가능성이 가장 높기 때문이다.

본 논문은 먼저 개인 휴대 통신 단말기 시장을 전망해보고, 향후 전개될 다양한 무선서비스에 대응하기 위한 RF CMOS 집적회로의 소자 및 설계 기술개발 현황과 향후의 발전전망을 기술한다.

### I. 서론

이동통신기술은 언제, 어디에서나 음성/영상/데이터 등의 다양한 정보를 통신하고자 하는 사용자의 욕구를 충족시켜 왔으며, 이러한 요구는 정보 크기의 증대와 함께 앞으로도 더욱 다양화 될 것이다. 미래에 전개될 다양한 정보 서비스를 보다 저렴한 가격에 제공하기 위해서는 더욱 진일보되고, 지능화된 서비스의 개발이 예상된다. 이러한 차세대 이동통신 서비스가 가능하기 위해서는, 하나의 이동통신 단말기가 여러개의 주파수 대역 및 통신표준 (Multi-band, Multi-standard)의 송/수신이 가능하고, 다양한 기능 서비스를 수용 할 수 있어야 하므로, RF의 송수신 회로의 복잡도가 현재보다 크게 증가될 전망이다. 이와같이 복합 다기능화로 발전해 가는 차세대 무선 단말기는 서비스의 이동성도 최대한 제공해야 하므로 단말기의 저전력화, 경량화, 고집적화를 실현할수 있는 기술개발을 절실히 요구하고 있다. 이를 위해 현재 대부분 HIC (Hybride IC)를 사용하고 있는 단말기의 RF Module를 VLSI화 하는 것은 필연적이다.

이와같은 발전추세에 대응할 수 있는 새로운 RF 기술로 1990년대 초반, 미국의 대학 (UCB, UCLA)을 중심으로 CMOS를 이용한 RF 집적회로에의 응용 가능성을 검토하기 시작 했는데 이는 CMOS 기술의 급격한 발전으로 소자의 최대 동작 주파수 (fmax)가 수십 GHz 대역까지 고속화 되고 있기 때문이다. 최근에는 RF CMOS IC의 실현 가능성이 점차 높아지면서 미국은 물론, 유럽과 일본의 선진 연구기관(AT&T, NTT 등)과 주요 반도체 회사 (HP, Motorola, TI, National Semiconductor, LSI Logic, Siemens, Philips, Toshiba, Hitachi 등) 등이 적극적인 연구에 착수하고 있다. 이는 무엇보다도 현재 반도체 시장을 주도하고 있는 CMOS 공정을 재활용함으로써 CMOS 기술의 대량 생산성, 안정된 공정, 충분한 Resource 등의 장점을 통해 기존 화합물 MMIC와는 가격경쟁력에서 크게 앞설 수 있다는 점 때문이다. 또한 RF CMOS

기술은 기존의 CMOS 기술을 기반으로 발전 해온 IF (Intermediate Frequency) 및 baseband ASIC 과 RF IC 까지 통합할 수 있는 가장 강력한(유일한) 기술이므로 궁극적으로는 무선통신 단말기의 one chip solution을 제공 할 수 있는 기반 기술로서의 가능성도 높기 주목 받고 있기 때문이다.

본 논문의 2 장에서는 먼저 1~2GHz 대역을 중심으로 발전하고 있는 이동통신 시장의 발전전망을 분석한다. 3 장에서는 RF CMOS IC 구현을 위해 필요한 주요 소자 및 기술개발 현황을 소개한다. 4 장에서는 현재 매우 활발히 전개되고 있는 RF CMOS 집적회로들을 분석하고 마지막으로 5 장에서는 미래의 멀티미디어 무선통신 시장 공략을 위한 RF CMOS 집적회로 기술의 발전 전망을 기술한다.

### II. 이동통신 서비스의 시장 전망

지난 10년간 셀룰러, PCS, 무선호출 등 이동통신 시장은 지속적인 고도 성장을 거듭하여 왔는데, 이는 무선통신의 새로운 응용기술이 언제, 어디서나 통신하고자 하는 사용자의 욕구를 충족시켜 왔기 때문인 것으로 분석되고 있다. '94년~'98년 중에 전세계의 이동통신 서비스 시장은 연평균 17.8%, 이동통신 기기 시장은 연평균 22.5%로 각각 고속의 성장을 계속하고 있다. 이는 동 기간 중 유선통신 시장 성장률의 3 배에 해당 하는 것이다. 또한, 2000년까지 전체 전화기의 35% 및 전체 컴퓨터의 20% 정도가 시내망 또는 공중망에 무선으로 접속될 것으로 예측되고 있다.

한편 이들 무선 통신 서비스를 구현하는 무선통신용 반도체 시장을 분석해보면 [표 1]에서 볼 수 있듯이 1997년 약 59 억불의 규모에서 2002년에는 약 90 억불의 규모로 성장 될 것으로 예상된다 [1]. 무선 통신 시장은 크게 개인 휴대 이동통신, 근거리 무선통신, 무선방송, 및 기타 무선통신으로 분류할 수 있으며 이들 분야 중 특히 개인 휴대 통신 시장은 전체 무선 통신용 반도체 시장의 60%인 약 51 억불의 규모의 시장 이 예측되고 있다.

이와 같이 향후 가장 큰 반도체 수요를 제기할 휴대통신 서비스 분야는 Pager, TRS, Analog/Digital Cellular, PCS, 및 IMT-2000 등과 같이 다양하게 발전하고 있으며 이들 서비스는 대부분 1~2 GHz 대역에 집중 되어 있다. 또한 2.4GHz 대역의 WLAN, WLL, 및 기타 무선통신으로 분류한 1.5GHz 대역의 GPS 까지 고려한다면, L-band에서의 반도체 수요는 2002년에 약 64 억불로 전체 무선통신 반도체의 70%를 상회할 것으로 예상된다.

### III. RF CMOS 집적회로 소자 기술

1. Integrated Inductor on the Silicon Substrate

RF CMOS 집적회로를 구현 하기 위해서는, 실리콘 기판에서 10 이상의 높은 Q (quality factor)값의 인덕터 개발이 필요하다. 실리콘 기판은 전도도가 높고 따라서 갈륨 비소 기판에 비해 substrate loss 가 크기 때문에 RF 영역에서 주파수 특성이 저하되는 문제를 해결하는 것은 결코 쉽지 않다. RF CMOS 기술이 기본적으로 기존의 CMOS 집적공정과의 양립성을 전제로 한다면, 현재 1층 당 약 1um 내외의 얇은 금속배선 두께는 직렬저항 성분을 증가시켜 high Q 인덕터 실현에 또다른 장애 요소로 작용한다.

최근의 연구동향을 분석해 보면 크게 두가지로 분류할 수 있는데 첫째는 실리콘 기판에서 high Q를 얻기 위한 기술 개발 노력과 둘째, RF IC의 효율적인 설계에 필요한 새로운 구조의 인덕터 개발 등이다. [표 2]는 high Q 인덕터 개발의 주요 연구 결과를 요약 한 것이다. 실리콘 기판에서의 고성능 인덕터 개발 방향은 크게 기판 손실을 최소화 하는 기술 개발과 인덕터의 직렬저항 감소 등 2가지로 나타나고 있다. 기판손실은 그 원리상, 기판의 free carrier에 의해 발생하는 만큼, 고저항 기판을 사용하거나 [2-4] 인덕터에 의해 유기되는 기판의 대응 전류흐름을 차단하는 방법 등이 있다 [5]. 같은 원리로 인덕터가 형성되는 기판영역에 PN 접합을 형성하고 역 바이어스 전압을 Q를 향상 시키는 방법도 제안되고 있다 [6]. 기판을 100um 이상 식각하여 인덕터 밑면을 air 상태로 변환시키는 시도도 있으나, 기존 CMOS 라인에 적용하는 것은 여러가지로 문제가 있다 [7]. 인덕터의 직렬저항 성분은 Q를 감소시키는 직접적인 요인이다. 따라서 3~5 층의 다층금속 배선, Cu-Damascene, thick-metal 방법 등으로 저항성분을 감소시키고 있다. 본 연구진은 고저항 기판 (>2k.ohm.)위에 독자적인 후막 금속배선 공정을 개발함으로써 2층 금속배선으로도 2GHz에서 Q=21의 우수한 결과를 얻을 수 있었다 [8].

현재 개발되고 RF CMOS IC 들을 분석해보면 인덕터가 차지하는 면적이 전체 칩의 50%를 상회하는 있는 경우도 있다. RF CMOS가 아직은 연구단계이며, 상대적으로 값싼 기판이라 하더라도 이와 같은 형태는 향후 실용화 단계에서 큰 문제로 대두 될 것이다. 따라서 인덕터 사용을 최소화 하는 회로 구조가 연구되어야 할 것이며, 사용하더라도 면적을 최소화 할 수 있는 다양한 형태의 인덕터 (예:Dual-turn, Tunable inductor, Transformer 등)가 개발 되어야 할 것이다.

2. RF CMOS Device Technology

[그림 1]은 GaAs, bipolar 및 MOSFET 소자별 주파수 특성을 나타낸 것이다. 현재 GaAs 소자는 기존 실리콘 소자에 비해 기판손실이 적고 동작 주파수가 상대적으로 높아 아직은 대부분의 RF module 에 사용되고 있으나, 제조공정이 까다롭고 제작 단가가 비싸며, 동작 전압을 낮출 경우 소자의 비선형성으로 인해 발생하는 혼변조잡음의 제거에 많은 어려움이 있다.

CMOS 소자의 경우 소자 자체의 RF 성능은 GaAs에 비해 떨어지지만, 그림에서 볼수 있듯이 scaling down 되면서 집적도가 증가함과 더불어 고속 동작도 가능하게 된다. CMOS 소자의 주요 RF 특성을 살펴보면 설계규칙 (Design Rule) 0.8 um급 소자는 전류가 20 mA 일때  $f_T = 10 \text{ GHz}$ ,  $f_{max} = 11 \text{ GHz}$ ,  $G_{max} = 11.5 \text{ dB}$  등으로 소자 자체의 특성은 1~2 GHz 대역의 동작 주파수 범위에 적용이 가능 하지만 기판에 의한 손실 등으로 효율 및 성능이 문제가 된다. 그러나 최근 이러한 문제점

을 해결하고자 하는 소자 및 설계기술이 활발히 진행되고 있으며, 각 모듈별로 시험적인 RF IC 들이 발표되고 있다. 한편 소자 scaling에 따라 설계규칙 0.6 um MOSFET 는 전류가 10 mA 일때  $f_T = 14 \text{ GHz}$ ,  $f_{max} = 18 \text{ GHz}$ 의 성능을 나타내고 있으며, 설계규칙 0.35 um 인 경우, 전류 3 mA 에서  $f_T = 34 \text{ GHz}$ ,  $G_{max} = 22 \text{ dB}$  로 크게 향상 된다. 일반적으로 소자의  $f_{max}$ 는 RF IC 동작주파수의 6~10 배 정도가 필요한데 현재의 CMOS 기술은 주파수 특성 측면에서만 본다면, L-band의 RF IC 시장 응용에 충분한 성능을 나타내고 있음을 알 수 있다.

RF CMOS 소자의 주요 성능( $f_T, f_{max}, NF$ )은 각각

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} = \frac{1.5\mu}{2\pi L}(V_G - V_T) \quad (1)$$

$$f_{max} = \frac{f_T}{2\sqrt{2\pi f_T R_g C_{gd} + G_{ds} R_{in}}} \quad (2)$$

$$F_{min} \approx 1 + 2W \frac{C_{gs}}{g_{mo}} \left( \frac{R_g + R_s}{R_i} \right)^{0.5} \quad (3)$$

과 같이 표현된다.  $f_T$ 는 short circuit current gain ( $H_{21}$ )이 1이 되는 주파수로 정의되는데, 채널길이의 역비례하여 증가하며, input capacitance  $C_{gs}$ 에 반비례한다. 소자의  $f_{max}$ 는  $f_T$ 가 일정할 경우, output/input 저항의 비율의 제곱근에 역비례 한다. 그러나 실제소자의 경우는  $S_{21}=0$ 이 아니므로 stability를 고려한 maximum available gain (MAG), maximum stable gain(MSG)이 1이 되는 주파수를 사용하는 것이 정확하다. [그림 2]는 0.8 um nMOS 소자의 여러가지 layout 형태에 따른  $f_{max}$  특성을 단위 finger 길이 및 finger 수에 따라 요약하여 나타낸 것이다. 단위 finger 길이가 10 um로 일정한 경우, finger 수가 2 배씩 증가함에 따라 게이트 저항은 2 배로 줄고  $C_{gd}$  및  $G_{ds}$ 는 2 배씩 증가하므로 [식 2] 과 같이  $f_{max}$ 는 일정함을 알 수 있다. 그러나 finger 수가 10 이상으로 증가함에 따라 interconnection을 위한 금속선이 길어지고 parasitic 성분이 증가하여  $f_{max}$ 가 감소함을 보여준다. 이러한 결과는 MOSFET에 의한 RF 회로 설계시 layout 최적화에 주의를 하여야 함을 보여주는 것이다 [9].

3. RF CMOS Device Modelling

MOSFET의 RF 응용이 활발해짐에 따라 종래의 3 단자 MESFET 소신호 등가회로 모델을 이용한 MOSFET의 RF 특성 해석에 몇가지 문제점이 제기 되기 시작 했다. 특히 MOSFET의 출력 저항 ( $R_{sd}$ )는 동작주파수가 높아지면서 감소하는 이른바 frequency dispersion 현상이 나타나고 있으며 이를 기존 MESFET 등가 모델로 설명하는 것은 정확하지 않다. Bipolar나 MESFET에 비해 상대적으로 낮은 이득을 갖는 MOSFET의 경우  $R_{sd}$ 의 dispersion 현상은 회로성능에 직접적인 영향을 주는 것은 물론, 소자 최적화를 어렵게 할 뿐 아니라 RF IC 설계를 부정확 하게 하므로 이에 대한 모델링은 매우 중요한 과제이다. [10-13]

IV. RF CMOS 집적회로 설계기술

RF 수신기는 수신된 에너지를 최소한의 distortion을 부가하여 유효한 정보로 변환하는 것을 목적으로 한다. 위의 기능

을 얼마나 잘 수행하느냐 하는 것은 시스템 설계, 내부 회로, 동작 환경에 달려 있다. 수신단의 성능 규격은 아래의 요소들을 함께 고려 해야 한다.

**Sensitivity** : 수신기가 반응 할 수 있는 작은 신호의 정도로서 아나로그 수신기의 규격은 복조 된 신호가 특정한 S/N 비를 만족하는 최대의 RF 신호를 말하며, 디지털 수신기에서는 S/N 비 대신에 BER (bit error rate)를 쓴다. 수신단의 sensitivity 는 수신단 밴드의 제공급과 관계가 있으며 협대역의 0.3 uV에서 TV 수신기의 0.5 mV 정도까지 다양하다. 실제로 IS-95 (CDMA Cellular)에서는 -105 dBm, AMPS에서는 -118 dBm 이다. Sensitivity 는 보통 잡음지수 NF(noise figure)과 밀접한 관계가 있다.

**Selectivity**: 인접 채널의 원하지 않는 신호를 reject 하는 능력을 말하며 보통 70dB에서 90 dB 정도로서 구형 난이도가 높은 항목이다. Selectivity 는 in-band 삽입 손실 (insertion loss)와 인접 채널의 out-of-band attenuation 으로 표시 된다.

**Spurious response rejection**: 보통의 superheterodyne 수신기에서는 원하지 않는 채널 주파수에 반응할 수 있는 잠재적인 가능성이 있다. 이러한 경향은 적당한 중간주파수 (IF; intermediate frequency)를 선택함으로써 최소화 할 수 있으며 보통의 수신기에서는 70~100 dB의 rejection 이 가능하다. Spurious response rejection 은 보통 out-of-band attenuation 으로 표시 된다.

**Intermodulation rejection**: 채널 바깥의 2~3 개의 강한 신호가 intermodulation 에 의하여 본래 채널의 간섭 신호로 작용하는 현상을 말한다. 보통 70 dB 정도이며 예외적으로 90 dB 까지도 가능하다. 보통 수신기의 sensitivity 와는 반대의 경향을 가지므로 타협점을 찾아야 하는 경우가 많다. IP3 (third order intercept point)가 지표로 쓰인다.

**Self-quieting**: 내부적으로 생성된 밴드내의 특정 주파수의 신호에 의하여 그 주파수에서의 명목상의 잡음이 높아져서 수신기의 감도 (sensitivity)가 떨어지는 현상을 말한다. 보통은 LO 신호의 고조파 (harmonic)에 의한 경우가 많다.

이 외에 복조된 신호의 distortion, 큰 신호에 대한 S/N 비 (보통 Hum 혹은 Noise), 주파수 안정도, cross-modulation, radiated emission, 높은 RF 신호에 대한 민감도(susceptibility)등이 있다.

[그림 3]은 단말기의 개략적인 구조를 나타낸 것이다. RF의 수신부는 안테나, Duplexer를 통하여 수신된 RF 신호를 저잡음 증폭하여 제1중간 주파수로 변환하고 이를 약간 증폭하여 IF AGC부로 제1중간주파수 신호를 전달하는 역할을 한다. 기능별로는 저잡음 증폭기, 주파수혼합기, 중간주파수 증폭기로 나누어진다. 저잡음 증폭기와 주파수혼합기 사이에는 외부부품으로 BPF (Band Pass Filter)가 있으며 in-band 대역만을 통과시켜서 뒷단의 주파수혼합기에서의 image신호 발생을 억제시키는 image-rejection 기능과 밴드외의 잡음원을 제거하고 발전자의 신호가 역류하여 안테나로 방사되는 현상을 방지하는 기능을 가진 필터이다. 혼합기는 RF신호를 제1중간 주파수로 변환하는 기능을 가진다. 중간주파수 증폭 단은 IF를 증폭 한다.

1. Core Cell Circuits

LNA (Low Noise Amplifier)

수신기의 수신감도를 향상 시키기 위해서는 수신기 전체의 잡음을 최대한 작게 해야 한다. 수신단 잡음은 수신단 선단의 LNA 에 의해 대부분 결정 되므로 LNA 의 설계시 적정의 선형

성과 이득을 유지하면서 잡음을 최소화하는 것이 가장 중요한 설계 이슈이다. 또한 대부분의 단말기는 50Ω(TV 의 경우 75Ω)에 정합 시켜야 하므로 전류소모를 고려한 입력단 CMOS 소자크기의 적정한 선정도 필요하다. CMOS 소자는 MESFET 나 바이폴라 소자에 비해 이득이 낮고, 자체 저항 (Gate 저항)이 커서 저잡음 회로구현에 어려움이 있으나 최근 0.8um CMOS 공정을 이용한 완전 집적형 LNA 가 1.9GHz 대역에서 NF= 2.8dB, Gain=15dB 의 성능을 나타내고 있는 등 소자 scaling 에 따라 조만간 NF=1.5 dB 이하의 소자도 구현 하게 될 것으로 예상된다 [14-15]. Common source 형태의 LNA 가 주류를 이루고 있는 가운데, 기판에서 여기되는 noise 성분을 제거하기 위한 목적으로 차동형을 사용하거나, 저전력을 위한 CMOS 형태 [current reuse 방법]의 LNA 도 연구 되고 있으며, 저잡음 특성 개선을 위해 현실적으로는 입력단 정합용 인덕터를 Q 가 우수한 bonding wire 를 활용하는 경우도 있다 [16]. [표 3]은 지금까지 개발된 CMOS LNA 의 주요 결과를 요약 하였다.

Up/Down Mixer

상/하향주파수변환기는 각각 IF 증폭기 출력의 IF 신호를 LO (Local Oscillator) 신호와 곱하여 RF 주파수로 상향 (Up-conversion) 시키거나, LNA 로부터 증폭된 RF 신호를 LO 와 곱하여 IF 주파수로 하향 (Down-conversion) 시키는 회로이다. 수동 주파수변환기 (Passive mixer)는 소자의 선형영역에 동작점을 두기 때문에 static power 가 낮고 선형성이 우수한 반면, 변환이득이 낮고 잡음특성이 나쁘다. 변환이득이 낮기 때문에 주파수변환기 뒷단에 OP-Amp 를 연결한다. IP3 는 43dBm 으로 매우 우수한 반면 NF 는 32 dB 이나 된다 [17]. Sub-sampling 기법을 이용하는 경우, LO 와 RF 주파수의 간격을 크게 할 수 있어 LO leakage 문제가 완화되고 주파수가 낮은 LO 가 필요하므로 비교적 설계가 용이하다. 그러나, 이 구조는 Narrow-band 신호를 tracking 하는 동안 wide-band noise 도 tracking 하게 되면서 aliasing 가 발생하므로 잡음 특성이 좋지 않다. 상기 구조는 IP3=27dBm 이며 NF 는 18dB 이다 [18]. 현재 가장 많이 채택되고 방식은 Gilbert multiplier 구조를 근간으로 한 능동 주파수변환기 (Active mixer) 이다. LO 에 진폭이 큰 신호가 가해져 상단의 MOSFET 가 이상적인 switching 을 한다면, [식 4]와 같이 이득이 2π 이고 출력주파수가  $IF = W_{RF} - W_{LO}$  인 특성을 얻을 수 있다.

$$i_{if} = \frac{2}{\pi} G_{mRF} \cos(W_{RF} - W_{LO})t \tag{4}$$

LO leakage 를 감소 시키기 위해서 일반적으로 LO 와 RF 사이에 cascode 단을 추가하며, 변환이득을 크게 하거나 가변 시키기 위해 출력단 load 의 구조를 변형하는 노력이 다양하게 진행 되어 왔다 [19-20]. Dynamic range 는 기본적으로 하단 RF 입력부에 의해 결정 되므로 우수한 IP3 를 얻기 위한 새로운 회로가 연구 되고 있으며, MOSFET 의 Vth offset 에 의해 제한받는 LO pumping 의 효율 저하도 향후 개선 해야 할 여지가 있다.

Frequency Synthesizer

주파수합성기란 한 개 혹은 여러개의 주파수원(Frequency Source)으로부터 단일 출력주파수 혹은 서로 다른 여러개의 출

력주파수를 발생시키는 회로이다. 합성방법에 따라 기준 주파수로부터 직접 원하는 주파수를 합성 하는 직접방식(Direct Synthesizer)과 PLL (Phase-Locked Loop)를 이용한 간접방식(Indirect Synthesizer), 및 이들 방식을 혼용한 복합방식 (Hybrid Synthesizer) 등 이 있다. 현재 많이 사용되는 PLL 을 사용한 주파수합성기는 PLL 궤환을 통해 노이즈가 줄어들고, 집적화가 용이하며, 높은 주파수를 얻을 수 있는 장점이 있는 반면, 주파수 천이 속도가 직접방식보다 (특히 DDFS 보다) 상대적으로 불리하다 [21]. 따라서 통상방식 (Direct Sequence, 혹은 Frequency Hopping)에 따라 합성기 구조의 선택이 달라질 수 있다. RF 주파수 합성기를 설계하는데 있어 가장 중요한 점은 합성된 주파수의 위상잡음 (Phase Noise)의 크기와 기준 클럭 (Reference Clock)에 의해 발생하는 Spur 의 크기를 얼마나 작게 할 수 있는가에 있다. VCO (Voltage Controlled Oscillator)로부터 유입되는 위상잡음은 고역통과 특성을 가진다. 따라서 대역폭을 증가 시킴으로써 PLL 의 위상잡음을 감소 시킬 수 있지만, 너무 확대할 경우 Spur 가 증가하므로 이들간의 Trade-off가 필요하다. 주파수합성기의 핵심 요소인 VCO 설계에 있어 고려해야 할 사항을 3 가지로 요약하면 위상잡음, 주파수 가변범위, 및 전력 소모이다. VCO 는 크게 Ring-type 과 LC 공진형이 있는데, Ring type 의 경우 주파수 가변 범위가 넓기 때문에 마이크로 프로세서나 클럭 복원회로 등에 주로 사용되고 있으나, 임의의 자연소자에서 발생한 잡음이 chain 통해 계속 돌아 다니게 되어 위상잡음은 좋지 않다 [22]. 따라서 위상잡음 규격이 엄격한 단말기용 (예: -115dBc/Hz @ 100kHz offset)으로는 Ring-type 보다 위상 잡음 특성이 우수한 LC 공진형이 유리하다. 최근 LC 공진형 CMOS VCO 의 연구가 활발히 전개되고 있는 가운데 벨기에 카톨릭대에서는 0.7um CMOS 기술로 위상잡음 -116dBc/Hz @600kHz, 소비전력 12mW 인 VCO 를 발표 한 바 있다 [23]. LC 공진형 발전기의 발전 주파수 조절은 인덕터 혹은 커패시터를 활용하게 되는데 현실적으로 가변 인덕터 실현이 어렵게 때문에 대부분 MOSFET 의 가변 Capacitance 나 PN diode 를 이용한다. 회로의 가변 주파수 범위 증가를 위한 넓은 가변 Capacitor 와, 위상잡음 최소화를 위한 High Q 인덕터의 개발은 CMOS LC 공진형 VCO 구현을 위해 개선 되어야 할 요소기술들이다.

## 2. Architecture Design

설계자의 입장에서 볼 때 RF CMOS 의 장점은 안정된 공정을 기반으로 한 고집적화에 있다. 따라서 현재 대부분의 단말기에 채택되고 있는 Super-heterodyne 구조는 채널 선택성이 우수한 장점이 있음에도 불구하고 다단계의 주파수변환과 이에 따른 필터 등 외부 부품의 소모가 많고 집적화에 어려움이 따르므로 저가격화와 고집적화라는 RF CMOS IC 의 큰 특징을 제대로 발휘 할 수 없다. 이와같은 관점에서 Multi-band, Multi-standard 로 발전되어 가는 미래의 휴대통신 기술의 흐름은 외부 부품을 최소화하고 집적화에 유리한 새로운 단말기 구조 개발을 요구하고 있다.

Direct conversion 방식은 RF 신호를 중간주파수 처리 과정 없이 직접 baseband 로 변환하는 방식으로 집적화에 가장 매력적인 구조이다. Pager 등에 일부 활용되고 있기도 하지만, 1995년 UCLA 의 Abidi 그룹이 Digital Cellular 를 위한 RF IC 를 발표 한 이래 새롭게 주목을 받고 있다 [24]. DDFS 를 활용, 주파수 도약 방식을 채택한 이들은 직접변환 구조가

가지고 있는 DC offset, 1/f noise 등의 문제에 비교적 민감하지 않은 FSK 변조방식을 사용하였다. Quasi-IF 방식은 주파수 변환시 발생하는 image 신호를 복소수 신호처리 (Hilbert transform)에 의해 상쇄시키고 선단의 LO 를 고정된 주파수로 할당함으로써 image rejection filter 및 주파수 합성기 설계 부담을 감소 시킨 구조이다 [19]. Double-quadrature 방식은 RF 및 LO 신호를 각각 I/Q 신호로 바꾸고 I-phase 와 Q-phase 를 각각 곱하여 image 를 감쇄 시킨 구조이다. Quasi-IF 방식에 비해 I/Q mismatch 에 의한 영향이 줄어 드는 장점이 있지만, passive-RC network 에 의한 chip 크기의 증가와 경로의 mismatch 에 의한 성능저하는 여전히 문제로 남는다 [25-26]. 최근 UCLA 의 B. Razavi 교수는 Weaver 구조를 이용하여 900MHz GSM (Global System for Mobile communication) 과 1.8GHz 대역의 DCS1800 (Digital Communication System at 1800)의 Dual-band Rx 및 Tx IC 구조를 발표한 바 있다. 0.6um CMOS 공정을 이용한 본 시도는 LO1 및 LO2 를 각각 1350MHz 와 450MHz 로 설정하고 각 band 경로의 단순한 조합을 통해 원하는 IF 및 RF 신호를 효과적으로 얻을 수 있는 방식이다 [27]. [표 4]는 지금까지 연구되어 온 단말기 구조들과 이들의 장단점을 비교 정리 한 것이다.

## V. RF CMOS 발전전망

90년대 초 미국 대학들의 개념연구로 출발된 RF CMOS 집적회로 기술은 구체적인 결과가 발표되면서 단순한 실험단계에서 벗어나 점차 실용적인 개발 단계로 진입하고 있다. 응용분야도 900MHz 대역의 Analog/Digital Cellular, GSM 에서 1.5GHz 대역의 GPS, 1.9GHz 대역의 PCS, DECT, PHS, 2 대역의 IMT-2000, 2.4GHz 대역의 WLAN, WLL 뿐 아니라 5.2GHz 대역의 HiPER LAN 영역까지 확대 되고 있다 [28]. 이와 같은 주파수 영역의 확대는 기본적으로 CMOS 의 scaling 에 의한 고주파 특성의 향상에 기인한다. 그러나 통신 시장은 기본적으로 standard-driven 성격이 강하므로 다양한 서비스와 통신대역을 함께 수용하면서 발전 할 것이며 이를 하나의 단말기에 수용 하면서 저가격, 저전력, 및 소형화가 이루어 지기 위해서는 RF IC 의 VLSI 화가 필연적이다. [그림 4] 는 L-band 의 다양한 서비스를 하나의 단말기로 구현하는 미래의 단말기를 개념적으로 나타낸 것이다 [29]. Single chip RF CMOS transceiver 는 차세대 무선 멀티미디어 단말기를 위한 혁신적인 개념이나 이의 실현을 위해서는 선결되어야 할 문제점이 있다. 이들을 요약 하면,

- RF CMOS 소자 및 CAD 기반기술
    - 실리콘 기판을 통한 RF/Digital 회로의 상호 간섭현상 해석 및 최적의 RF design rule 생성 기술
    - Model 개발 및 정확도개선(Large signal, Noise, Package)
    - 수동소자 (인덕터, 바랙터 등)의 성능 향상
  - RF CMOS IC 설계기술
    - RF/Digital 복합회로의 Ground 처리기법
    - Wideband RF CMOS Circuits
    - Crosstalk immune RF ICs (Between Rx and Tx ICs)
    - Programmable (Variable Gain) RF ICs
    - Single chip transceiver architecture design
- 등과 같다.

## 참고문헌

- [1] Dataquest WSAM-WW-DP-9809, Jan.18, 1999.
- [2] Min Park, Seonghearn Lee, Hyun Kyu Yu, Jin Gun Koo, and Kee Soo Nam, "High Q CMOS-compatible microwave inductors using double-metal interconnection silicon technology," *IEEE Microwave and Guided Wave Lett.*, vol. 7, No. 2, pp. 45-47, Feb. 1997.
- [3] Min Park, Seonghearn Lee, Hyun Kyu Yu, and Kee Soo Nam, "Optimization of high Q CMOS-compatible microwave inductors using silicon CMOS technology," in *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 129-132, 1997.
- [4] Min Park, Seonghearn Lee, Cheon Soo Kim, Hyun Kyu Yu, and Kee Soo Nam, "The detailed analysis of high Q CMOS-compatible microwave spiral inductors in silicon technology," *IEEE Trans. on Electron Devices*, vol. 45, No.9, pp.1953-1959, Sep. 1998
- [5] *RF MICROELECTRONICS*, B.Razavi, Prentice Hall, pp. 234-235, 1998.
- [6] Hyun-Kyu Yu, Min Park, Cheon Soo Kim, and Kee Soo Nam, *US Patent*, 5770509, 1998.6.23.
- [7] J. Y. Chang, A. A. Abidi, and M. Gaitan, "Large suspended inductors on silicon and their use in a 2  $\mu$ m CMOS RF amplifier," *IEEE Electron Device Lett.*, vol. 14, pp. 246-248, May 1993.
- [8] Min Park, Cheon Soo Kim, Jong Moon Park, Hyun Kyu Yu, and Kee Soo Nam, "High Q microwave inductors in CMOS double-metal technology and its substrate bias effects for 2 GHz RF ICs application," in *IEDM Tech. Dig.*, Washington, DC, pp. 59-62, Dec. 1997.
- [9] Cheon Soo Kim, Hyun Kyu Yu, Hanjin Cho, Seonghearn Lee, and Kee Soo Nam, "CMOS layout and bias optimization for RF IC design applications," in *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 945-948, 1997
- [10] Seonghearn Lee, Hyun Kyu Yu, Cheon Soo Kim, Jin Gun Koo, and Kee Soo Nam, "A novel approach to extracting small-signal model parameters of silicon MOSFETs," *IEEE Microwave and Guided Wave Lett.*, vol. 7, No. 2, pp. 75-77, Mar. 1997.
- [11] Chung-Hwan Kim, Cheon Soo Kim, Hyun Kyu Yu, and Kee Soo Nam, "An isolated-open pattern to de-embed pad parasitics," *IEEE Microwave and Guided Wave Lett.*, vol. 8, No. 2, pp. 96-98, Feb. 1998.
- [12] Chung-Hwan Kim, Cheon Soo Kim, Hyun Kyu Yu, and Kee Soo Nam, "Unique Extraction of Substrate Parameters of Common-Source MOSFETs," *IEEE Microwave and Guided Wave Lett.*, vol. 9, No. 3, March 1999. *IEEE Trans. Microwave Theory Tech.* vol. 44, pp. 100-104, Jan. 1996.
- [13] Seonghearn Lee and Hyun Kyu Yu, "A Semi-Analytical Parameter Extraction of SPICE BSIM3v3 for RF MOSFETs Using S-Parameters," *IEEE Trans. Microwave Theory Tech.* Accepted, 1999.
- [14] Cheon Soo Kim, Min Park, Chung Hwan Kim, Yong Cheol Hyeon, Hyun Kyu Yu, Kwyro Lee, and Kee Soo Nam, "A fully integrated 1.9-GHz CMOS low-noise amplifier," *IEEE Microwave and Guided Wave Lett.*, vol. 8, No. 8, pp. 293-295, Aug. 1998.
- [15] Cheon Soo Kim, Min Park, Chung Hwan Kim, Hyun Kyu Yu, Kwyro Lee, and Dae-Young Kim, "Thick Metal CMOS of High Resistivity Substrate for Monolithic 900MHz and 1.9GHz CMOS LNAs," in *IEEE MTT-S Int. Microwave Symp. Dig.*, June, 1999.
- [16] J. Crols and M. S. J. Steyaert, "A single-chip 900 MHz CMOS receiver front-end with a high performance low-IF topology," *IEEE J. Solid-State Circuits*, vol. 30. pp. 1483-1492, Dec. 1995.
- [17] J. Crols and M. S. J. Steyaert, "A 1.5GHz Highly Linear CMOS Downconversion Mixer," *IEEE J. Solid-State Circuits*, vol. 30. No.7, pp. 736-742, July 1995.
- [18] P.Y.Chan, R.K.A.Ahmed, and A. A. Abidi, "A Highly Linear 1GHz CMOS Downconversion Mixer," in *Europe Solid-State Circ. Conf.*, pp.246-248, Spain, 1993.
- [19] J. C. Rudell, J. J. Ou, T. B. Cho, G. Chien, F. Brianti, J. A. Weldon, and P. R. Gray, "A 1.9GHz wide-band IF double conversion CMOS integrated receiver for cordless telephone applications," in *ISSCC Dig. Tech. Papers*, pp. 304-305, Feb. 1997.
- [20] A.Rofougaran, J.Y.C.Chang, M. Rofougaran, and A.A.Abidi, "A 1GHz CMOS RF Front-End IC for a Direct-Conversion Wireless Receiver," *IEEE J. Solid-State Circuits*, vol. 31. No.7, July 1996.
- [21] Analog Product Center Magazines, AD9832, Analog Devices, Inc., 1997.
- [22] Keewook Jung, Changsik Yoo, Hyun Kyu Yu, Wonchul Song, and Wonchan Kim, "A Process and Environment Tolerant 3V, 2GHz VCO with 0.8 $\mu$ m CMOS Technology," *IEEE Trans. on Consumer Electronics*, vol. 45, No.2, pp.171-175, Feb., 1999.
- [23] J.Craninckx and M. S. J. Steyaert, "A 1.8GHz Low Phase Noise CMOS VCO using Optimized Hollow Spiral Inductors," *IEEE J. Solid-State Circuits*, vol. 32. pp. 736-744, May 1997.
- [24] A. A. Abidi, "Direct-conversion radio transceivers for digital communications," *IEEE J. Solid-State Circuits*, vol. 30. pp. 1399-1410, Dec. 1995.
- [25] J. Crols and M. S. J. Steyaert, "A Single Chip 900MHz CMOS Receiver Front-End with High Performance Low-IF Topology," *IEEE J. Solid-State Circuits*, vol. 30. No.12, pp. 1483-1492, Dec. 1995.
- [26] Seungwook Lee, Keewook Jung, Wonchan Kim, Hyun Kyu Yu, and Wonchul Song, "A 1GHz image-rejection down-converter in 0.8 $\mu$ m CMOS technology," *IEEE Trans. on Consumer Electronics*, vol. 44, No.2, pp.235-239, May, 1998.
- [27] B.Razavi, "A 900MHz/1.8GHz CMOS Transmitter for Dual-Band Applications," *IEEE J. Solid-State Circuits*, vol. 34. No.5, pp. 573-579, May 1999.
- [28] C.Lam, B.Razavi, "A 2.6GHz/5.2GHz CMOS Voltage-Controlled Oscillator," in *ISSCC Digest of Technical Papers*, pp. 402-403, Feb., 1999.
- [29] P. R. Gray, "Architectures and technologies for CMOS RF transceiver," in *ISSCC short course*, Feb., 1997.

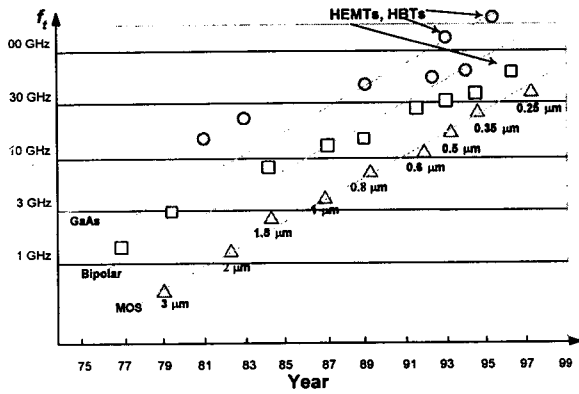
[표 1] Worldwide Wireless Communications Factory Revenue Forecast

	[Millions of Dollars]					
	1997	1998	1999	2000	2001	2002
Mobile Comm.	72,800	76,416	78,920	84,385	88,450	94,560
Local Wireless Com.	5,132	5,921	7,050	8,119	9,385	10,502
Wireless Broadcast	63,598	63,107	66,262	69,239	72,481	75,729
Other Wireless Comm.	3,270	4,411	6,628	9,307	12,698	16,072
Total Wireless Comm.	144,799	149,854	158,861	171,051	182,094	196,863

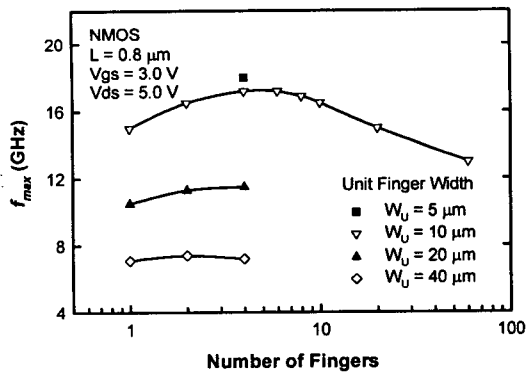
[표 2] Integrated Inductors on Silicon Substrate

	ETRI	IBM	UCLA	IBM	N.S.	UCB
Turns	8	6	20	4	3	9
Metal Width [um]	10	12	4	26	10	6.5
Metal Spacing [um]	2	4	4	-	-	5.5
Outer Dia [um]	100	226	440	230	150	230
Inductance [nH]	12.98	5.10	100	2.1	11.4	9.7
Fres [GHz]	6.6	10.3	3	15	2.4	2.47
Quality	11.5 @3	11.5	-	9.2 @2.4	5.4	3.0 @0.9
Technology	M2	M5	M2 Suspend	M4	M3	M2

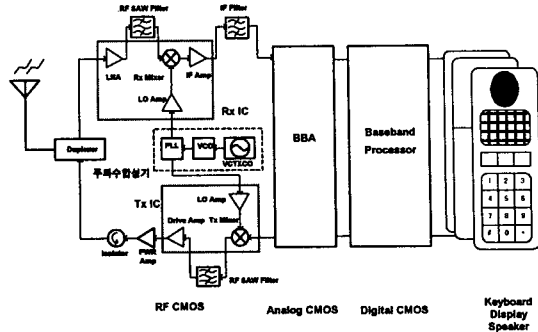
[그림 1] 주요 소자별 주파수 특성



[그림 2] MOSFET Gate Finger에 따른 f\_max 특성



[그림 3] 단말기 구조 개략도



[표 3] RF CMOS LNAs

	ETRI	UCB	UCLA	Stanford	AT&T	UCB
Freq [GHz]	1.9	1.9	0.9	1.5	0.9	0.9
NF [dB]	2.8	<5.0	3.2	3.5	2.2	7.5
Gain [dB]	15	22	22	22	15.6	11
IP3 [dBm]	2	-6	NA	-9.3	-3.2	NA
Tech. [um]	0.8	0.6	1.0	0.6	0.5	0.8
Comments	On chip	Bonding Wire	Off Chip	Off Chip	Off Chip	Off Chip

[표 4] Summary of the proposed receiver architectures

Architectures	Advantages	Disadvantages
Super-heterodyne	High Selectivity High Sensitivity	IF Filtering Large Power Difficult Integration
Direct Conversion	No IF Filtering No Image Rejection Low Power Easy Integration	Reduced Selectivity I/Q Path Matching DC-Offset LO Feedthrough 1/f Noise Highly Linear Mixer
Quasi-IF	Simple IF Filtering Easy Design of PLL Easy Integration No Passive RC Network	I/Q Path Matching Increased Hardware
Double Quadrature	Simple IF Filtering No DC Offset Problem Phase Matching Relaxed Easy Image Rejection Easy Integration	Passive RC Network I/Q Gain Matching

[그림 4] Multi-band Transceiver 구조 개념도

