

## Sidewall Spacer와 Post Gate Oxidation에 따른 MOSFET 특성 및 Hot Carrier 신뢰성 연구

이상희, 장성근, 이선길, 김선순, 최준기, 김용해, 한대희, 김형덕  
현대전자산업주식회사 선행기술연구소  
전화 : (0336) 630-5293 / 팩스 : (0336) 630-4545

### MOSFET Characteristics and Hot-Carrier Reliability with Sidewall Spacer and Post Gate Oxidation

S. H. Lee, S. K. Chang, S. G. Lee, S. S. Kim, J. G. Choi, Y. H. Kim, D. H. Han, H. D. Kim  
Semiconductor Advanced Research Division, Hyundai Electronics Industries Co., Ltd.  
E-mail : sheelee@sr.hei.co.kr

#### Abstract

We studied the MOSFET characteristics and the hot-carrier reliability with the sidewall spacer composition and the post gate oxidation thickness in  $0.20\mu\text{m}$  gate length transistor. The MOSFET with NO (Nitride+Oxide) sidewall spacer exhibits the large degradation of hot-carrier lifetime because there is no buffering oxide against nitride stress. When the post gate oxidation is skipped, the hot-carrier lifetime is improved, but GIDL (Gate Induced Drain Leakage) current is also increased.

#### I. 서론

소자의 집적도가 높아짐에 따라 MOSFET의 gate length 또한 줄어들게 된다. 이로 인해 SCE (Short Channel Effect)와 소자의 신뢰성 문제가 대두되게 되었다. 이러한 문제점들 가운데 hot-carrier effects는 단위 소자의 스케일링을 제한하는 주된 요인이 되어 왔으며 LDD (Lightly Doped Drain), DDD (Double Diffused Drain) 및 MDD (Moderately Doped Drain)와 같은 hot carrier에 내성을 갖는 MOSFET이 널리 연구되어 왔다.[1] 소자의 design rule이 점점 감소함에 따라서 cell region에서 SAC (Self Aligned Contact) scheme이 필요하게 되었다. 이를 위해서는 nitride sidewall spacer가 요구되어지는데 MOSFET의 reliability 특성을 고려하면 완충 산화막 (buffer oxide)이 있는 ON (Oxide+Nitride) 구조의 sidewall spacer가 필요하다. 이에 본 연구에서는 sidewall spacer의 완충 산화막 두께를 split하여 MOSFET 특성과 hot-carrier 신뢰성을 분석하였고, 또한 post gate oxidation의 두께를 split하여 MOSFET 특성에 미치는 영향을 분

석하였다.

#### II. 실험

본 연구에서 사용된 주요 제조 공정은 다음과 같다. 우선 STI (Shallow Trench Isolation) 방식으로 소자 분리를 하였고 gate oxide  $45\text{\AA}$ , sidewall spacer  $600\text{\AA}$ , S/D (Source/Drain) RTP anneal을  $950^\circ\text{C}/20\text{초}$ 로 진행을 하였다. sidewall spacer는 ONO (Oxide/Nitride/Oxide) 구조를 사용하였는데,  $100\text{\AA}/400\text{\AA}/100\text{\AA}$ ,  $100\text{\AA}/300\text{\AA}/200\text{\AA}$ ,  $50\text{\AA}/350\text{\AA}/200\text{\AA}$  및  $0\text{\AA}/400\text{\AA}/200\text{\AA}$ 으로 split하였고, post gate oxidation은  $50\text{\AA}$ ,  $30\text{\AA}$ 과 생략했을 경우로 split하여 실험하였다.

#### III. 결과 및 토의

##### 1) MOSFET Characteristics

그림1은 sidewall spacer의 완충 산화막 두께 split에 따른 (a) MOSFET의 문턱전압( $V_t$ )과 (b) drain/source간 breakdown 전압(BVDSS) 특성을 gate length에 따라 나타낸 그림이다. split에 따른 차이는 거의 없음을 알 수 있다. 그림2는 post gate oxidation의 두께 split에 따른 MOSFET의 (a)  $V_t$ 와 (b) 포화전류 ( $I_{\text{dsat}}$ ) 특성을 gate length에 따라 나타낸 것이다. 그림에서 보면 알 수 있듯이 gate length  $0.18\mu\text{m}$ 에서 post gate oxidation을 생략했을 경우가  $50\text{\AA}$ 으로 진행했을 경우에 비해  $V_t$ 가  $20\text{mV}$  감소하면서  $I_{\text{dsat}}$ 이  $30\mu\text{A}/\mu\text{m}$  증가하는 현상을 보이고 있다. 그 이유는 post gate oxidation을  $50\text{\AA}$ 으로 진행할 경우 gate poly가 양쪽으로 각각  $150\text{\AA}$  oxidation된다. 후속으로 LDD implant를 진행하면 post gate oxidation을 생략한 것에 비해 gate poly와 N- 영역이 overlap되어지는 부분은 줄어들게 된다. 즉 post gate oxidation을 생략한 것에 비해

effective channel length가 늘어나기 때문에  $V_t$ 가 증가하게 되고  $I_{dsat}$ 이 감소하게 되는 것이다.

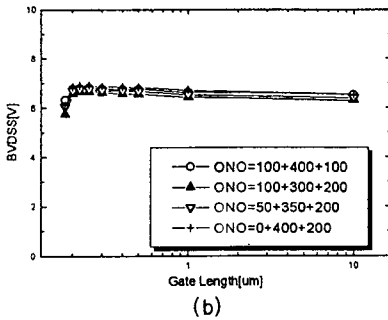
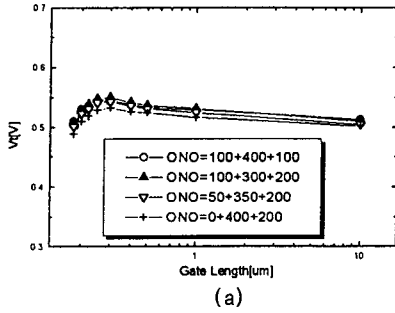


그림1. sidewall spacer 완충 산화막 두께 split에 따른 MOSFET characteristics (a) gate length에 따른 문턱전압 ( $V_t$ ) (b) gate length에 따른 breakdown 전압 (BVDS)

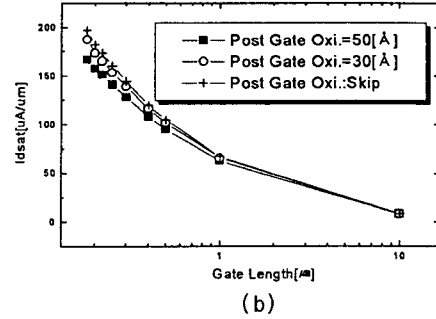
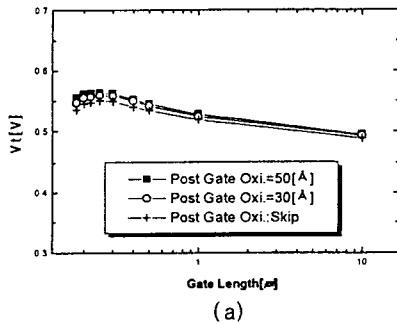


그림2. post gate oxidation 두께 split에 따른 MOSFET characteristics (a) gate length에 따른  $V_t$  (b) gate length에 따른 포화전류 ( $I_{dsat}$ )

### 2) Hot-carrier Reliability

hot-carrier test는 drain에 가해주는 전압 ( $V_D$ ) 을 2.5V, 2.7V, 2.9V, 3.1V, 3.3V로 하였다. gate전압 ( $V_G$ ) 값은 substrate전류 ( $I_{sub}$ )가 최대가 되는데서 결정을 하였고 100분 동안 stress를 가해서  $G_{max}$ ,  $I_{dlin}$ ,  $I_{dsat}$ ,  $I_{dsat\_r}$ 의 parameter가 10% degradation되는 시간을 lifetime으로 설정하였다.[2] 그림3은 sidewall spacer의 완충 산화막 두께 split에 따른 lifetime 특성을 0.2 $\mu$ m gate length를 가지는 NMOS에서 네 가지 parameter에 대해 나타낸 그림이다. 그림에서 보면 알 수 있듯이 완충 산화막 없이 nitride가 바로 증착 되는 경우에는 완충 산화막이 있는 경우에 비해 lifetime 특성이 더 낮게 나오는 것을 알 수 있다. 이는 nitride의 높은 stress에 기인한 현상이다.[3]

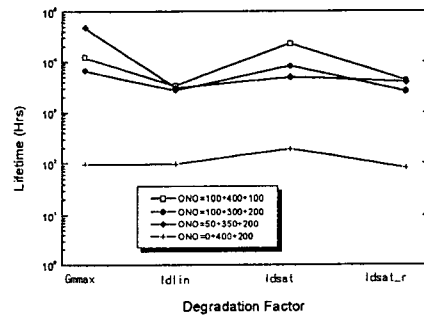


그림3. 0.2 $\mu$ m gate length를 가지는 NMOS에서 sidewall spacer의 완충 산화막 두께 split에 따른 lifetime 특성

그림4는 실제 공정에서 직접 oxide 두께를 측정한 결과이다. 그림에서 보면 알 수 있듯이 완충 산화막 없이 바로 nitride를 증착하는 구조에서도 nitride 밑에 전혀 oxide가 존재하지 않는 것은 아니다. nitride 밑에 oxide가 65Å 존재하더라도 lifetime이 취약해지는 것을 알 수 있고 완충

Sidewall Spacer와 Post Gate Oxidation에 따른 MOSFET 특성 및 Hot Carrier 신뢰성 연구

산화막이 110Å일 경우에는 lifetime의 degradation이 없는 것을 알 수 있다.

가장 좋은 특성을 보임을 알 수 있고 post gate oxidation을 50Å으로 진행한 경우는 10<sup>5</sup>시간에도 미치지 못하는 취약한 특성을 보이고 있다.

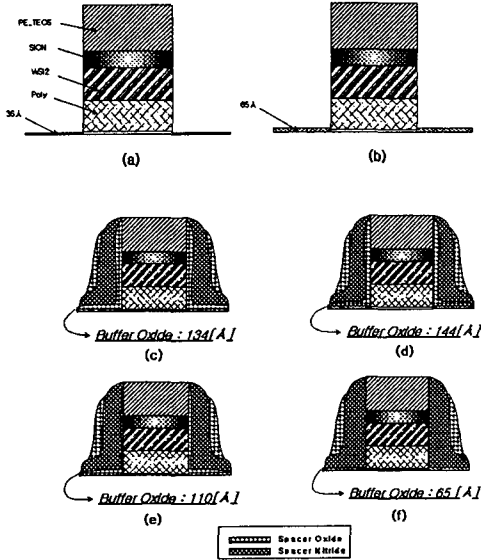


그림4. sidewall spacer split에 따른 step별 잔류 oxide 두께 (a) gate etch 후 (b) post gate oxidation 후 (c)sidewall spacer etch 후 (ONO = 100Å + 400Å + 100Å) (d)sidewall spacer etch 후 (ONO = 100Å + 300Å + 200Å) (e)sidewall spacer etch 후 (ONO = 50Å + 350Å + 200Å) (f)sidewall spacer etch 후 (ONO = 0Å + 400Å + 200Å)

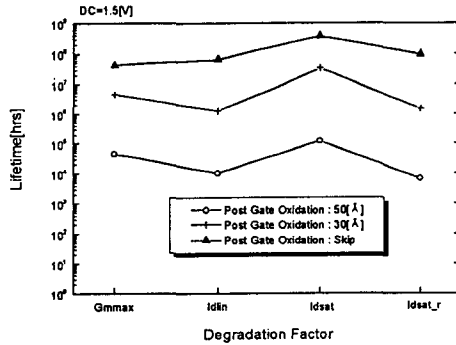


그림5. post gate oxidation 두께 split에 따른 hot-carrier lifetime 특성

그림5는 post gate oxidation 두께 split에 따른 hot-carrier lifetime 특성을 네 가지 parameter에 대해 측정한 결과이다. 그림에서 보면 알 수 있듯이 post gate oxidation을 생략했을 경우 lifetime 특성이 10<sup>8</sup>시간으로

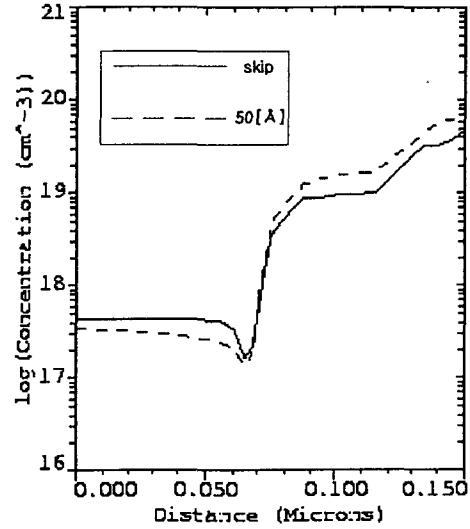


그림6. post gate oxidation 두께 split에 따른 0.25μm gate length를 가지는 NMOS의 silicon surface에서의 doping profile을 simulation한 결과

그림6은 이와 관련하여 MEDICI tool을 이용하여 0.25μm gate length를 가지는 NMOS의 silicon surface에서의 doping profile을 simulation한 결과이다. distance 0.075까지 gate 물질이 존재하고, sidewall spacer는 600Å으로 진행하였기 때문에 distance 0.075부터 0.135까지 존재한다. TRIM(Transport of Ions in Matter) simulation에서 post gate oxidation을 50Å으로 실행하고 LDD implant(arsenic)를 10KeV로 이온 주입한 경우의 Rp(Projection Range)는 post gate oxidation을 생략할 경우에는 4KeV로 이온 주입했을 때와 같은 Rp를 얻을 수 있다. 하지만 본 실험에서는 LDD implant를 같은 energy로 진행하였기 때문에 post gate oxidation을 50Å한 것과 생략한 것을 비교하면 Rp에 차이가 생기게 된다. 즉 post gate oxidation을 50Å으로 진행을 하게 되면 silicon substrate에서 50Å이 oxidation되어지므로 생략한 것에 비해 Rp가 50Å만큼 silicon surface로 근접하게 된다. 그림6에서 보면 알 수 있듯이 post gate oxidation을 50Å으로 진행한 것이 생략한 것에 비해 silicon surface에서의 LDD implant dopant(arsenic)의 농도는 증가하게 된다. 농도가 증가함으로써 potential 차이도 증가하게 되고 electric field 또한 증가하게 된다. 따라서 hot-carrier 특성은 post gate oxidation을 생략했을 경우가 가장 좋은 특성을 보이고, 50Å일 경우 제일 취약한

특성을 보이게 되는 것이다.

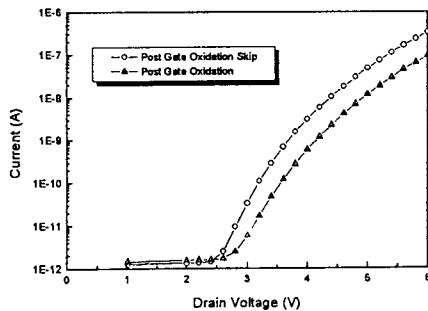
3) Post Gate Oxidation Skip에 따른 GIDL Effect

그림7은 post gate oxidation을 실행하고, 생략하고에 따른 drain junction leakage current를 실험결과와 MEDICI tool을 이용한 simulation 결과를 나타낸 것이다. GIDL(Gate Induced Drain Leakage) current는 band to band tunneling이 주된 요인이기 때문에[4] band to band tunneling probability를 포함하는 modeling을 사용하여 GIDL current를 simulation하였다. simulation과 실험 결과 모두에서 post gate oxidation을 생략했을 경우 GIDL current의 증가로 인해 take-off 전압이 더 낮아지는 것을 볼 수 있다. 따라서 post gate oxidation 두께를 최적화 하는 것이 요구되어진다.

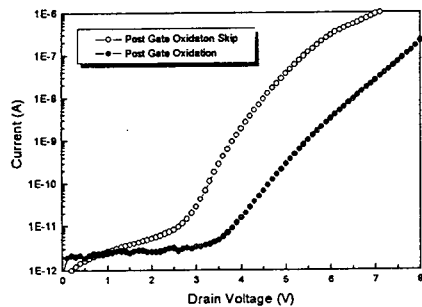
sidewall spacer로 완충 산화막 없이 NO(nitride/oxide)구조를 사용한 경우 다른 split 즉, 완충 산화막이 있는 경우에 비해 특성이 취약해지는 경향을 보이고 있고, post gate oxidation을 생략한 경우 hot-carrier 결과에 있어서는 우수한 특성을 보이고 있지만 GIDL current의 증가에 의한 take-off 전압이 낮아지는 것을 알 수 있었다. 따라서 sidewall spacer 형성 시 MOSFET의 reliability 측면에서 완충 산화막이 필요하다는 것을 알 수 있었고, post gate oxidation 두께를 최적화 하는 것이 요구되어진다.

-참고문헌

[1] S. Wolf, "Silicon Processing", p.588  
 [2] W. S. Lee et al., "Degradation of Hot carrier Lifetime for Narrow Width MOSFET with Shallow Trench Isolation", Proceedings of the 37th International Reliability Physics Symposium, 1999, p. 259.  
 [3] H. S. Hwang et al., "Effect of Nitride Sidewall Spacer on Hot Carrier Reliability Characteristics of MOSFET's", Proceedings of the 26th European Solid State Device Research Conference, 1996, p. 69.  
 [4] H.-J. Wann et al., "Gate-Induced Band-to-Band Tunneling Leakage Current in Post Gate MOSFETs," Tech. Dig. IEDM, 1992, p. 147.



(a)



(b)

그림7. post gate oxidation 유무에 따른 drain junction leakage current (a) simulation result (b) experimental result

IV. 결론

sidewall spacer의 완충 산화막 두께 및 post gate oxidation 두께를 split하여 그 결과를 분석한 결과 MOSFET의 DC 특성에는 거의 차이가 없었지만 lifetime에는 많은 차이를 보였다. hot-carrier test를 한 결과