

광대역 저잡음 평형 증폭기 설계

이정란, 둔성익, 양두영

제주대학교 통신공학과

Design of broadband low noise balanced amplifier

Jung-Ran Lee, Sung-Ik Moon, Doo-Yeong Yang

Dept. of Telecommunication Eng. Cheju Nat'l Univ.

e-mail : orchisjr@hanmail.net

ABSTRACT

The balanced amplifier is a practical amplifier to implement a broadband amplifier that has flat gain and good input and output VSWR. Three-stage amplifier design procedure usually divided into three partition satisfying the following requirements : low noise figure, high gain and high power output. FHX35LG HEMT device is used in the design can be obtained low noise figure at the first-stage, MGA82563 MMIC device is used in the design can be maintained high gain at the second-stage, and AH1 MMIC device is used in the design can be required high power output at the third-stage. The results of three-stage balanced amplifier show that power gain is about 40dB, noise figure is less than 1.2dB at operating frequency.

I. 서론

이동통신 시스템의 설계 기술이 날로 발전되고 개인 휴대통신 서비스의 통화 품질에 대한 기대가 높아짐에 따라 고효율 통신시스템이 요구되고 있다. 본 논문에서는 PCS(1710-1780 MHz), DECT(1880-1900 MHz), WLL(2300-2330 MHz)등의 시스템에서 사용할 수 있는 광대역 저잡음 증폭기를 설계한다. 저잡음 증폭기는 수신된 미약한 신호를 증폭하되 증폭기 자체에서 추가되는 잡음을 최소화하여야 한다. 이를 위해서는

외부의 온도와 증폭기 자체의 전기적 특성의 변화에도 안정된 잡음특성과 광대역 특성을 동시에 만족하는 증폭기의 설계가 필요하다. 이러한 이유 때문에 평형 구조로 증폭기를 설계하고, 또한 입·출력 단에서의 반사계수 특성을 개선시킨다. 3단 증폭기를 설계하는 과정에서 초단에는 저잡음 특성을 갖도록 설계하고 이득 평탄도를 개선하기 위해 귀환회로를 추가한다. 두 번째 단은 최대 전력이득을 얻을 수 있도록 양단 공액정합을 하고, 마지막 단에서는 높은 출력 특성에서도 안정된 동작을 할 수 있도록 설계한다.

본 논문에서는 광대역특성과 이득평탄도를 개선하는데 목적을 두고 초단 증폭기를 구성할 때 귀환회로를 추가함으로써 이를 실현한다.

II. 저잡음 증폭기의 설계이론

4단자 망에서 입력이나 출력 단의 반사계수가 1보다 크거나 음의 저항이 놓이면 증폭기가 발진하게 되므로 안정도를 확인하는 것은 매우 중요하다.^[1] 증폭기 회로에서 주어진 주파수 범위에서 정합 부하나 소스 임피던스의 값에 관계없이 무조건 안정조건을 만족하기 위해서는 주어진 주파수 범위에서 다음 조건을 만족해야 한다.

$$|\Gamma_S| < 1, \quad |\Gamma_L| < 1 \quad (1)$$

$$|\Gamma_{OUT}| < 1, \quad |\Gamma_{IN}| < 1 \quad (2)$$

위의 조건으로부터 다음과 같은 무조건 안정이 되는 필요충분조건이 유도된다.^[2]

$$K = \frac{|S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} > 1 \quad (3)$$

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| < 1 \quad (4)$$

증폭기의 이득 특성에는 전달 전력이득, 가용전력이득, 동작전력이득이 있다. 전달전력이득은 입·출력단 각각에서 반사되는 전력을 모두 고려한 상태에서 사용되는 가장 일반적인 경우로, 부하에 전달되는 전력과 입력으로 주어지는 최대 가용전력의 비로 정의된다.^[3]

$\Gamma_{IN} = \Gamma_S^*$ 와 $\Gamma_{OUT} = \Gamma_L^*$ 를 동시에 만족할 때 양단 공액정합(simultaneously conjugate matching)이 이루어지며, 이 때 최대 전력이득을 얻을 수 있다. 가용 전력이득은 네트워크에서의 최대가용전력과 전원에서의 최대가용전력의 비를 나타낸 것으로 부하 임피던스와 무관하다.^[1] 동작 전력이득은 네트워크로 입력되는 전력과 부하까지 전달되는 전력의 비로 나타낸 것으로 소스 임피던스에 무관하다.

전체 잡음 출력 전압은 증폭된 입력 잡음과 증폭기에 의해 생성되는 출력 잡음의 합으로 표현되고, 잡음 지수는 증폭회로 안에서 발생하는 잡음의 정도를 나타낸다.^[4] n개의 증폭기가 cascade로 연결되었을 때 전체 잡음 지수는 다음과 같다.

$$F = F_1 + \frac{F_2 - 1}{G_{A1}} + \frac{F_3 - 1}{G_{A1}G_{A2}} + \dots \quad (5)$$

여기서 F_i 와 G_{Ai} 는 각 단에서의 잡음지수와 가용전력이득을 나타낸다.

III 저잡음 증폭기의 설계

증폭기를 설계할 때 다단으로 구성하면 단일 증폭단을 사용할 경우보다 이득 평탄도를 개선할 수 있으나 30 dB 이상의 높은 전력 이득이 요구되는 증폭기의 경우 증폭단간 정합과정에서 생기는 오차와 위상변화가 생길 수 있다.^[5] 이러한 문제점을 개선시킬 수 있는 방법이 평형 증폭기를 이용하는 것이다. 입력전력이 전력 분배기를 통하여 두 개의 증폭기에 나뉘어 입력되므로 각 능동 디바이스는 절반의 전력 레벨에서 동작한다. 이 때 잡음지수에는 변화가 없고 IP_3 도 약 9 dB 개선시킬 수 있다.^[4] 또한 평형 증폭기를 설계하면 입·출력 VSWR을 개선시킬 수 있고, 한 쪽의 능동 디바이스에 문제가 생길 때 전력의 감소는 있지만 전체 시스템은 동작을 하므로 시스템의 신뢰성을 개선시킬 수 있으며 실제 제작하는 과정에서 동조(tuning)

하기가 용이하다.^[3] 3단 평형증폭기 구성은 입·출력단에 3 dB 하이브리드 결합기(hybrid coupler)를 사용하여 그림 1과 같이 3단 증폭기를 병렬로 구성시킨다.

본 논문에서는 HEMT소자의 구조적 특성을 고려하여 소스귀환회로를 구성함으로써 이득 평탄도를 개선한 3단 평형 증폭기를 설계하였다.

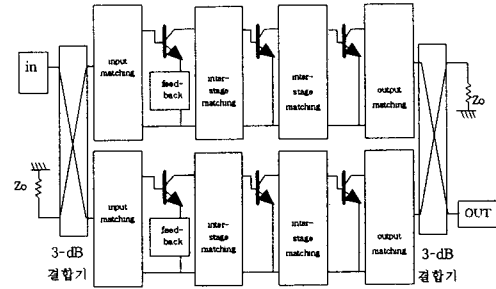


그림 1. 3단 평형 귀환증폭기의 블록도
Fig. 1. Block diagram of three-stage balanced feed-back amplifier

III-1 저잡음 증폭단

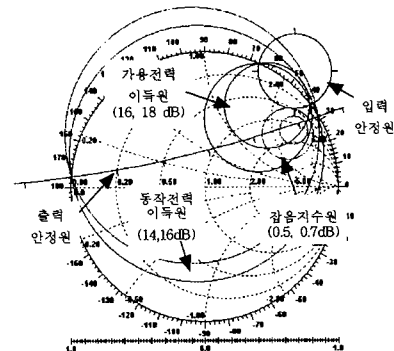


그림 2. 무귀환 초단증폭단
Fig. 2. First amplifier without feedback

저잡음 증폭단은 잡음지수를 우선 순위로 하여 설계한다. 초단의 잡음지수가 전체 증폭기의 잡음지수에 가장 큰 영향을 미치기 때문에 잡음지수가 낮은 소자를 선택하는 것이 중요하다. 전체 잡음지수와 전력이득을 고려해 잡음특성이 우수한 HEMT 소자인 FHX35G를 사용하였다.

설계하는 과정에서 전체 이득평탄도 특성에 가장 큰 영향을 미치는 부분이 초단 증폭기의 특성이다. 이 문제를 해결하기 위하여 소스와 그라운드 사이에 인덕터

를 추가시켜 이득평탄도를 개선하였다. 그림 2는 귀환 회로를 추가시키지 않은 능동소자의 특성이고, 그림 3은 소스귀환회로를 추가시킨 회로의 특성이다. 그림 2와 그림 3을 비교해 보면, 귀환회로를 추가시키지 않은 경우 부분적으로 불안정한 영역이 있으나 귀환회로를 추가시킨 경우 안정영역이 넓어지는 것을 알 수 있다. 귀환회로를 추가시킨 경우 잡음지수에는 거의 변화가 없었으나, 전력이득은 감소하였다. 정합회로 설계과정에서는 귀환회로를 추가한 회로의 산란계수를 이용했으며 $\Gamma_S=0.71 \angle 24.0^\circ$, $\Gamma_L=0.29 \angle 5.1^\circ$ 의 값을 갖도록 구성하였다.

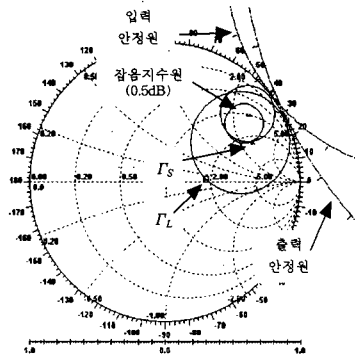


그림 3. 귀환회로를 추가시킨 초단증폭단
Fig. 3. First amplifier stage with feedback

III-2 고전력 이득단

두 번째 단에 사용된 MMIC소자인 MGA82563은 설계주파수 범위에서 무조건 안정인 조건을 만족하고 높은 전력이득 특성을 얻을 수 있다. 그림 4는 두 번째 단 증폭기를 설계하는 과정으로 최대 전력이득을 얻기 위해 양단 공액정합($\Gamma_{IN} = \Gamma_S^*$, $\Gamma_{OUT} = \Gamma_L^*$)을 시켰으며, 이때 잡음지수는 약 2.2dB를 나타내었다. 식 (5)의 전체잡음지수 계산과정에서 두 번째 단의 2.2dB의 잡음지수는 초단의 전력이득으로 나누어지기 때문에 전체잡음지수에 큰 영향을 미치지 않는다. 정합회로는 $\Gamma_{MS}=0.36 \angle 91.6^\circ$, $\Gamma_{ML}=0.2 \angle -177.5^\circ$ 의 값을 갖도록 구성하였다.

III-3 고전력 출력단

세 번째 단은 전체 저잡음 증폭기의 최종 단으로, 높은 출력전력에서도 안정된 동작특성을 얻을 수 있도록 설계한다. 그림 5는 최종 증폭단을 설계하는 과정을 나타낸 것이고, 본 논문에서 사용된 MMIC인 AH1

은 설계주파수 범위에서 무조건 안정인 조건을 만족한다. 최종 고전력 출력단에서는 $\Gamma_{MS}=0.6 \angle 165.4^\circ$, $\Gamma_{ML}=0.31 \angle 153.9^\circ$ 의 값을 갖도록 양단 공액정합회로를 구성하였다.

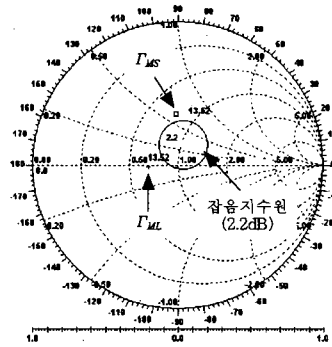


그림 4. 두 번째 증폭단
Fig. 4. Second Amplifier stage

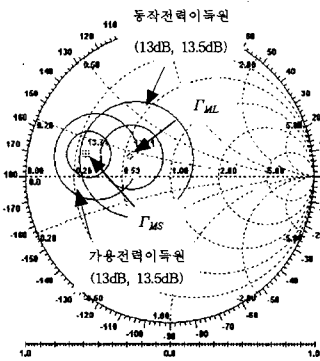


그림 5. 세 번째 증폭단
Fig. 5. Third amplifier stage

IV 증폭기 설계결과

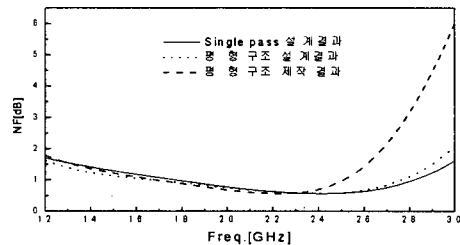


그림 6. 잡음지수
Fig. 6. Noise Figure

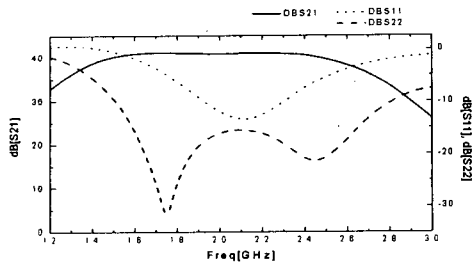


그림 7. Single-pass 증폭기 설계결과
Fig. 7. Design result of single-pass amplifier

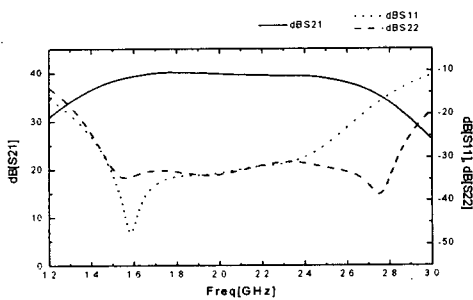


그림 8. 평형구조 설계결과
Fig. 8. Design result of balanced amplifier

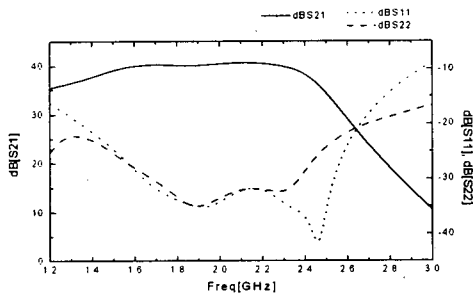


그림 9. 평형구조 제작결과
Fig. 9. Fabricated result of balanced amplifier

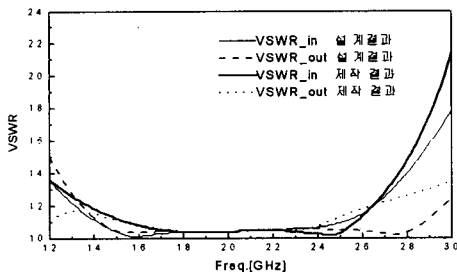


그림 10. VSWR
Fig. 10. VSWR

그림 6은 잡음지수를 나타낸 것이다. 제작결과 1540-2540 MHz 사이에서 잡음지수가 1.2dB 이하로 나타났다. 그림 7은 single-pass 증폭기의 설계결과를 나타낸 것이고 그림 8은 평형 구조를 취한 설계결과이다. 그림 7과 그림 8을 비교해 보면, 입·출력 반사계수 특성이 현저히 향상되는 것을 알 수 있다. 그림 9는 3단 평형 증폭기를 제작한 결과이다. 그림 9에서 최대 전력이득은 41.4dB이며, 이득평탄도 1dB를 기준으로 잡았을 때 1500-2330 MHz 범위에서 사용가능하다. PCS 기지국 수신단(1710-1780 MHz에서)에서 사용되는 저잡음 증폭기의 경우 최대 이득 평탄도는 ± 1 dB이고 제작결과 0.18dB가 나왔다. WLL 기지국(2300-2330 MHz)용 저잡음 증폭기의 최대 이득 평탄도는 ± 0.5 dB이고 제작결과 0.41dB로 나타났다. 그림 10은 입·출력 VSWR을 나타낸 것으로 1.5를 기준으로 살펴보면 매우 우수한 광대역 특성을 얻을 수 있음을 알 수 있다.

IV 결론

본 논문에서는 귀환회로를 추가한 3단 평형 저잡음 증폭기를 설계하였다. 평형 구조를 취함으로써 전체 시스템이 안정적으로 동작하고, 또한 입·출력 반사계수 특성을 개선시킬 수 있었다. 그리고 증폭기를 3단으로 구성함으로써 원하는 낮은 잡음지수와 높은 전력 이득 특성을 얻을 수 있었고 초단 증폭기 구성에 귀환회로를 추가함으로써 이득 평탄도를 개선시켰다. 정합회로 설계시에 제작된 증폭기의 크기면에서 유리한 집중소자를 사용하였다. 설계 결과 PCS(1710-1780 MHz), DECT(1880-1900 MHz), WLL (2300-2330 MHz) 등의 시스템의 요구 조건을 동시에 만족하는 광대역 저잡음 증폭기를 제작할 수 있었다.

참고문헌

- [1]Guillermo Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice-Hall, pp.212-322, 1997
- [2]J. M. Rollett, "Stability and Power-Gain Invariants of Linear Twoports", IRE Trans. Circuit Theory, vol. CT-9, pp. 29-32, Mar. 1962
- [3]Max W. Medley, *Microwave and RF Circuit: Analysis, Synthesis and Design*, Artech House, pp.118-121, pp.509-516, 1993
- [4]Samuel Y. Liao, *Microwave circuit Analysis and Amplifier Design*, Prentice-Hall, pp.89-95, pp.166-168, 1987
- [5]Raymond S. Pengelly, *Microwave Field-Effect Transistors*, NOBLE, 226-233, 1994