

## 공유 구조를 가지는 OFDM 방식의 무선 ATM 시스템을 위한 심볼 시간 동기 블록의 구조 설계

이 장 희(李 章 熙), 곽 승 현(郭 承 炫), 김 재 석(金 在 錫)  
연세대학교 전자공학과 VLSI&CAD 연구실  
전화 : (02) 361-4018 / 팩스 : (02) 312-4584

### Architecture Design of the Symbol Timing Synchronization System with a Shared Architecture for WATM using OFDM

Janghee Lee, Sunghyoun Kwak, Jaeseok Kim  
VLSI&CAD Lab., Dept. of Electronic Eng., Yonsei University  
E-mail : janghee@asic.yonsei.ac.kr

#### Abstract

In this paper, we propose a new architecture of the fast symbol timing synchronization system which has some shared hardware blocks in order to reduce the hardware complexity. The proposed system consists of received power detector, correlation power detector using shared complex moving adders, and 2-step peak detector. Our system has detected FFT starting point within three symbols using first two reference symbols of the frame in wireless ATM system. The new architecture was designed and simulated using VHDL. Our proposed architecture also detects a correct symbol timing synchronization within three symbols under a multi-path fading channel.

#### I. 서론

무선 ATM은 무선 채널을 통해 이동 환경에서도 유선 ATM 망에서 지원하는 다양한 형태의 광대역 서비스들을 지원할 수 있는 유선 ATM 망의 확장된 개념이다[1]. 하지만 무선 전송에 있어 전송률을 제한하는 요인으로 다중 경로 페이딩에 의한 인접 심볼 간 간섭(ISI: Inter-Symbol Interference) 현상으로서, 일반

적으로 이와 같은 현상을 r.m.s 지연 확산 시간에 의해 정량화 할 수 있다. 무선 모뎀의 최대 전송률은 일반적으로 이 지연 확산 시간에 반비례하며, 이 때 전송률을 향상시키기 위해서는 ISI로 인한 간섭을 보상할 수 있는 채널 등화(channel equalization) 기법이 도입되어야 한다.

무선 ATM에서 OFDM(Orthogonal Frequency Division Multiplexing) 방식을 이용할 때 수신 단에서 OFDM 신호가 도착할 때 FFT의 시작점을 결정하기가 매우 어렵다. 다시 말해, OFDM 신호의 심볼 시간 동기를 잡기가 어렵게 된다[2]. 또한, 심볼 시간 동기를 위한 시간이 길수록 수신된 시퀀스를 저장하는 메모리 크기 또한 커지게 되므로 정확하고 빠른 심볼 시간 동기 블록의 설계에 중점을 두었다. 제안된 심볼 시간 동기 블록은 VHDL을 이용하여 설계되었고, 설계된 모델의 검증에 위한 채널 환경과 송신 단 모델을 위해 SPW를 이용하였다.

본 서론에 이어, II장에서는 OFDM을 이용한 무선 ATM 시스템에서의 동기 알고리즘에 대해 설명하고, III장에서는 공유 구조를 통해 하드웨어의 복잡도를 낮춘 정확하고 빠른 심볼 시간 동기 블록에 대한 새로운 하드웨어 구조를 제시한다. IV장에서는 설계된 심볼 시간 동기 블록의 검증 결과에 대하여 언급하고, V장에서 결론을 맺는다

## II. OFDM 신호의 시간 동기 알고리즘

그림 1은 OFDM 수신 단의 블록 다이어그램을 보여 준다. 그림 1에서 보여주는 것처럼, 기준 심볼을 이용할 때 심볼 시간 동기를 이루는 것은 프레임의 시작점을 찾는 동시에 FFT의 시작점을 찾는 것을 의미한다.

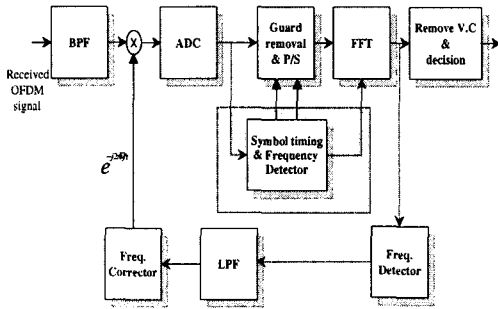


그림 1 OFDM시스템의 수신 단 블록 다이어그램  
Fig. 1 Block diagram of the OFDM receiver

무선 ATM 시스템에서 전송되는 데이터는 연속적이라기보다는 버스트하기 때문에 심볼 및 주파수에 대한 동기를 빠르게 맞추어야 할 필요가 있다. 심볼 및 주파수에 대해 동기를 수행하고 있는 동안 수신되는 데이터는 버퍼에 저장되고 있어야 한다. 동기를 빠르게 처리하게 되면, 그 만큼 하드웨어에 대한 부담을 줄일 수 있게 된다. 무선 ATM 시스템에서 데이터 전송을 위한 프레임 구조는 동기 과정을 빠르게 수행할 수 있는 구조를 가지기 위해 기준 심볼을 이용함으로써 가능하다[3],[4]. 그림 2는 프레임 구조를 보여주고 있다.

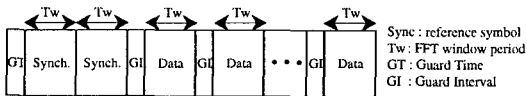


그림 2 프레임 구조  
Fig. 2 Frame structure

그림 2에서 보여지는 것처럼, 프레임의 처음 2개의 기준 심볼을 이용하고 전송되는 데이터는 적절한 프레임 단위로 나뉘어 전송되게 된다. 실질적으로 프레임의 기준 심볼을 이용해 수신 단에서 프레임에 대한 동기를 잡고, 프레임의 데이터를 복조하게 되며, 이 과정이 매 프레임마다 반복되며 데이터가 전송된다. 송신

신호의 기준 심볼에 대해 주파수 영역에서의 부 심볼 시퀀스  $X_k$ 와 시간 영역 시퀀스  $x_m$ 은 식 (1)과 같다.

$$\begin{aligned} X_k &= A_k + jB_k \\ x_m &= IFFT(X_k) \end{aligned} \quad (1)$$

위 수식 (1)에서,  $\Delta f$  인 시간 영역에서의 OFDM 수신 신호는 식 (2)와 같다.  $X_K$ 는 주파수 영역에서의 QPSK 심볼이며,  $x_m$ 은 OFDM 심볼의 시간 영역 샘플이다. 수신 단에서 시간 지연과 주파수 오차가 없는 이상적인 기준 심볼의 OFDM 수신 신호의 시간 영역 샘플을  $x_m$ 이라 할 때, 시간 지연이  $d$  샘플이고, 주파수 오차가  $\Delta f$ 인 시간 영역에서의 OFDM 수신 신호는 식 (2)와 같다.

$$r_m = X_{m-d} e^{j2\pi m \Delta f / N} + w_m \quad (2)$$

식 (2)에서,  $w_m$ 은 AWGN 채널에 대한 샘플을 나타낸다. 프레임의 처음 두 심볼에 대한 상관 값을 구하면 상관 에너지는 식 (3)이 된다.

$$P(d) = \sum_{m=0}^{N-1} r_{d-N}^* \cdot r_{m+d} \quad (3)$$

그리고, 두 번째 OFDM 기준 심볼의 수신 신호에 대한 에너지는 식 (4)와 같다.

$$R(d) = \sum_{m=0}^{N-1} |r_{m+d}|^2 \quad (4)$$

위의 수식 (3), (4)로부터 심볼 timing metric은 식 (5)와 같다.

$$M(d) = |P(d)|^2 / R^2(d) \quad (5)$$

위 수식 (5)를 이용할 때, timing metric이 최대가 되는 지점을 FFT의 시작점으로 위치시킴으로써 심볼 시간 동기를 이루게 된다. 위의 심볼 시간 동기 알고리즘을 이용할 때, 늘어난 기준 심볼에 의해 Schmidl 알고리즘[3] 보다 정확한 심볼 시간 동기를 이룰 수 있다.

### III. OFDM 심볼 시간 동기 블록 설계

그림 3은 제안된 심볼 시간 동기를 위한 블록 다이어그램을 보여주고 있다.

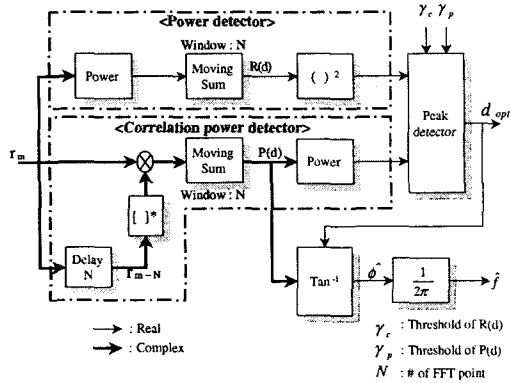


그림 3 심볼 시간 동기 블록 다이어그램  
Fig 3 Block diagram of the symbol synchronization system

그림 3에서, 제안된 심볼 시간 동기 블록은 크게 수신 전력부, 상관부, 그리고 최대값 감지기로 구성된다. 수신 전력부는 수신 신호에 대한 에너지를 계산하기 위한 블록으로  $I^2 + Q^2$  블록과 moving adder 및 제곱기로 구성된다. 상관부는 64 클럭 지연 블록, 복소수 곱셈기, moving adder 및  $I^2 + Q^2$  블록으로 구성된다. 그리고, 최대값 감지기는 최대 상관 값을 계산하기 위한 블록으로 2단계의 임계 값 비교를 통해 정확하고 빠른 심볼 시간 동기를 이룰 수 있도록 하였다.

그림 4는 moving adder의 블록 다이어그램을 보여준다.

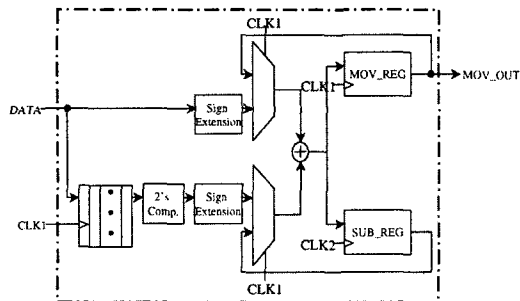


그림 4 moving adder의 블록 다이어그램  
Fig 4 Block diagram of the complex moving adder

그림 4로부터 알 수 있듯이, 제안된 moving adder는 하나의 덧셈기를 공유할 수 있도록 설계를 하였다. 먼저, 전처리 뺄셈을 수행하기 위해 입력 데이터와 64 클럭 지연된 데이터에 대한 2의 보수 형태의 데이터를 연산하고, 누적된 데이터와 전처리 결과의 데이터에 대한 연산을 수행한다.

그림 5는 복소수 곱셈기의 블록 다이어그램을 보여주고 있다.

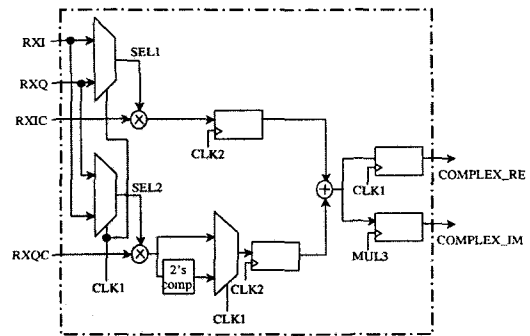


그림 5 복소 곱셈기의 블록 다이어그램  
Fig 5 Block diagram of the complex multiplier

위의 그림에서 보여지는 것처럼, 복소수 곱셈기는 2개의 곱셈기와 하나의 덧셈기를 공유할 수 있는 구조로 설계를 하였다. 이를 위해 실수 연산 곱셈기는 'sign generate' 방식의 modified radix-4 Booth 알고리즘을 이용하여 2단 파이프라인 구조를 가지도록 설계를 하였으며, 허수부에 대한 연산을 수행할 때는 2의 보수 형태의 덧셈 연산을 수행함으로써 하나의 덧셈기를 공유할 수 있도록 하였다.

그림 6은 최대값 탐지기에 대한 블록 다이어그램을 보여주고 있다.

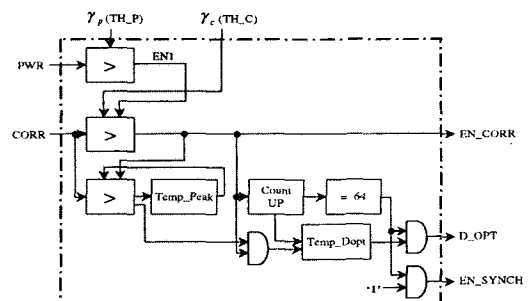


그림 6 최대값 탐지기의 블록 다이어그램  
Fig 6 Block diagram of the peak detector

그림 6으로부터, 수신 전력이 임계 값( $TH_P$ )보다 크게 되면  $ENI$  신호가 1이 되고, 상관 에너지 값이 임계 값( $TH_C$ )보다 클 때  $EN\_CORR$  신호가 '1'이 되며, 내부 블록에서 입력 상관 에너지 값이 최대가 되는 위치를 찾은 후에 임시 저장을 하게 되며, 64 윈도우 크기 뒤에는  $EN\_SYNCH$  신호가 '1'이 되며 FFT의 시작점을 출력하게 된다.

#### IV. VHDL 검증

제안된 OFDM 심볼 시간 동기 블록의 검증을 위한 다중 경로 페이딩 채널 및 FFT 블록을 포함하는 송신단에 대한 모델은 SPW 및 MATLAB를 이용하였다. 제안된 OFDM 심볼 시간 동기 블록에 대한 전체적인 동작을 보여주는 VHDL 시뮬레이션 결과는 그림 7에서 보여진다.

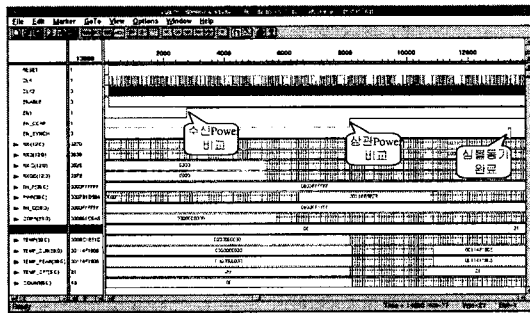


그림 7 제안된 동기 블록의 시뮬레이션 결과 파형  
Fig 7 Simulation result of the proposed symbol synchronization system

그림 7에서 보여지듯이, 제안된 심볼 시간 동기 블록은 먼저 수신 전력을 임계 값과 비교하고 나서, 상관 전력에 대한 비교를 수행하게 된다. 그리고, 상관 전력이 임계 값보다 크게 될 때부터 카운트가 시작되고 64의 윈도우 크기가 지난 후에 동기 신호와 함께 FFT의 시작점에 대한 위치를 출력하게 된다. 그러므로, 제안된 심볼 시간 동기 블록은 2 단계의 비교를 통해 정확한 FFT 시작점을 찾을 수 있으며, 3 심볼 이내의 빠른 심볼 시간 동기들을 이룰 수 있다.

#### VI. 결론

본 논문에서는 OFDM을 이용한 무선 ATM 시스템의 심볼 시간 동기 블록을 위한 새로운 하드웨어 구조를

제안하였다. 제안된 심볼 시간 동기 블록은 VHDL을 이용하여 설계되었고, 이를 검증하기 위한 FFT를 포함하는 송신 단 및 다중 경로 환경에 대한 모델을 SPW 및 MATLAB를 이용하였다. 제안된 심볼 시간 동기 블록은 복소수 곱셈기 및 moving adder를 공유할 수 있는 구조로 설계했으며, 2 단계의 비교를 이용한 최대 값 탐지기를 포함한다. 제안된 심볼 시간 동기 블록은 하드웨어의 복잡도를 줄였을 뿐 만 아니라 3 심볼 이내에 빠르고 정확한 FFT의 시작점을 찾을 수 있다

#### 참고문헌

- [1] D. Raychardhuri, "Wireless ATM Networks : Architecture, System Design and Prototyping", IEEE Personal Commun. Pp.42-49, Aug. 1996.
- [2] H. Harada and R. Prasad, "Performance Analysis of an OFDM based Wireless ATM Communication System", IEEE PIMRC97, pp. 1095-1099.
- [3] T. M. Schmidl and D. C. Cox, "Robust Frequency and Timing Synchronization for OFDM", IEEE Trans. Commun., Vol. 45, No. 12, pp. 1613-1621, Dec. 1997.
- [4] N. Mochizuki, Y. Matsumoto, M. Mizouchi, T. Onizawa and M. Umehira, "A High Performance Frequency and Timing Synchronization Technique for OFDM", IEEE GLOBECOM98, pp. 3443-3448.