

ADSL용 DMT 시스템에 적합한 Variable step-size LMS equalizer의 ASIC 설계

하석기^{0*}, 박 솔*, 김태훈*, 송재철**, 조병록*
순천대학교 전자공학과

ASIC design of variable step-size LMS equalizer adapted DMT system for ADSL

Suk-ki Ha^{0*}, Sol Park*, Tae-huun Kim*, Jai-chul Song**, Byung-lok Cho*
Department of Electronics Engineering, Suncheon National University*
Department of Information & Communication, Induk Institute of Technology**
email : ares@comsys.suncheon.ac.kr

Abstract

In this thesis, the structure of equalizer adapted to DMT system for ADSL, its performance analysis is accomplished with computer simulation, and ASIC design

There are several methods in equalization, among them by using Variable Step-Size LMS algorithm to be concerned with convergence efficiency with training sequence, and its ASIC design.

1. 서론

MCM(Multicarrier Modulation)의 일종인 DMT(Discrete Multi-tone)방식이나 OFDM(Orthogonal Frequency Division Multiplexing)방식은 디지털 신호 처리 기술과 VLSI 기술의 발전으로 ADSL (Asymmetric Digital Subscriber Line), DAB(Digital Audio Broadcasting)등의 분야에 있어서 널리 적용되어 진다. 이상적인 전송 채널이라면 크기는 평탄하고 위상특성은 선형적인데 실제 채널은 여러 가지 원인에 의해 왜곡되어진다. 이러한 채널 특성을 보상함으로써 수신측에서의 비트 검출 오류를 감소시킬 수 있도록 하는 것을 채널 등화라고 한다.

DMT나 OFDM방식은 송신단에서 데이터를 여러개의 반송파를 병렬로 보내므로 수신시

SCM(Single Carrier Modulation)에 비하여 채널 간의 간섭이 하나하나의 캐리어에 적용되어지므로 보다 간섭으로 인한 시스템오류의 영향이 적다.

이러한 채널 환경에 적합한 기존 LMS알고리즘과 비교하여 Variable step-size알고리즘의 성능을 컴퓨터 모의수행을 통하여 비교분석하고, Variable step-size LMS equalizer를 VHDL로 설계하여 성능을 검증한다.

하지만, 시스템에 등화기부착시 등화기의 업철 나게 많은 게이트 수로 인하여 등화기부착시와 비부착시와 비교할 때 시스템의 상당히 떨어진 속도저하는 많은 설계자들을 고민하게 만든다.

본 논문에서는 DMT나 OFDM과 같은 MCM 방식에 적합하면서도 equalizer에서 속도저하의 주원인이되는 multiplier와 add 및 accumulator에 있어서, 속도와 또하나의 고려해야 할사항인 면적 사이의 trade-off를 고려하는데 주안점을 두었다. 이러한 고려사항을 염두해두고 snyopsys와 cadence를 이용하여 VHDL로 설계하고 Function level simulation과 Timing level simulation을 통하여 성능을 검증 및 제시하였다.

본 논문은 다음과 같이 구성된다. 2장에서는 기존 LMS알고리즘과 Variable step-size LMS equalizer의 성능을 컴퓨터 모의수행을 통하여 비교분석하고, 3장에서는 VHDL로 구현하기위한 하드웨어적 분석을 하였으며, 4장에서는 VHDL로

설계한 결과를 보여주고, 5장의 결론으로 본논문을 마무리한다.

2. Variable step-size LMS의 성능 비교분석

그림 1에서는 시스템 초기화시 빠른 수렴 성능을 이루기 위해 training sequence를 이용한 LMS알고리즘의 구조도를 보여주고 있는데, training sequence로 초기수렴을 한후 결정지향모드로 바꾸어 수렴상태를 유지하는 알고리즘을 이용했다.

식 (1)은 기존 LMS알고리즘의 수식인데, 등화기 입력신호와 등화기 계수 C_k 와 곱해진 출력 신호이다.

$$Z_k = V_k C_k \quad (1)$$

$$\varepsilon_k = d_k - Z_k \quad (2)$$

$$C_{k+1} = C_k + \Delta \varepsilon_k V_k^* \quad (3)$$

식 (2)는 training sequence로 수렴시킨 후에 수렴을 유지하기 위해 결정지향모드로 바뀌어 등화기출력신호를 검출기로 검출한 신호를 등화기 출력 신호와 뺀 에러신호이다.

그리고 식 (3)은 LMS알고리즘에 의해서 탭계수가 갱신되는 과정이며, Δ 는 스텝크기이다.

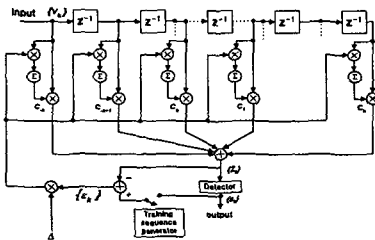


그림 1. LMS Equalizer

그림 1에서는 모든 탭에 똑같은 상수값인 스텝 크기를 적용했다. 비교하고자하는 Variable step-size LMS 에서는 그림 2에서 처럼 에러신호와 입력신호의 곱의 부호와 그전번의 부호와 부호변화를 비교해서 특정범위안의 수로 곱하거나 나누어 지는데, 식(4)를 보면 기존 LMS알고리즘의 수식인 식(3)과 비교해서 스텝크기가 일정한 상수값인 Δ 에서 Variable한 값인 μ_k 로 바뀌진 것을 볼수 있다.

각 탭마다 스텝 크기의 결정이 독립적이므로

스텝크기도 탭마다 다르게 적용된다.

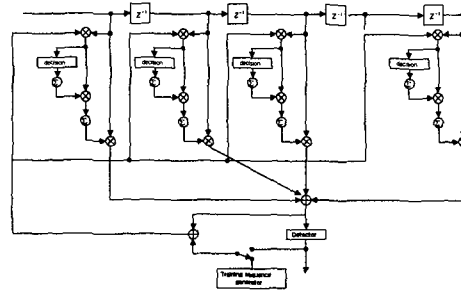


그림 2. Variable step-size LMS 구조도

$$C_{k+1} = C_k + 2\varepsilon_k \mu_k V_k \quad (4)$$

μ_k :스텝크기

$$\mu_k = \{2^{-10}, 2^{-11}, 2^{-12}, 2^{-13}, 2^{-14}, 2^{-15}, 2^{-16}\}$$

그림 3과 4는 기존 LMS와 Variable step-size LMS의 MSE값의 수렴성능비교를 시뮬레이션을 통해 비교 분석해놓은 것인데, 가로축은 반복횟수를 세로축은 Mean square error값을 도시한 것이다. 탭수는 7탭으로 하고, SNR은 30dB 입력신호는 공히 QPSK로하였다.

그림에서 봐도 알수 있듯이 Variable step size 알고리즘이 기존 LMS에 비해 수렴되기까지 10000번정도는 더빨리 수렴해 보인다.

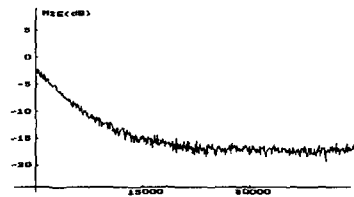


그림3. LMS 수렴성능

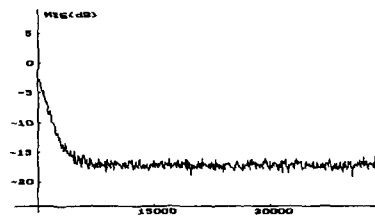


그림 4. Variable step-size LMS 수렴성능

그림 5는 채널환경이 좋지않을 때, SNR이 60dB인 환경에서 입력 신호가 16QAM이고 탭수

가 223탭인 LMS와 Variable step size LMS를 비교 해놓은 것이다. 반복횟수(iteration number)는 100번을 평균한 값으로 총 iteration number는 50000번이다.

여기서도, Variable step size LMS가 반복횟수가 10000일 때 MSE 5dB가량이 성능이 좋음을 보여준다.

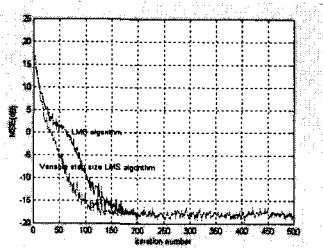


그림 5. MSE의 수렴성능비교

그림6은 7탭 variable step-size equalizer의 수렴 성능을 나타내는 위와 같은 조건에서 비교해본 결과이다.

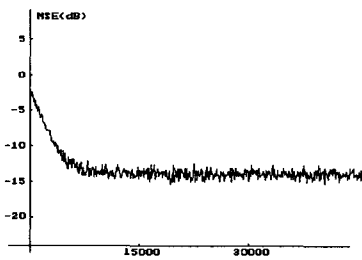


그림 6. 7-tap VS LMS equalizer

3.VHDL 구현

Variable step-size LMS equalizer의 전체 block diagram을 살펴보면 그림7과 같으며 몇 개의 sub-block으로 이루어지는데 multiplier, accumulator, add-sub, shift register, delta generator, detector, training sequence generator, switch등으로 구성된다.

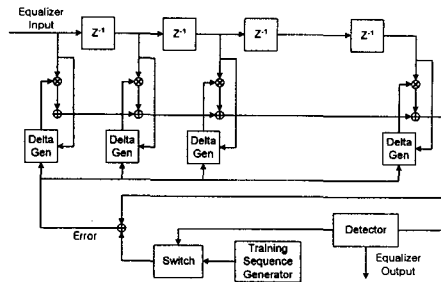


그림 7. 7tap variable step-size equalizer

먼저 equalizer의 하드웨어 설계 시 가장 많은 부분을 차지하는 multiplier와 Add(Sub) 및 accumulator는 스피드와 면적을 고려하여 radix-4 Booth's multiplier를 사용하였고 출력 bit수가 증가하므로 적절하게 normalizing하여 bit 수를 제한하였다. 그리고 overflow를 고려한 CS Add(&Sub)를 사용하였다. 즉, overflow가 발생하면 다음 탭에서 그 overflow를 적용하여 accumulating되는 방법을 채택하였다.

그림8에서와 같이 training sequence(훈련열)는 미리 약속된 데이터 값을 저장하고 있으며 (ROM), 채널의 왜곡을 상쇄시킬 수 있도록 탭 계수를 조절하고 그 후로는 수신된 신호만으로 채널 왜곡을 보상해준다. Error를 detect하는 블록인 detector는 입력부분에 equalizer의 마지막 탭의 출력이 들어가고 최종적인 equalizer 출력값과 detect된 값이 출력된다. 그리고 마지막으로 스위치의 출력과 equalizer의 마지막 탭의 출력과의 비교를 통해 실제 error값이 각각의 탭에 입력 error값으로 들어간다.

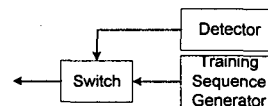


그림 8. error detection

4.설계 결과 및 분석

Variable step-size equalizer에서의 가장 핵심이 되는 부분인 delta generator는 그림9에 보인 바와 같이 각각의 탭에서의 variable step-size Δ 는 error와 입력 데이터의 조합으로 만들어지는데 error와 입력 데이터를 곱한 값의 부호가 변하면 미리 저장된 ROM에서 한 단계 더 큰 Δ 값

을 선택하고 부호변화가 없으면 한 단계 더 작은 Δ 값을 선택하게 된다. 이 Δ 값에 error와 입력 데이터의 곱한 값이 곱해지고 그 값들이 각각의 탭에서 누적된다. 그리고 이 값은 다시 입력 데이터와 곱해지고 같은 방법으로 다음 탭에서의 출력과 누적된다.

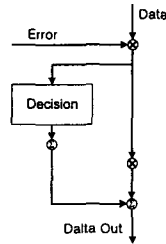


그림9. Delta generation

이상과 같은 블록들을 VHDL로 설계한 결과 동작 주파수는 약 60MHz이며 gate count는 74,300(samsung kg75 library 사용, nand gate 기

동작주파수	60 MHz
gate count	74,300
library	samsung kg75

준)gate가 뭉을 알 수 있었다. 그림10은 설계한 variable step-size equalizer를 cadence의 Verilog-XL simulator를 사용하여 pre-layout simulation 결과이다.

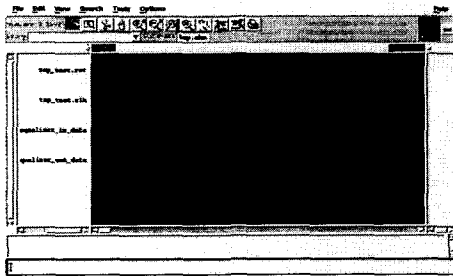


그림 10. Pre-layout simulation

5. 결론

본 논문에서는 컴퓨터 모의 수행을 통하여 Variable step-size LMS 알고리즘의 MSE값 수렴성능을 기존 LMS와 비교 검증하였고, 수신단에서 동화기를 적용시킴으로써 항상 동반되는 시스템 속도 저하 문제로 인해 항상 고민거리였던

게이트의 수와 면적간의 trade-off관계를 먼저 equalizer의 하드웨어 설계 시 가장 많은 부분을 차지하는 multiplier와 Add(Sub) 및 accumulator는 스피드와 면적을 고려하여 radix-4 Booth's multiplier를 사용하였고(table1) 출력 bit수가 증가하므로 적절하게 normalizing하여 bit수를 제한하였다. 그리고 overflow를 고려한 CS Add(&Sub)를 사용하였다. 즉, overflow가 발생하면 다음 탭에서 그 overflow를 적용하여 accumulating되는 방법을 채택하였다. 본 논문의 연구 결과로 다른 통신 시스템에 있어서 equalizer를 적용시 문제가 되었던 속도 향상에 많은 참고가 되리라 사료된다. 본 논문을 토대로 향후 수신단에서 시스템 초기화시 중요관건이 되는 STR(Symbol Timing Recovery)과 프레임동기 부분을 VHDL을 통한 칩구현의 최적구조에 관한 연구가 진행되어야 할 것 같다.

참고문헌

- [1] J.A.C.Bingham, "Multicarrier modulation for Data Transmission : An idea whose time has come", IEEE Comm. Magazine, Vol.28, No.5,pp. 5-14,May 1990.
- [2] J.M.Cioffi, "A Multicarrier Primer", Amati Comm, T1E1.4/91-1-57, Nov.1991.
- [3] American National Standard for Telecommunications-Network and Customer Installation Interfaces-Asymmetric Digital Subscriber Line(ADSL) metallic Interface, American National Standards Institute, 1995.[2].
- [4] Sol Park "A study on the joint structure of synchronization and an adaptive equalizer in DMT systems for ADSL.

* 이 논문은 제 11차 IBRD 교육차관 신진교수 연구기자재사업으로 수행되었습니다.