

**코발트 실리사이드를 도판트 소스로 이용한
폴리사이드 게이트의 전기적 특성**
(Electrical Properties of Polycide Gate Formed by Using
Cobalt Silicide as Diffusion Source)

전연실, 김시중, 김주연, 배규식
수원대학교 전자재료공학과

서론

초고집적화 반도체 소자를 구현하기 위해 여러 가지 새로운 공정이나 재료의 사용이 시도되고 있으며 이에 따라 많은 성과가 이루어져 왔지만 또한 이에 반하여 많은 문제점들이 나타나고 있다. MOSFET 소자의 성능은 여러 인자에 영향을 받지만 특히 게이트와 게이트 전극에서의 RC값에 의존한다. 이때 RC값이 작을수록 소자의 동작속도가 커진다. 그런데 소자의 크기가 지속적으로 감소하여 게이트의 산화막 두께가 10nm 이하로 줄어들며 따라 RC값이 증가하여 소자의 동작 속도를 저하시키는 주된 요인이 되고 있다. RC값이 작으려면 전극에서의 면저항이 낮아야한다. 따라서 본 연구에서는 이러한 문제점을 해결하기 위해 비정질 실리콘과 다결정 실리콘 위에 CoSi_2 를 형성하고 이를 확산원으로 하여 만들어진 코발트 폴리사이드 게이트를 제작하여 이의 전기적 특성을 조사하였다.

실험방법

본 연구에서는 비저항이 10~20 Ωcm 인 4" N-Type (100) 실리콘 기판 위에 건식산화법으로 10nm의 게이트 산화막을 증착시킨 후 게이트 전극을 형성하기 위해 저압화학 증착 방법으로 150nm의 비정질 실리콘과 다결정 실리콘을 각각의 웨이퍼에 성장 시켰다. 이 후 Co 단일막과 Co/Ti 이중막을 이용하여 CoSi_2 를 형성하였고 뒤이어 BF_2 이온을 $5\text{E}15$ 의 도오즈와 35keV의 에너지로 이온 주입하였다. 이렇게 제작된 MOS capacitor는 후속 열처리 과정에 따른 전기적 특성을 조사하기 위해 Keithley 590CV Analyzer를 이용하였으며, 여기에 따르는 후속 열처리 과정은 RTA를 이용하였다.

결과

본 연구의 결과 비정질 실리콘을 게이트에 적용시킨 경우 Co 단일막은 700°C에서 최적의 capacitor 값을 보였고, Co/Ti의 이중막은 600°C에서 최적의 값을 나타냈으며 열처리 온도가 증가할수록 capacitor 값이 낮아짐을 볼 수 있었다. 이는 낮은 온도에서는 CoSi_2 의 분해 현상이 최소화되어 높은 값을 나타내었으나 후속 열처리 온도가 증가할수록 CoSi_2 의 agglomeration과 electro migration 현상으로 인해 값이 낮아지는 것으로 생각된다. 또한 다결정 실리콘을 게이트에 적용시켰을 때 Co 단일막의 경우 열처리 온도가 증가할수록 문턱전압이 왼쪽으로 이동하였다. 산화막 층에 어떤 전하가 존재할 때에는 C-V 곡선이 전압축을 따라 평탄전압 만큼 이동하게 된다. 그러므로 온도가 증가할수록 코발트가 산화막 내로 들어갔음을 알 수 있었다. 이는 AES 분석의 결과와 일치하였다. Co/Ti 이중막일 경우에는 비정질 실리콘의 이중막의 경우와 마찬가지로 600°C에서 최적의 값을 나타내고 온도가 증가할수록 capacitor 값이 낮아졌다. 이는 열처리 온도가 증가할수록 산화막내로 코발트와 BF_2 이온이 다결정 실리콘의 큰 입계를 따라 확산해 산화막의 손상을 가져오는 것으로 생각된다.